

DOI: 10.19650/j.cnki.cjsi.J2514718

宽带时间交织数据采集系统中高吞吐率低 复杂度并行校准方法*

王 硕¹, 杨扩军¹, 叶 芃², 赵 禹¹, 李承阳¹

(1. 电子科技大学自动化工程学院 成都 611731; 2. 电子科技大学(深圳)高等研究院 深圳 518110)

摘 要: 时间交织采样架构是突破单通道模数转换器(ADC)性能瓶颈、实现超高速数据采集的主流技术方案,但其性能受到通道频率响应非理想误差与通道间失配误差的严重制约。现有校准方案普遍采用有限长单位冲激响应(FIR)滤波器与周期时变滤波器分校准上述误差,但其串行实现方式的吞吐率通常被限制在几百兆点每秒(Mpts/s),无法满足雷达、通信等应用场景对几十亿点每秒(Gpts/s)吞吐量的实时处理需求。为提高吞吐率,最直接的思路是采用并行校准架构。然而,直接并行化会导致硬件资源消耗的急剧增加。为攻克吞吐率与资源消耗之间的矛盾,提出一种高效的校准架构。首先,采用自适应加权最小二乘法优化 FIR 滤波器设计,通过动态训练不同频段权重,在保证精度的同时降低了滤波器阶数。进而,提出频谱折叠结构,将周期时变滤波器中逆快速傅里叶变换(IFFT)运算的并行路数减半,大幅减少资源消耗。在现场可编程门阵列(FPGA)上实现的 8 路并行校准架构,经 20 GSPS 采样率、8 GHz 带宽平台验证,吞吐量达到 2 Gpts/s,校准后精度与串行架构一致,幅度平坦度从 4 dB 减小至 ± 0.25 dB,无杂散动态范围(SFDR)从 25.8 dB 提升至 46.9 dB。该方案有效突破了高速实时处理的瓶颈,为高速数据采集系统提供了资源高效的高性能解决方案。

关键词: 并行校准; 自适应加权最小二乘法; 周期时变滤波器; 时间交织采样; 资源优化

中图分类号: TH7 **文献标识码:** A **国家标准学科分类代码:** 460.4030

High-throughput low-complexity parallel calibration for broadband time-interleaved data acquisition systems

Wang Shuo¹, Yang Kuojun¹, Ye Peng², Zhao Yu¹, Li Chengyang¹

(1. School of Automation Engineering, University of Electronic Science and Technology of China, Chengdu 611731, China;

2. Shenzhen Institute for Advanced Study, University of Electronic Science and Technology of China, Shenzhen 518110, China)

Abstract: Time-interleaved sampling architectures are the mainstream solution for overcoming the performance bottleneck of single-channel analog-to-digital converters (ADCs) and enabling ultra-high-speed data acquisition. However, their performance is severely limited by nonideal channel frequency responses and inter-channel mismatch errors. Existing calibration schemes typically employ finite impulse response (FIR) filters and periodic time-varying filters to compensate for these errors separately. However, serial implementations usually restrict throughput to several hundred mega points per second (Mpts/s), which cannot meet the real-time processing requirements of radar, communication, and other applications that demand several giga-points per second (Gpts/s) throughput. To increase throughput, the most straightforward approach is to adopt a parallel calibration architecture; however, direct parallelization leads to a dramatic increase in hardware resource consumption. To resolve the trade-off between throughput and resource utilization, an efficient calibration architecture is proposed. First, an adaptive weighted least-squares algorithm is introduced to optimize the FIR filter design. By dynamically adjusting frequency-dependent weights, the filter order is reduced while maintaining calibration accuracy. Furthermore, a spectrum-folding structure is proposed to halve the number of parallel inverse fast Fourier transform (IFFT) operations in the periodic time-varying filter, significantly reducing hardware resources. An 8-channel parallel calibration architecture implemented on a field-programmable gate array (FPGA) is validated using a platform with a 20 GSPS sampling rate and 8 GHz

收稿日期: 2025-11-25 Received Date: 2025-11-25

* 基金项目: 国家自然科学基金(62371097, 62201125)项目资助

bandwidth. The achieved throughput reaches 2 giga points per second (Gpts/s), while the post-calibration accuracy is comparable to that of a serial architecture. Measurement results demonstrate that the amplitude flatness is improved from 4 dB to ± 0.25 dB, and the spurious-free dynamic range (SFDR) is enhanced from 25.8 dB to 46.9 dB. The proposed scheme effectively overcomes the bottleneck of high-speed, real-time processing and provides a resource-efficient, high-performance solution for high-speed data acquisition systems.

Keywords: parallel calibration; adaptive weighted least squares; periodic time-varying filter; time-interleaved sampling; resource optimization

0 引言

数据采集 (data acquisition, DAQ) 系统作为数字存储示波器等现代电子测试仪器的核心,其性能直接决定了信号分析的精度与广度。随着半导体技术与通信标准的飞速发展,电子系统中的信号速率持续提升,系统正朝着超宽带和高采样率的方向演进^[1-4]。在此背景下,基于时间交织 (time interleaved, TI) 采样的并行架构,因其能成倍提升系统采样率,已成为实现超高速数据采集的关键技术^[5]。然而, TI 架构固有的通道失配误差随着带宽增大凸显。首先,宽带运算放大器的非理想特性会引发模拟通道通带内的幅频响应波动,导致信号不同频率分量增益不一致,即频率响应非理想性 (frequency response imperfection, FRI) 误差。其次,在 TI-DAQ 系统中,由于信号需同时分配至各子模数转换器 (analog-to-digital converter, ADC),其前端模拟通道路径的差异会引入随频率变化的通道间增益和相位失配,进而产生频率响应失配 (frequency response mismatch, FRM) 误差,并在频谱上形成镜像。FRI 与 FRM 误差共同制约了系统动态性能的提升。

针对 FRM 误差的校准,众多学者已进行了广泛研究。基于滤波器组完美重构理论框架的方法为缓解 FRM 误差提供了一种可行的解决方案^[6-8],但其应用需要可观的计算资源。随着深度学习 (deep learning, DL) 技术的进步,一些研究者开始利用 DL 方法解决 FRM 误差问题,并取得了良好效果^[9],然而这类算法计算复杂度高,更适用于离线补偿,难以在实 DAQ 系统中部署。文献[9-12]提出了一种周期性时变 (periodic time-varying, PTV) 补偿架构,通过级联 PTV 滤波器来校正多通道间的 FRM 误差。Pan 等^[13]在上述研究基础上推导了级联 PTV 滤波器的归一化表达式。在 FRI 误差校准方面,基于频域抽取法设计的有限冲激响应 (finite impulse response, FIR) 滤波器是普遍采用的方案^[14]。尽管现有针对 FRM 和 FRI 的校准算法在精度上已达到较高水平,但受硬件资源限制,这些方案多采用串行结构实现。其吞吐率受限于滤波器的时钟频率,难以突破几百 Mpts/s 的水平,无法满足现代高速采集系统对几 Gpts/s 处理能力的迫切需求。

为突破上述瓶颈,本文提出一种高吞吐率的并行误差校准方案。本文的主要贡献在于:1) 针对 FRI 误差校准中高阶 FIR 滤波器并行化资源消耗大的问题,提出一种基于自适应加权最小二乘 (adaptive weighted least squares, AWLS) 算法的 FIR 滤波器系数设计策略,在确保校准精度的前提下有效降低了滤波器阶数,从而降低资源消耗。2) 针对周期时变滤波器并行化过程中资源开销过高的问题,提出一种基于频谱折叠的并行化架构,将周期时变滤波器中逆快速傅里叶变换 (inverse fast Fourier transform, IFFT) 运算的并行路数减半,从而显著降低了硬件实现复杂度。最终,本文在现场可编程门阵列 (field-programmable gate array, FPGA) 上实现了 FRM 与 FRI 两个校准模块的 8 路并行处理架构,并将其部署于一套 20 GSps 采样率、8 GHz 带宽的采集平台中进行实验验证。测试结果表明,本方案在保持与串行架构相同校准精度的同时,将系统吞吐率提升至 2 Gpts/s,为超宽带实时数据采集提供了一种高效的解决方案。

1 TI-DAQ 系统误差及串行校准方案

M 通道 TI-DAQ 系统中,频率响应误差的核心问题体现为两点:1) 通道间的 FRM 误差,它会引入杂散,需用周期时变滤波器校准;2) 通道自身的 FRI 误差,即通带波动导致各个频点增益不同,需用 FIR 滤波器校准。

1.1 TI-DAQ 系统的误差模型

M 通道时间交织数据采集 (time-interleaved data acquisition, TI-DAQ) 系统的数学模型如图 1 所示。

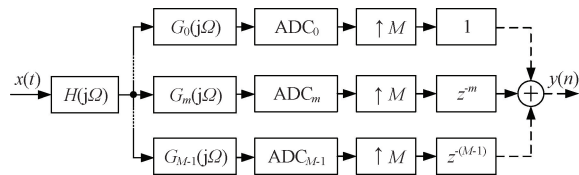


图1 M 通道时间交织数据采集系统的数学模型

Fig. 1 Mathematical model of M-channel

TI DAQ system

单个 ADC 通道的采样率为 $f_{\text{sub}} = f_s / M$, 经过 M 个子 ADC 采样,并将数据拼合,系统总采样率为 f_s 。在图 1 中, $H(j\Omega)$ 表示多通道 ADC 共同路径的频率响应 (以模拟角频

率 Ω 表示)。在实际电路中,该部分通常包括信号调理电路的频率响应。由于 $|H(j\Omega)|$ 并非常数,导致不同频率信号通过后的幅度发生变化,即 FRI 误差。在 TI-DAQ 系统中,需将信号同时分配至各子 ADC,图 1 中 $G_m(j\Omega)$ 表示各个子 ADC 独立路径对应的频率响应,由 $G_m(j\Omega)$ 的差异所引起的、体现为输出信号 $y(n)$ 频谱杂散的误差,被称为 FRM 误差。

1.2 TI-DAQ 系统中串行校准方案及资源消耗问题

TI-DAQ 系统校准模型如图 2 所示^[12],其中 $C(j\omega)$ 为 FRI 误差校准滤波器, $C(j\omega) = 1/H(j\omega)$,且 $H(j\omega) = H(j\Omega)$, $\omega = \Omega/f_s$,其中 ω 为数字角频率。 $F(j\omega)$ 为周期时变滤波器,用于 FRM 误差校准, $F_m(j\omega)$ 为子滤波器, $m = 0, 1, \dots, M-1$ 。

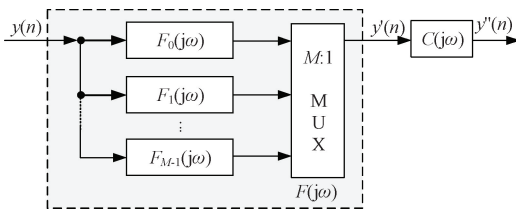


图 2 M 通道频响失配与频率响应非理想误差补偿模型

Fig. 2 Compensation model for frequency response mismatch and non-ideal frequency response errors in M-channel TI-DAQ system

利用 $M:1$ 的多路复用器(multiplexer, MUX)模块将各子滤波器 $F_m(j\omega)$ 的输出依次复用输出。在实际应用中,由于快速傅里叶变换(fast Fourier transform, FFT)的长度 L 有限,滤波器以 L 为帧长进行逐帧处理。然而,FFT的有限长度截断效应容易导致频谱泄漏,为此需引入重叠帧滤波机制以有效抑制该影响^[12]。频域实现结构如图 3 所示的 PTV 滤波器,其采用主-从双路滤波架构。

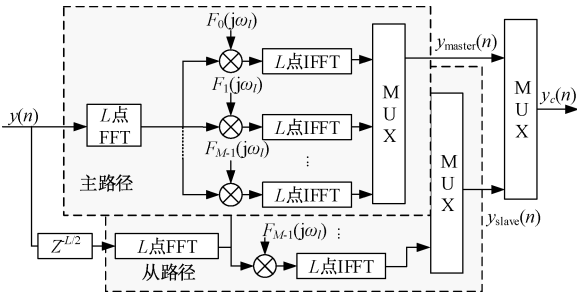


图 3 M 通道周期时变滤波器的频域实现

Fig. 3 M-channel frequency-domain implementation of periodically time-varying filters

该架构中,从路数据相对于主路延迟 $1/4$ 帧长度。输入数据首先分别经过主路和从路的 FFT 模块变换至频域,在频域中与滤波器系数 $F_m(j\omega_l)$ 分别相乘,完成滤波操作后,再通过 IFFT 模块转换回时域,得到主从路的滤

波结果 $y_{\text{master}}(n)$ 和 $y_{\text{slave}}(n)$ 。 $F_m(j\omega_l)$ 代表第 m 个滤波器的第 l 个系数, $l = 0, 1, \dots, L-1$, L 为滤波器系数长度。最终利用 MUX 模块交替选择 $y_{\text{master}}(n)$ 和 $y_{\text{slave}}(n)$ 各帧中心的半帧数据,拼接生成连续的最后输出。

在 FPGA 上实现图 3 所示的 PTV 滤波器时,其核心运算模块(FFT、IFFT 及频域系数乘法)均需调用数字信号处理(digital signal processing, DSP)硬件单元。若直接采用 N 路并行结构,资源消耗(尤其是最为宝贵的 DSP 资源)将成倍增长。此外,基于频域抽样法设计的 FIR 滤波器通常阶数较高,进一步加剧了并行化实现的 DSP 资源开销。因此,在维持性能的前提下,如何降低资源占用并实现高效并行化,是后续设计的关键挑战。

2 频率响应非理想误差校准滤波器并行化

针对 FRI 误差校准中 FIR 滤波器并行化资源消耗大的问题,提出一种基于 AWLS 算法的 FIR 滤波器系数设计策略,在确保校准精度的前提下有效降低滤波器阶数,并实现并行化。

设期望滤波器的频率响应为 $H_d(e^{j\omega}) = C(j\omega)$,实际设计出的滤波器频率响应 $H(e^{j\omega})$,则频率响应非理想误差 $E(e^{j\omega})$ 可表示为:

$$E(e^{j\omega}) = H_d(e^{j\omega}) - H(e^{j\omega}) \quad (1)$$

则均方误差为:

$$ES = \frac{1}{2\pi} \int_{-\pi}^{\pi} |E(e^{j\omega})|^2 d\omega =$$

$$\frac{1}{2\pi} \int_{-\pi}^{\pi} |H_d(e^{j\omega}) - H(e^{j\omega})|^2 d\omega \quad (2)$$

其中,目标频响曲线 $H_d(e^{j\omega})$ 在各频率点处的误差 $E(e^{j\omega})$ 被平等对待,这可能导致为了拟合 $H_d(e^{j\omega})$ 在局部频点处的细微波动而增加不必要的滤波器阶数。为降低滤波器阶数,可对关键频段赋予更高权重,从而更合理地分配设计资源。在均方误差函数中引入频域加权项,使滤波器优化更聚焦于关键频段,则所设计滤波器的幅频响应误差定义为:

$$ES = \frac{1}{2\pi} \int_{-\pi}^{\pi} W(e^{j\omega}) |H_d(e^{j\omega}) - H(e^{j\omega})|^2 d\omega \quad (3)$$

进行频域抽样,将式(3)可修改为:

$$ES = \sum_{k=0}^{P-1} W(e^{j\omega_k}) |H_d(e^{j\omega_k}) - H(e^{j\omega_k})|^2 \quad (4)$$

其中, P 为频域抽样的点数。不妨设频域抽样的方式为等间隔抽样,即:

$$\omega_k = \frac{2\pi k}{P}, \quad k = 0, 1, \dots, P-1 \quad (5)$$

且以 0 时刻为时域系数的中心,当 $N-1$ 阶 FIR 滤波器, N 为奇数,滤波器的频率响应可表示为:

$$H(\omega_k) = \sum_{n=-(N-1)/2}^{(N-1)/2} h(n) e^{j\omega_k n}, \quad k = 1, 2, \dots, K-1 \quad (6)$$

设计的线性相位 FIR 滤波器具有对称的系数,即:

$$h(n) = h(-n) \quad (7)$$

则式(6)可改写为式(8),即:

$$H(\omega_k) = h(0) + 2 \sum_{n=1}^{(N-1)/2} h(n) \cos(\omega_k n) \quad (8)$$

其中, $k = 1, 2, \dots, P-1$ 。将式(8)改写成矩阵形式,如式(9)所示。

$$\boldsymbol{\alpha} = \mathbf{A} \mathbf{h} \quad (9)$$

式(9)中相关变量的定义如式(10)~(12)所示。

$$\mathbf{A} =$$

$$\begin{bmatrix} 1 & 2\cos(\omega_0) & \cdots & 2\cos(\omega_0(N-1)/2) \\ 1 & 2\cos(\omega_1) & \cdots & 2\cos(\omega_1(N-1)/2) \\ \vdots & \vdots & \ddots & \vdots \\ 1 & 2\cos(\omega_{P-1}) & \cdots & 2\cos(\omega_{P-1}(N-1)/2) \end{bmatrix} \quad (10)$$

$$\boldsymbol{\alpha} = [H(\omega_0), H(\omega_1), \dots, H(\omega_{P-1})]^T \quad (11)$$

$$\mathbf{h} = [h(0), h(1), \dots, h((N-1)/2)]^T \quad (12)$$

其中, $[\cdot]^T$ 表示矩阵转置。 N 为偶数的情况类似,这里不展开。设期望滤波器的频率响应的抽样点为 $\boldsymbol{\alpha}_d$, 其定义如式(13)所示。

$$\boldsymbol{\alpha}_d = [H_d(\omega_0), H_d(\omega_1), \dots, H_d(\omega_{P-1})]^T \quad (13)$$

则定义频率响应误差为:

$$\mathbf{e} = \boldsymbol{\alpha} - \boldsymbol{\alpha}_d \quad (14)$$

则式(4)中的均方误差可表示为:

$$ES = \mathbf{e}^T \mathbf{W} \mathbf{e} \quad (15)$$

其中,

$$\mathbf{W} = \begin{bmatrix} w_0 & 0 & \cdots & 0 \\ 0 & w_1 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & w_{P-1} \end{bmatrix} \quad (16)$$

将式(9)和(14)代入式(15),可得式(17),该二次型在极值点上取得最小值,因此可得式(18)。由式(18)可求得所设计滤波器的系数 $\mathbf{h}$ 。

$$\begin{aligned} ES &= (\boldsymbol{\alpha}^T - \boldsymbol{\alpha}_d^T) \mathbf{W} (\boldsymbol{\alpha} - \boldsymbol{\alpha}_d) = \\ &= (\mathbf{h}^T \mathbf{A}^T - \boldsymbol{\alpha}_d^T) \mathbf{W} (\mathbf{A} \mathbf{h} - \boldsymbol{\alpha}_d) = \\ &= \mathbf{h}^T \mathbf{A}^T \mathbf{W} \mathbf{A} \mathbf{h} - \mathbf{h}^T \mathbf{A}^T \mathbf{W} \boldsymbol{\alpha}_d - \boldsymbol{\alpha}_d^T \mathbf{W} \mathbf{A} \mathbf{h} + \boldsymbol{\alpha}_d^T \boldsymbol{\alpha}_d \end{aligned} \quad (17)$$

$$\mathbf{A}^T \mathbf{W} \mathbf{A} \mathbf{h} = \mathbf{A}^T \mathbf{W} \boldsymbol{\alpha}_d \quad (18)$$

为了保证设计出的低阶 FIR 滤波器能够较好地逼近理想响应 $H_d(e^{j\omega})$, 如何训练权重矩阵成为关键。然而, 权重矩阵维度大小直接影响滤波器的逼近效果, 为平衡训练的复杂度和求解出滤波器的精度, 将式(16)中权重矩阵进行分块处理, 使得每个子矩阵内的元素具有相同的值, 如式(19)所示。

$$\mathbf{W} = \begin{bmatrix} \mathbf{W}_1 & 0 & \cdots & 0 \\ 0 & \mathbf{W}_2 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & \mathbf{W}_S \end{bmatrix} \quad (19)$$

其中, S 为子矩阵的数量。每个子矩阵的大小需要对通带内的幅频响应进行频段划分, 频段的个数为子矩阵的个数, 频段内频率抽样点数为子矩阵的维度。本文提出的自适应加权最小二乘 (AWLS) 方法的核心思路是: 通过迭代过程动态识别滤波器频率响应中误差最大的频段, 并自适应地提高该频段的权重。这种策略使得滤波器设计资源 (如可用的滤波器阶数) 能够优先配置于关键频段, 从而在保证整体拟合精度的前提下, 有效降低 FIR 滤波器的阶数。具体而言, 低阶 FIR 滤波器设计步骤为:

1) 定义设计滤波器的幅频响应误差为:

$$E(j\omega) = 20 \log \left(\frac{|H(j\omega)|}{|H_d(j\omega)|} \right) \quad (20)$$

其中, $|H(j\omega)|$ 为设计出的滤波器幅频响应, $|H_d(j\omega)|$ 为期望滤波器幅频响应。滤波器阶数为 N , 权重值的步进为 Δw , 迭代收敛的幅频响应误差阈值为 e_{thre} 。初始, 将通带的权重值均设置为 w_{ini_p} , 阻带的权重值设置为 w_{ini_s} 。求解式(18)设计出一个初步的 FIR 滤波器。

2) 由于设计滤波器的幅频响应误差 $E(j\omega)$ 不平滑, 存在微小抖动。该抖动可能导致后续权重频段划分出错, 因此需要对通带的幅频响应误差值做滑动平均防止后续划分频段时由于频响波动导致划分错误, 滑动平均后的幅频响应误差为 $e_{\text{move}}(\omega)$, 如图4所示。

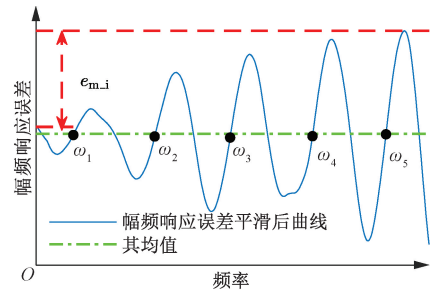


图4 设计滤波器平滑后的幅频响应误差

Fig. 4 Designed filter smoothed magnitude-frequency response error

3) 设 $e_{\text{move}}(\omega)$ 的平均值为 $e_{\text{move_avg}}$, 则频段划分的临界点则频率为 ω_i , 其求解方式如式(21)所示。

$$\{\omega_i | e_{\text{move}}(\omega_i) < e_{\text{move_avg}} < e_{\text{move}}(\omega_{i+1})\} \quad (21)$$

4) 取每个频段内的幅频响应误差绝对值的最大值, 记为 e_{m_i} 。

5) 若 $\max\{e_{m_i}\} - \min\{e_{m_i}\} > e_{\text{thre}}$, 则说明各个频段的

幅频响应误差最大值依旧差距较大,需继续迭代。将幅频响应误差最大值对应的频段的权重值加 Δw ,并再次求解式(18)设计滤波器,并重复步骤4)~5)。反之,若 $\max\{e_{m,i}\} - \min\{e_{m,i}\} \leq e_{\text{thre}}$,则说明个频段的幅频响应误差接近,此次设计得到的滤波器系数即为最终低阶滤波器系数。

3 频率响应失配误差校准滤波器并行化

在周期时变滤波器的并行化实现过程中,较高的资源开销是一个关键挑战。为降低硬件复杂度,提出一种基于频谱折叠的周期时变滤波器并行化架构。借助频谱折叠方法对计算结构进行优化,以减少 IFFT 所需的运算量。相应 IFFT 变换如式(22)所示。

$$x(n) = \frac{1}{N} \sum_{k=0}^{N-1} X(k) W_N^{-kn}, n = 0, 1, 2, \dots, N-1 \quad (22)$$

其中, $W_N = e^{-j2\pi/N}$ 。将数据拆分为 M 路并求第 M 路的第 m 个点,得式(23)。

$$x(Mn + m) = \frac{1}{N} \sum_{k=0}^{N-1} X(k) W_N^{-(Mn+m)} =$$

$$\frac{1}{N} \sum_{k=0}^{N-1} X(k) W_N^{-km} W_N^{-kn} = \frac{1}{N} \cdot$$

$$\left(\sum_{k=0}^{N/M-1} X(k) W_N^{-km} W_N^{-kn} + \sum_{k=0}^{N/M-1} X(k + \frac{N}{M}) W_N^{-(k+N/M)m} W_N^{-(k+N/M)n} + \dots + \sum_{k=0}^{N/M-1} X(k + Q) W_N^{-(k+Q)m} W_N^{-(k+Q)n} \right) =$$

$$\frac{1}{N} \sum_{k=0}^{N/M-1} \sum_{i=0}^{M-1} X(k + \frac{iN}{M}) W_N^{-(k+iN/M)m} W_N^{-kn} =$$

$$\text{IDFT} \left\{ \frac{\sum_{i=0}^{M-1} X(k + \frac{iN}{M}) W_N^{-(k+iN/M)m}}{M} \right\} \quad (23)$$

其中, $Q = (M-1)N/M$, $M = 2^l$, $l = 1, 2, \dots, m = 1, 2, \dots, M-1, k = 1, 2, \dots, N/M-1$ 。根据式(23),可得到基于频谱折叠方法的实现框图如图5所示,这里 M 取2。

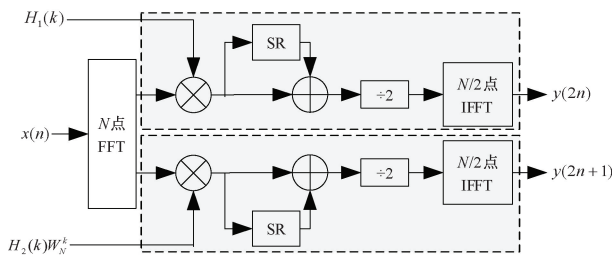


图5 基于频谱折叠的周期时变滤波器的频域实现

Fig. 5 Frequency domain implementation of periodically time-varying filters based on spectral folding

乘法器输出的前 N/M 个点暂存再移位寄存器里面,后 N/M 个点输出时,再与后 N/M 个点依次相加除以 M 。基于频谱折叠方式实现周期时变滤波器, IFFT 并行路数变为原来的 $1/2$,从而节省运算资源,其并行化实现如图6所示。显然,要实现8并行的周期时变滤波器,需要进一步实现8并行FFT和4并行IFFT。这里参考文献[15]中FFT并行化思路,具体方案如图7和8所示。

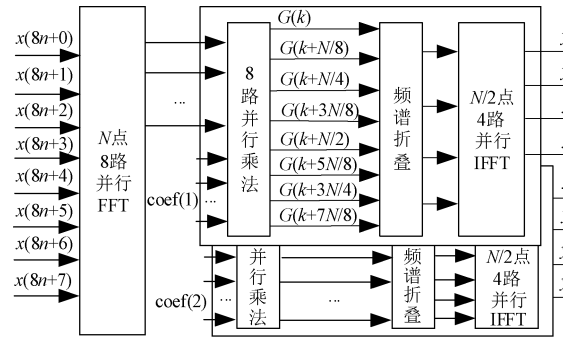


图6 基于谱折叠理论的周期时变滤波器8并行处理结构

Fig. 6 The eight-parallel architecture for PTV filter implementation via spectrum folding

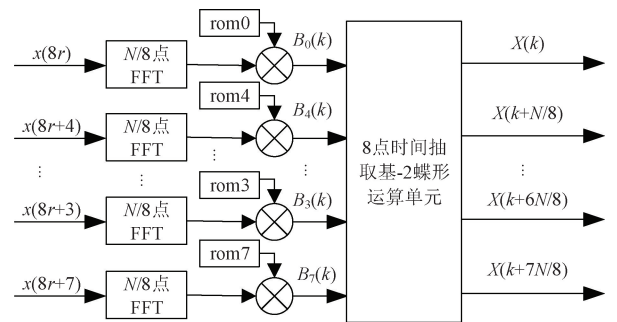


图7 8并行FFT流水实现

Fig. 7 Eight-parallel pipelined FFT implementation

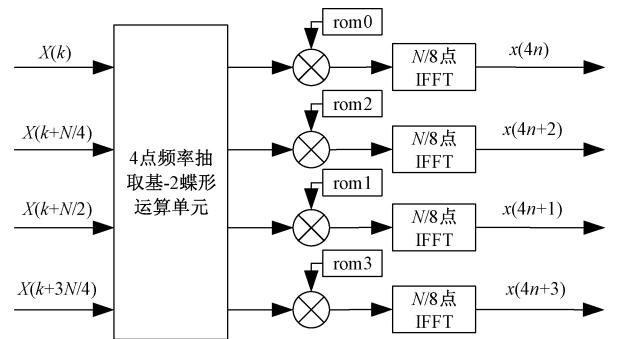


图8 4并行IFFT流水实现

Fig. 8 Four-parallel pipelined IFFT implementation

4 实验验证

4.1 实验平台(基于TIADC的20 GSPS采集系统)

本文提出的8并行校准方法,基于两个10 GSPS的ADC(ADC12DJ5200RF)搭建的20 GSPS采集平台进行验证。测试平台包括一台RS的射频源(SMB 100A),如图9所示。

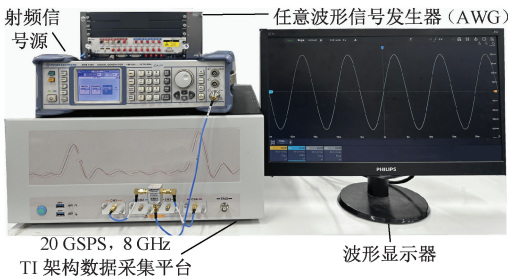


图9 20 GSPS采集系统测试平台

Fig. 9 20 GSPS acquisition system test platform

4.2 FRI校准结果

为评估校准前后系统的幅频响应特性,实验采用射频源生成频率范围100 MHz~8 GHz、步进为100 MHz的正弦扫频信号,各频率点幅度保持一致。结果如图10所示,校准前系统幅频响应波动约为4.3 dB。随后,分别使用两种方法进行校准:1)采用频率抽样法设计的29阶FIR滤波器进行FRI误差校准后,幅频响应波动降至±0.25 dB,满足设计指标;2)采用提出的AWLS算法设计FIR滤波器进行校准,精度同样达到±0.25 dB,但滤波器阶数降至25阶。该方法在实现相近精度的同时,降低了滤波器阶数,有助于在并行化处理时减少资源消耗,尤其是FPGA中最为宝贵的DSP资源。

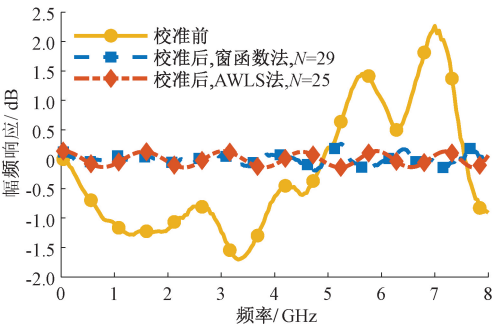


图10 校准前后的系统幅频响应

Fig. 10 System magnitude-frequency response (before and after calibration)

为验证所提方法在带内全带宽范围内的幅频一致性,实验中采用Keysight 9505A任意波形发生器

(arbitrary waveform generator, AWG)产生覆盖100 MHz~8 GHz、频率间隔为100 MHz的等幅广谱信号,通过同一根射频线缆,先后输入至本文采集系统与泰克DPO73304SX示波器进行采集测试。

校准后,本文采集系统获得的广谱信号幅度谱如图11所示。为突出系统在高幅度区间内的幅频平坦性特征,图中对纵轴-2~0 dB区间进行了局部放大显示。结果表明,在0~8 GHz的全带宽范围,系统幅频响应抖动始终控制在2 dB以内,且与泰克DPO73304SX示波器在相同测试条件下获得的结果处于相近水平,说明所提方法不仅在边带频率处具有明显的性能改善,而且能够在带内全频段实现有效的幅频校准。在此基础上,基于同一组广谱信号计算得到的本文采集系统与泰克DPO73304SX示波器之间的群时延差值如图12所示。由于两套系统的相频响应整体均接近线性,直接从相位-频率曲线中难以区分差异,而群时延作为相频响应的导数,对相位中的微小波动更为敏感。如图12所示,在0~8 GHz全带宽范围,两套系统之间的群时延差值始终控制在3.5 ps以内,表明本文采集系统的相频响应特性与高端示波器处于相同量级。

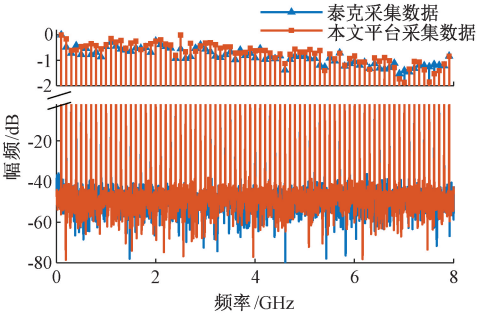


图11 广谱信号采集结果的全带宽幅度谱对比

Fig. 11 Full-band magnitude spectrum comparison of the acquired broadband signal

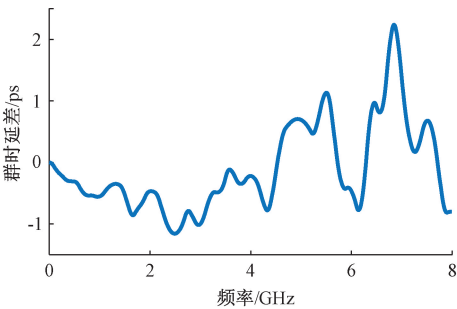


图12 广谱信号计算的本文采集平台与泰克示波器群时延差

Fig. 12 Group delay difference between the proposed acquisition platform and the Tektronix oscilloscope, derived from broadband signals

4.3 FRM 校准结果

本文采用 2 048 长度 FFT 的 PTV 滤波器校准 FRM 误差。为定量评估 FRM 校准效果,本文分别从幅度与相位两个维度考察子 ADC 间频率响应失配,分别如图 13 和 14 所示,这里进一步给出了 FRM 校准前后子 ADC 间频率响应失配的对比结果。其中,校准前后子 ADC 间频率响应幅度项 $|G_m(j\Omega)|$ 的相对偏差情况如图 13 所示,由相位项 $\angle G_m(j\Omega)$ 计算得到的子 ADC 间群时延失配结果如图 14 所示。实验结果表明,在全工作带宽范围内,校准前由 $G_m(j\Omega)$ 不一致引起的子 ADC 间幅频响应相对误差最大约为 0.25 dB;引入本文提出的 FRM 校准后,各子 ADC 的频率响应幅度项趋于一致,幅频响应相对误差被有效压缩至 0.004 dB 以内。同时,由通道相位差 $\angle G_m(j\Omega)$ 引起的子 ADC 间群时延失配由校准前的约 135 ps 显著降低至约 4 ps。

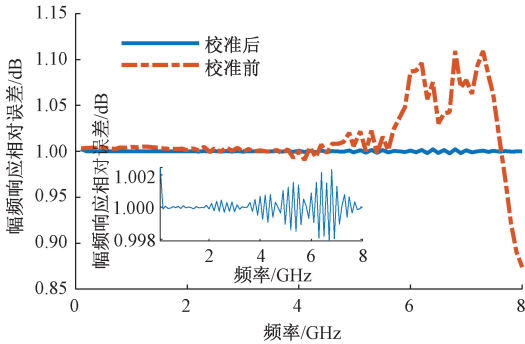


图 13 校准前后子 ADC 间幅频响应的相对误差(0~8 GHz)

Fig. 13 Relative amplitude-frequency response error between sub-ADCs before and after calibration(0~8 GHz)

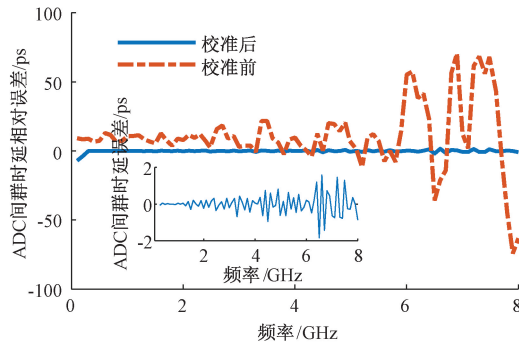


图 14 校准前后子 ADC 间群时延的相对误差(0~8 GHz)

Fig. 14 Relative group delay error between sub-ADCs before and after calibration(0~8 GHz)

进一步,利用 AWG 产生多音信号,FRM 误差校准前后信号频谱如图 15 所示,FRM 误差会引入大量额外的杂散频谱,这些杂散会劣化系统的无杂散动态范围 (spurious-free dynamic range, SFDR) 和信噪比 (signal-to-

noise ratio, SNR) 等关键性能指标。特别值得注意的是,FRM 误差曲线显示,误差在 2.1、4.0 和 5.9 GHz 处产生的杂散频谱幅度相对较高。在施加补偿之后,这些由 FRM 误差导致的杂散频谱被有效抑制,部分降至底噪以下,从而验证了所采用的 FRM 误差补偿滤波器的有效性。根据 IEEE 标准^[16]对数据采集系统动态性能的评估表明,校准措施有效提升了系统的核心性能指标。FRM 误差校准前后的 SNR 和 SFDR 如图 16 所示,在校准后,系统的 SFDR 和 SNR 均获得了显著改善。其中,性能提升在约 7.9 GHz 的频率点附近最为突出;SFDR 在此处大幅增加了 21.19 dB,同时 SNR 也提升了 11.60 dB。

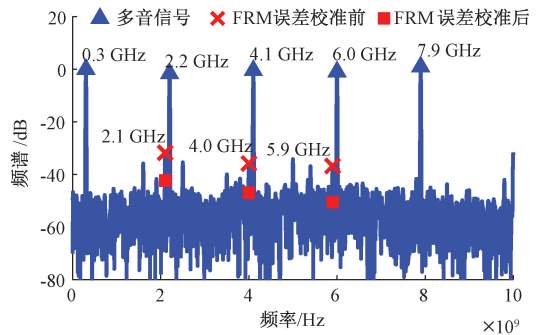
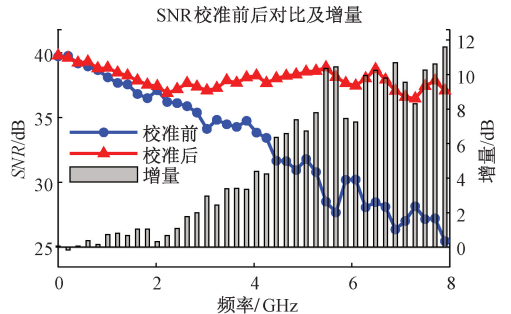
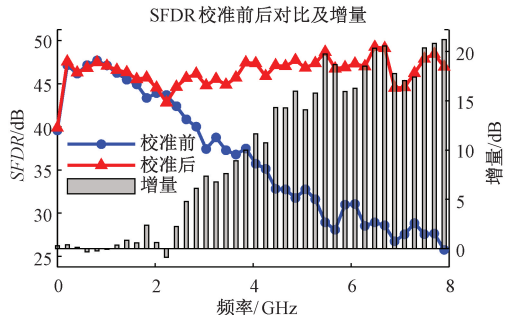


图 15 FRM 误差校准前后信号频谱图

Fig. 15 Spectrograms of signals (before and after calibration)



(a) 校准前后的 SNR
(a) System SNR (before and after calibration)



(b) FRM 误差校准前后的 SFDR
(b) System SFDR (before and after calibration)

图 16 FRM 误差校准前后的 SNR 和 SFDR

Fig. 16 FRM error calibration: System SNR and SFDR (before and after calibration)

4.4 与其他方法的对比

1) FRI 误差校准的 FIR 滤波器

不同阶数下校准后幅频响应的抖动范围如图 17 所示。提出的 AWLS 算法能够以更低的阶数实现相同的滤波器性能。在 2.25 dB 的通带起伏容限下,采用该方法设计的 FIR 滤波器阶数只需 9 阶,而传统方法则需要 17 阶,这大幅降低了对计算复杂度的要求。滤波器阶数的降低,尤其是在其实现并行化后,可以带来显著的资源节约。

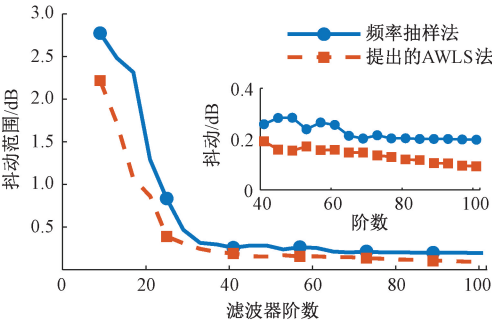


图 17 校准后的系统幅频响应抖动范围

Fig. 17 Jitter range of the system's amplitude-frequency response after calibration

2) FRM 误差校准的 PTV 滤波器

文献[12]与本文方法实现的 8 并行 PTV 滤波器的资源消耗如表 1 所示,评估结果表明,随着 TI-DAQ 通道数量和 FFT 卷积长度的增加,FPGA 的查找表(look-up table,LUT)、随机存取存储器(random access memory, RAM)、DSP 和寄存器(register, Reg)资源占用均呈现上升趋势。与文献[12]的架构相比,本文设计在各类资源消耗上均有降低,FFT 长度和 TI 通道数越大,资源节约效果越明显。其中 8 通道 TI、FFT 长度为 4 096 时资源降低最为显著,DSP 占用减少了约 75%。

为进一步体现本文方法在现有宽带时间交织采样通道校正方案中的性能定位,代表性宽带 TI-ADC 通道 FRM 校准方法进行了横向比较,如表 2 所示。对比方法包括时域 PTV 校准方法^[10]、频域 PTV 校准方法^[13]以及基于机器学习的校准方法^[9],比较指标涵盖 FRM 校正性能、系统吞吐率及资源复杂度趋势等方面。显然,时域与频域 PTV 校准方法能够在一定程度上提升系统动态性能,但其实现复杂度较高,在并行扩展时吞吐率受限,难以满足 GHz 级宽带实时处理需求。基于机器学习的校准方法在校正性能方面具有一定优势,但其计算复杂度高、吞吐率较低,更适用于离线或低速应用场景。相比之下,本文提出的并行 FRM 校准方法在保持与现有方法相当的校正性能(SFDR 提升 21 dB)的同时,显著降低了并行实现的资源开销,并在 250 MHz 时钟下通过 8 路并行实现了 2 Gpts/s 的系统吞吐率,更适合于宽带时间交织

采样系统的实时应用。

表 1 8 并行 PTV 滤波器频谱折叠前后的资源消耗对比

Table 1 Resource utilization contrast of an eight-parallel PTV filter before and after spectrum folding

方法	M	L	LUT	DSP	RAM	Reg
文献 [12]	2	1 024	118 981	786	542.5	203 321
		2 048	140 761	786	556.0	230 866
		4 096	165 128	962	617.5	262 744
	4	1 024	204 252	1 374	898.5	353 799
		2 048	243 420	1 374	912.0	457 973
		4 096	287 605	1 678	1 005.5	445 649
	8	1 024	377 448	2 550	1 610.5	659 987
		2 048	448 678	2 550	1 624.0	743 878
		4 096	531 884	3 110	1 754.0	845 561
	2	10 24	76 121	522	414.5	130 525
		2 048	88 746	522	428.0	147 088
		4 096	96 913	634	497.5	165 271
本文	4	1 024	77 768	606	514.5	136 087
		2 048	90 542	606	528.0	153 028
		4 096	105 737	718	573.5	173 995
	8	1 024	81 023	774	714.5	147 333
		2 048	90 660	774	744.0	162 964
		4 096	101 675	886	797.5	182 101

表 2 不同方案对比分析

Table 2 Comparative analysis of different approaches

方法	文献	FRM 校正性能	吞吐率	复杂度趋势	是否并行
机器学习	[9]	SFDR $\uparrow >20$ dB	53 Mpts/s	极高	否
时域 PTV	[10]	SFDR $\uparrow$ 10~20 dB	250 Mpts/s	$\propto M \cdot L$	否
频域 PTV	[13]	SFDR $\uparrow$ ≈ 20 dB	250 Mpts/s	$\propto M \cdot L \cdot \log L$	否
本文方法	-	SFDR $\uparrow$ 21 dB	2 Gpts/s	低于 文献[12]	是

5 结 论

本研究基于 TIADC 架构,设计并实现了一种 8 并行校准方案。针对 FRI 误差,采用自适应最小二乘法设计了低阶 FIR 校准滤波器。针对 FRM 误差,基于频谱折叠原理将 IFFT 并行路数减半,显著优化了资源开销,最终方案在 FPGA 上实现的校准吞吐率达 2 Gpts/s,且精度与

串行校准相当。本工作首次完成了 TIADC 的 8 并行校准,有效突破了高速采集系统的实时处理瓶颈,提升了 TIADC 的工程应用价值。该方案有效突破了高速实时处理的瓶颈,为通信、雷达等实时应用场景提供了资源高效的高性能解决方案。

参考文献

- [1] 付国红, 雷泽宁, 程辉, 等. 岩矿石标本宽频带电性参数快速测量方法研究[J]. 仪器仪表学报, 2025, 46(2): 152-164.
FU G H, LEI Z N, CHENG H, et al. Rapid measurement method of broadband electrical parameters of rock and mineral specimens[J]. Chinese Journal of Scientific Instrument, 2025, 46(2): 152-164.
- [2] 刘胜剑, 刘连胜, 张益维, 等. FI-DAC 峰值幅频非线性误差预校正方法[J]. 电子测量与仪器学报, 2026, 40(1): 133-142.
LIU SH J, LIU L SH, ZHANG Y W, et al. Pre-correction of peak amplitude-frequency nonlinear distortions in FI-DAC [J]. Journal of Electronic Measurement and Instrumentation, 2026, 40(1): 133-142.
- [3] 朱江森, 郑香蕊, 赵科佳, 等. 数字示波器宽带探头系统的校准研究[J]. 电子测量与仪器学报, 2022, 36(10): 33-38.
ZHU J M, ZHENG X R, ZHAO K J, et al. Calibration of broadband probe system of digital oscilloscope [J]. Journal of Electronic Measurement and Instrumentation, 2022, 36(10): 33-38.
- [4] 李武, 张鹏, 万勇, 等. 基于 DBI 的宽带信号采集及频响误差校准方法研究[J]. 电子测量技术, 2024, 47(12): 11-17.
LI W, ZHANG P, WAN Y, et al. Research on wideband signal acquisition based on DBI and frequency response error calibration method [J]. Electronic Measurement Technology, 2024, 47(12): 11-17.
- [5] SONG J P, AN J P, BU X Y, et al. Time-and frequency-interleaving: Distinctions and connections[J]. IEEE Transactions on Signal Processing, 2021, 69: 2555-2568.
- [6] SEO M, RODWELL M, MADHOW U. Comprehensive digital correction of mismatch errors for a 400-msamples/s 80 dB SFDR time-interleaved analog-to-digital converter[J]. IEEE Transactions on Microwave Theory and Techniques, 2005, 53(3): 1072-1082.
- [7] CHO C, LEE J G, HALE P D, et al. Calibration of time-interleaved errors in digital real-time oscilloscopes [J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64(11): 4071-4079.
- [8] LI J Y, PAN J M, ZHANG Y. Automatic calibration method of channel mismatches for wideband TI-ADC system[J]. Electronics, 2019, 8(1): 56.
- [9] XU SH F, ZOU X T, MA B W, et al. Deep-learning-powered photonic analog-to-digital conversion[J]. Light: Science & Applications, 2019, 8(1): 66.
- [10] VOGEL C, MENDEL S. A flexible and scalable structure to compensate frequency response mismatches in time-interleaved ADCs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2009, 56(11): 2463-2475.
- [11] BONNETAT A, HODE J M, FERRE G, et al. Correlation-based frequency-response mismatch compensation of quad-TIADC using real samples [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2015, 62(8): 746-750.
- [12] WANG Y, JOHANSSON H, DENG M, et al. On the compensation of timing mismatch in two-channel time-interleaved ADCs: Strategies and a novel parallel compensation structure[J]. IEEE Transactions on Signal Processing, 2022, 70: 2460-2475.
- [13] PAN ZH X, YE P, YANG K J, et al. Frequency response mismatch calibration in generalized time-interleaved systems [J]. IEEE Transactions on Instrumentation and Measurement, 2022, 71: 1-17.
- [14] 赵禹, 叶芑, 孟婕, 等. 基于带宽交织采样架构的 80 GSps 超宽带实时采集系统[J]. 仪器仪表学报, 2024, 45(5): 147-156.
ZHAO Y, YE P, MENG J, et al. Ultra-wideband data acquisition system with 80 GSps based on bandwidth interleaved architecture[J]. Chinese Journal of Scientific Instrument, 2024, 45(5): 147-156.
- [15] 刘洋, 张治中, 潘凌忱, 等. 多路并行流水线型高效 FFT 的设计与实现[J]. 仪表技术与传感器, 2025(4): 100-107, 114.
LIU Y, ZHANG ZH ZH, PAN L CH, et al. Design and implementation of multi-channel parallel pipeline efficient FFT[J]. Instrument Technique and Sensor, 2025(4): 100-107, 114.
- [16] IEEE standard for digitizing waveform recorders: IEEE Std 1057-2017 (Revision of IEEE Std 1057-2007) [S]. IEEE, 2018.

作者简介



王硕,2020 年于电子科技大学获得学士学位,现为电子科技大学在读博士生,主要研究方向为高速数据采集与处理、自动调制分类、调制信号解调。

E-mail:202211060911@std.uestc.edu.cn

Wang Shuo received his B. Sc. degree from the University of Electronic Science and Technology of China in 2020. He is currently pursuing his Ph. D. degree at the University of Electronic Science and Technology of China. His main research interests include high-speed data acquisition and processing, automatic modulation classification, and modulation signal demodulation.



杨扩军(通信作者),2007 年于电子科技大学获得学士学位,2010 年于电子科技大学获得硕士学位,2015 年于电子科技大学获得博士学位,现为电子科技大学教授,博士生导师,主要研究方向为高速高精度数据采集系统、数字存储示波器、高速信号实时处理。

E-mail:yangkuojun@163.com

Yang Kuojun (Corresponding author) received his B. Sc.

degree, M. Sc. degree, and Ph. D. degree all from the University of Electronic Science and Technology of China in 2007, 2010, and 2015, respectively. He is currently a professor and Ph. D. supervisor at the University of Electronic Science and Technology of China. His main research interests include high-speed and high-precision data acquisition systems, digital storage oscilloscopes, and high-speed signal real-time processing.



叶芑,1995 年于电子科技大学获得学士学位,2001 年于电子科技大学获得硕士学位,2010 年于电子科技大学获得博士学位,现为电子科技大学教授,主要研究方向为高速数据采集、信号处理与数字存储示波器。

E-mail:yepeng_uestc@163.com

Ye Peng received his B. Sc. degree, M. Sc. degree, and Ph. D. degree all from the University of Electronic Science and Technology of China in 1995, 2001, and 2010, respectively. He is currently a professor at the University of Electronic Science and Technology of China. His main research interests include high-speed data acquisition systems, signal processing, and digital storage oscilloscopes.