

DOI: 10.13382/j.jemi.B2508724

半导体制造及封装中的翘曲测量方法与应用进展*

尹卓异^{1,2} 员方³ 崔翰文^{2,4} 刘胜^{2,4} 张召富^{2,4} 何小元⁵

(1. 南京理工大学物理学院 南京 210094; 2. 武汉大学电子制造与封装集成湖北省重点实验室 武汉 430072;
3. 苏州科技大学土木工程学院 苏州 215009; 4. 武汉大学集成电路学院 武汉 430072;
5. 东南大学土木工程学院 南京 210096)

摘要:随着集成电路技术的不断发展,先进制造工艺和先进封装技术在提升芯片性能与集成度的同时,大尺寸结构、高密度互连与多芯片叠层也使翘曲等可靠性问题更加突出,增加了失效风险。为提高半导体工艺的稳定性与良率,翘曲的精确测量与分析已成为工艺控制的关键环节。系统综述了半导体封装中翘曲的定义、测量方法及最新研究进展。首先依据国内外标准阐明翘曲的概念及测量规范;随后介绍接触式、激光扫描、阴影莫尔、干涉、条纹投影和数字图像相关等主要测量方法,并比较其原理、优势与局限。统计显示,阴影莫尔法应用最为广泛,而数字图像相关方法凭借应变与热膨胀系数测量能力及良好可扩展性正快速增长;条纹投影方法的应用比例也因其高灵活性持续上升。最后,总结了国内外商业化翘曲测量设备在精度、视场与测量原理方面的现状,并提出国产设备的改进方向。为翘曲测量方法的选型及半导体工艺优化提供了参考,促进测量技术与产业的发展。

关键词: 半导体;制造;先进封装;翘曲;测量

中图分类号: TN4 **文献标识码:** A **国家标准学科分类代码:** 420.6

Advances in warpage measurement methods and applications in semiconductor manufacturing and packaging

Yin Zhuoyi^{1,2} Yuan Fang³ Cui Hanwen^{2,4} Liu Sheng^{2,4} Zhang Zhaofu^{2,4} He Xiaoyuan⁵

(1. School of Physics, Nanjing University of Science and Technology, Nanjing 210094, China; 2. Hubei Key Laboratory of Electronic Manufacturing and Packaging Integration, Wuhan University, Wuhan 430072, China; 3. School of Civil Engineering, Suzhou University of Science and Technology, Suzhou 215009, China; 4. School of Integrated Circuits, Wuhan University, Wuhan 430072, China; 5. School of Civil Engineering, Southeast University, Nanjing 210096, China)

Abstract: With the continuous advancement of integrated circuit technology, advanced manufacturing and packaging have greatly enhanced chip performance and integration density. However, large-scale structures, high-density interconnects, and multi-chip stacking also intensify reliability issues such as warpage, raising the risk of failure. To improve the stability and yield of semiconductor processes, accurate warpage measurement and analysis have become essential for process control. This paper provides a systematic review of the definition, measurement methods, and recent progress related to warpage in semiconductor packaging. The concept of warpage and the corresponding measurement standards are first clarified based on domestic and international specifications. Major measurement techniques—including contact methods, laser scanning, shadow moiré, interferometry, fringe projection, and digital image correlation—are then introduced and compared in terms of their principles, advantages, and limitations. Literature statistics indicate that shadow moiré is the most widely used method, while digital image correlation is rapidly growing due to its capability for strain and coefficient of thermal expansion measurement and strong scalability; fringe projection is also increasingly adopted for its high flexibility. Finally, this paper summarizes the current status of commercial warpage-measurement systems in terms of accuracy, field of view, and measurement

收稿日期:2025-09-04 Received Date: 2025-09-04

* 基金项目:国家自然科学基金(11827801,92473202)、电子制造与封装集成湖北省重点实验室开放课题(EMPI2025010)项目资助

principles, and outlines potential improvement directions for domestic instruments. This review aims to support the selection of warpage-measurement methods and the optimization of semiconductor processes, promoting the development of measurement technologies and the broader industry.

Keywords: semiconductor; manufacturing; advanced packaging; warpage; measurement

0 引言

随着信息技术的飞速发展,集成电路已然成为现代电子设备的核心组件,其性能在极大程度上决定了产品功能与用户体验。此外,高性能计算资源,例如中央处理器和图形处理器,是科技创新、经济发展及国防安全的重要基石,直接影响全球竞争中的战略地位和自主创新能力^[1]。为满足这一需求,集成电路领域一直致力于提升芯片性能与集成度^[2-3]。然而,随着芯片特征尺寸的持续缩小,传统的平面工艺路线正逐渐趋近物理极限,难以维持摩尔定律的指数增长^[4-5]。

为突破这一瓶颈,研究焦点逐渐转向以芯粒异质集成^[6-7]为核心的先进封装技术^[8-13]。通过采用晶圆级封装(wafer level packaging, WLP)^[10-11]、2.5D/3D 集成^[12-13]等创新方案,先进封装能够在维持芯片尺寸的同时,显著提升系统的互连密度、带宽和功耗表现,成为延续摩尔定律的关键力量^[9]。然而,先进封装技术也在面临新的可靠性挑战。半导体制造包括一系列复杂工艺,如电镀、磨削和退火,其工艺中的环境温度变化效应会导致热应力累积和不均匀分布并在宏观层面上引发明显的翘曲现象^[14-16]。此外,先进封装通常涉及高密度互连、多芯堆叠等复杂结构,内部材料的热膨胀失配是这一现象的根本原因之一^[17]。严重的翘曲不仅会破坏结构平整度,影响后续工艺,还可能引发界面分层、微裂纹等缺陷,严重威胁芯片良品率及使用寿命^[18]。文献^[19-20]表明,塑料球栅阵列封装(plastic ball grid Array, PBGA)、层叠式封装(package on package, PoP)等典型封装产品的失效与翘曲密切相关。因此,系统地研究翘曲机理、准确表征其演化规律,对于指导先进封装工艺优化、提升产品良率和可靠性具有重要意义。

目前,关于翘曲的研究主要沿着两条互为补充的路径展开:数值模拟与实验研究。其中,实验是进一步分析的基础,也是校准仿真模型的关键^[14,21-22]。在过去的 30 年中,传统实验方法如激光扫描法^[23-25]、干涉法^[26]以及阴影莫尔法(shadow Moiré)^[27-28]等技术得到了快速发展与应用。随着先进封装向大尺寸、高密度方向演进,对翘曲测量技术提出了更高的要求。近十年来,数字图像相关(digital image correlation, DIC)^[21,29-31]、条纹投影(fringe projection, FP)^[32-34]等新兴视觉手段的应用比例逐步增加。由于不同技术的适用范围有所差异,不同

技术的组合也成为了一种较为广泛的选择^[35-36]。Han^[26]总结了泰曼-格林干涉(Twyman-Green interferometry)、菲索干涉(Fizeau interferometry)以及阴影莫尔法在翘曲测量中的应用;Pan 等^[37]、Ding 等^[38]和 Thomas^[39]均对比了阴影莫尔法与条纹投影法的效果;Loh 等^[40]对比了阴影莫尔法、数字图像相关法、条纹投影法以及共聚焦技术。上述工作均仅在小范围内介绍方法原理并对比其应用效果。Kang 等^[41]对主流应用的技术进行了较为详尽的归纳对比,但是距今已有十余年,缺少了对新技术、新应用的介绍。Sun 等^[42]梳理了针对封装结构的翘曲测量手段,但对标准体系、技术的应用发展等方面的讨论相对有限。因此,迫切需要系统梳理各类翘曲测量方法的适用性,总结各技术的发展及应用趋势,以指导翘曲测量方法的恰当选择与正确应用,并促进相关测量方法研究的进一步进展。

1 翘曲度定义及翘曲成因

在现行标准中,针对晶圆或硅片的变形定义了弓曲与翘曲两种形式,如图 1 所示。根据 SEMI M59 标准^[43],弓曲被定义为在无夹持情况下,中位面中心点与基准平面之间的偏离;翘曲则被定义为在无夹持情况下,中位面相对于参照平面的最大值与最小值的差。SEMI MF534^[44]与 SEMI MF657^[45]分别规定了弓曲和翘曲的测量方法。相应地,中国标准沿用了 SEMI 的相关定义,并以 SEMI MF534 与 SEMI MF657 为依据,分别制定了 GB/T 6619-2009《硅片弯曲度测试方法》^[46]及 GB/T 6620-2009《硅片翘曲度非接触式测试方法》^[47]。

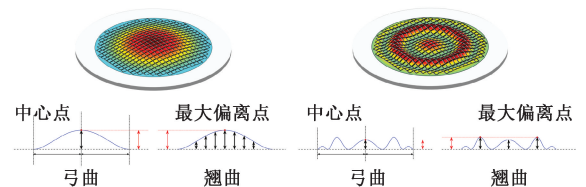


图 1 SEMI M59、GB/T 6619-2009 及 GB/T 6620-2009 标准下的弓曲与翘曲定义

Fig. 1 The definitions of bow and warp under the standards SEMI M59, GB/T 6619-2009, and GB/T 6620-2009

当样品尺寸较小时,热效应及残余应力分布较为均匀,导致变形趋势对称,即最大偏离点通常与样品中点重合。这意味着,尽管弓曲仅考虑中心点与基准面的偏离,

但其仍具有较高的参考价值。此外,国际电子工业联接协会 (IPC) 在其测试标准 IPC-TM-650^[48] 中提出了与 SEMI MF534 不同的弓曲定义方法。其采用逐点定义方式,即样品上每个点的弓曲值为该点偏离距离与样品尺寸的比值。该弓曲值为无量纲量,通常以比例形式表示。随着现代工艺和尺寸的发展,晶圆及封装结构的变形复杂性增加。在实际应用中,翘曲因考虑了全场的最大偏移量,能够通过单一数值较好地反映样品全局状态,因此在后续得到了广泛应用。

进一步,由日本电子信息技术产业协会 (Japan electronics and information technology industries association,

JEITA) 推行的标准 ED-7306^[49] 与国际电工委员会 (international electrotechnical commission, IEC) 推行的标准 IEC 60191-6-19^[50] 中,除了将 SEMI M59 标准中的翘曲定义推广至芯片封装外,还提出了翘曲符号的对角基准线定义法,如图 2 所示。此外,在 ED-7306 标准中,绝对参考面不再采用 SEMI MF534 与 SEMI MF657 中的 3 点接触法,而是选取全场形貌的最小二乘拟合得到的虚拟平面。且其对翘曲的定义不再局限于局部 3 点测量,能够反映整体的翘曲状态。凭借其更高的适用性,该定义在后续得到了广泛采纳,并已成为商业化翘曲测量设备普遍遵循的标准。

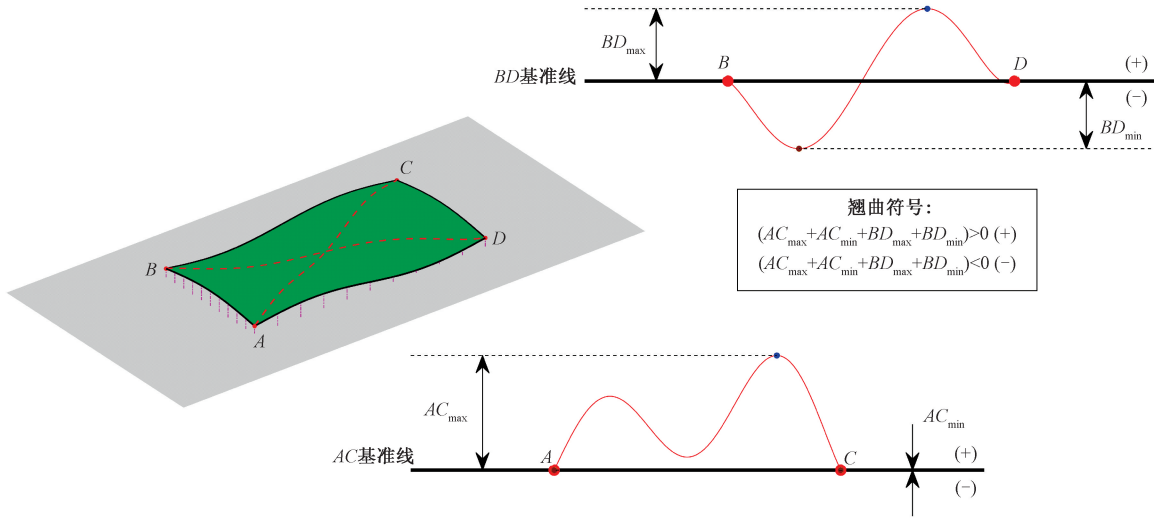


图 2 ED-7306 标准下的翘曲符号定义

Fig. 2 The definition of warp symbols under the ED-7306 standard

在翘曲测量中,用于判定翘曲符号的基准线与用于计算翘曲值的绝对参考面实为两个不同的概念。前者仅依赖于对角线上的两个顶点及其极值数据来确立符号,而后者则以全场数据为基础,计算出绝对翘曲值。这种差异导致了 ED-7306 标准中翘曲符号计算方法的局限性,具体表现在如下 3 点。

1) 整体性不足,翘曲符号的判定仅依赖局部点位信息,难以全面反映样品的整体翘曲状态,可能与真实的全场分布存在偏差。

2) 适用性受限,对于形状不规则的样品,尤其是非矩形样品,或在对角线上缺乏有效测量区域的情况下,翘曲符号往往无法定义。

3) 鲁棒性较差,该方法仅基于 4 个角点与 4 个极值点进行计算,易受到测量噪声、局部异常或表面特征的显著影响,从而导致符号判定的不稳定性。

为避免 ED-7306 标准中翘曲符号带来的困扰,JEDEC 固态技术协会在其标准 JESD22-B112B^[51] 中,通过形态学方法将翘曲分为凸翘曲(-)、凹翘曲(+)及复杂

翘曲,并在最新版本 JESD22-B112C^[52] 中延续此分类,如图 3 所示。

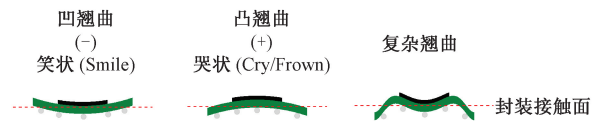


图 3 JESD22-B112A 标准下的翘曲状态

Fig. 3 The warp condition under the JESD22-B112A standard

尽管 JESD22-B112A 标准通过几何方法规避了传统公式计算的问题,但未实质性地解决翘曲符号计算中的核心问题。目前尚无统一标准能够有效解决该问题,行业界因此提出了一系列针对性方案。其中,Akrometrix 公司提出的翘曲计算方法较为典型。其对样品测试数据进行了二次函数拟合,表达式如下:

$$z = a + bx + cy + dxy + ex^2 + fy^2 \quad (1)$$

其中, (x, y, z) 为通过最小二乘法拟合出的二次曲面坐标, (a, b, c, d, e, f) 为拟合系数。基于此,Akrometrix 提出了如下定义^[53],如表 1 所示。

表 1 Akrometrix 采用的翘曲相关定义

Table 1 The warp-related definitions adopted by Akrometrix

	全场翘曲符号 ^[54]	JEDEC 全场翘曲符号 ^[55]	翘曲信号强度 ^[56]
定义式	$\begin{cases} -(e+f) > 0 & (+) \\ -(e+f) < 0 & (-) \end{cases}$	$\begin{cases} -(em^2 + fn^2) > 0 & (+) \\ -(em^2 + fn^2) < 0 & (-) \end{cases}$	$\left \frac{em^2 + fn^2}{4C} \right $
说明	适用于非标准样品的翘曲符号计算	适用 JEDEC 标准下的矩形样品,且增加了尺度补偿。其中 m/n 为样品尺寸	C 为翘曲值。如果信号强度小于 25%, 则翘曲度不具有明显的凸凹方向性

半导体与封装结构中异质材料的变形差异,是引发结构翘曲的关键原因^[57]。其中,环境温度变化是导致结构翘曲最普遍的诱因,既会出现在半导体工艺的热过程中,也会发生在后续产品的服役阶段^[58]。这类由温度变化引发的翘曲,根源在于不同材料的热膨胀系数不匹配:当环境温度波动时,热膨胀系数较高的材料会呈现更显著的体积变化趋势,而低热膨胀系数材料的变形能力较弱,会对前者的自由伸缩形成约束,进而破坏两者的变形协调性,最终在界面处产生剧烈的应力集中,导致晶圆翘曲。固化翘曲常发生于后道工艺的注塑阶段,环氧树脂、聚酰亚胺等聚合物材料在固化阶段会因化学交联反应伴随着不同程度的体积收缩^[59]。当聚合物和基底材料的固化速率存在差异时,产生的固化应力会使得封装结构向固化较早的一侧弯曲。除此之外,由于聚合物大多具有吸湿性,封装结构暴露于潮湿的环境中,会因固化物吸收水汽而发生膨胀^[60]。暴露于潮湿环境的封装结构,水分子通常以“自由”和“结合”两种状态存在于聚合物内。区别于“自由”状态,“结合”状态下的水分子通常会与聚合物的链结构结合,这种结合方式会大大削弱聚合物链之间的相互作用,使得聚合物材料的结构发生体积膨胀。“结合”状态下的水分子,是引发封装结构吸湿翘曲的主要原因,其引起的翘曲水平可与热致翘曲相当。因此,在相关工艺过程中,必须对结构的翘曲水平进行测量,确保翘曲水平满足后续工艺及相关标准。

2 翘曲测量方法与进展

为研究翘曲状态及其演变,已经应用了多种测量方法。其中,直观的物理接触式测量方法作为检测中的一种有效手段,至今仍在广泛使用。与此同时,随着加工工艺的提升、光学硬件的发展以及非接触式测量技术的不断进步,激光扫描、干涉测量、阴影莫尔法、条纹投影法以及数字图像相关法等方法也陆续被引入晶圆与封装结构的翘曲测量中。

2.1 接触测量法

接触测量方法通常需要将待测样品放置在标准平面上,通过探针法^[61-67]或标尺法^[68-76]逐点测量翘曲量,如图 4 所示。为了加快探针法的测量速度,增加路径轨道以

实现自动扫描^[65]是典型方案。然而,为了确保探针在样品形貌突变处不会发生脱离或颤动等异常行为,其扫描速度难以提升。此外探针与样品接触时的反作用力大小被作为关键指标以保证接触的稳定性,但加载的力可能会引入额外的变形,影响测量精度。

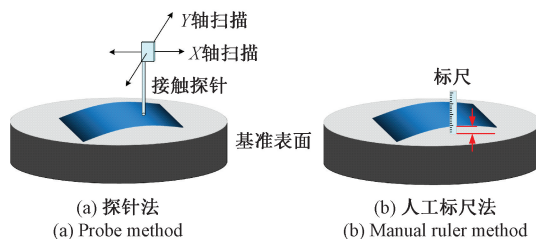


图 4 接触式测量系统结构

Fig. 4 The structure of contact-based measurement systems

对于标尺法,通常采用人工选择样品最大翘曲点的方式,借助塞尺^[68-69]、卡尺^[70]以及直尺^[65,75-76]等度量工具进行单点测量。然而,人工选择过程具有较大的主观性,容易引入人为误差,且该方法仅能提供单点数据,缺乏对翘曲形貌的详细描述。因此,标尺法通常仅适用于对精度要求较低的场景。尽管其精度有限,但由于操作简便、成本低廉,标尺法在低精度需求下的科研及工业领域中仍被广泛采用。

此类方法由于不依赖表面的光学特征,故可同时适用于具有镜面特性的晶圆样品^[75]以及具有哑光特性的封装结构^[73]。但探针法依赖于光栅尺等位移转换模块,且探针本身存在一定的热胀冷缩特性,因此在动态热测量过程可能存在潜在的误差。此外由于模拟回流焊等动态热过程可能达到 200 °C 以上的高温^[34],基于人工的标尺法同样存在应用问题。

2.2 激光测量法

激光技术及其硬件的进步显著提升了激光系统的效率和可靠性。在此基础上,各类基于激光的测量方法相继被开发并不断完善。需要注意的是,尽管许多干涉测量方法也使用激光作为光源,但其基本原理与几何原理的激光测量方法存在显著差异。在激光测量技术中,线结构光^[35,77-78]、激光点阵^[79-84]及共聚焦^[78,85-90]是翘曲测量中的典型手段。

线结构光是一种通过投射激光线获取物体三维形貌的光学测量技术,其原理基于三角测量法^[91]。在工作过程中,激光通过柱面透镜扩展为一条线并投射到被测物体表面。当物体表面存在高度变化时,激光线的形状和位置会发生相应变化。通过相机捕捉激光线在物体表面形成的轮廓曲线,并计算其在图像中的位移,即可重建物体的三维形貌。线结构光的典型结构如图 5(a)所示。该方法具有较高的动态测量范围,尤其适用于大面积样

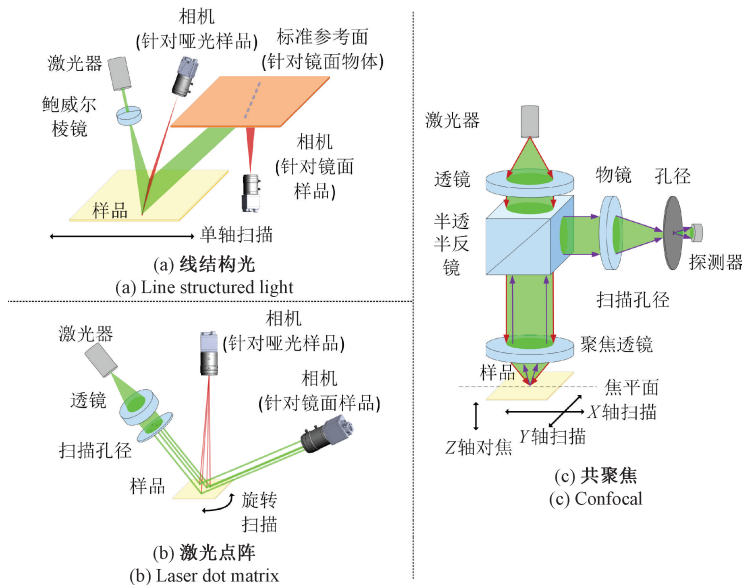


图 5 激光测量系统结构

Fig. 5 The structure of laser measurement systems

激光点阵,又称多光束光学传感器(multi-beam optical sensor, MOS),是传统单点激光测量技术的扩展^[92-93],其原理与线结构光相同,均基于三角测量法。激光点阵系统的典型结构如图 5(b)所示。该系统采用准直的激光孔径阵列,因此其测量视场较小,但测量精度较高。与线结构光不同,激光点阵的测点路径之间不存在扩散角,因此在测量镜面样品时通常不需要使用额外的基准面进行结构信息的二次成像。激光点阵不仅可以高精度地重建样品的三维形貌及翘曲特征,还可以在在不依赖三维重建的情况下获取镜面样品的衬底曲率、薄膜厚度及通过斯托尼方程(Stoney equation)计算薄膜应力^[94],因此激光点阵广泛应用于晶圆测试中。虽然测量精度较高,但由于其采样密度较低,实际测试时通常需要旋转样品进行多次扫描。

共聚焦技术是一种基于光学成像的高精度测量技术,在三维形貌测量和微观结构分析中具有显著优势^[40]。其原理是通过将光源聚焦于样品表面,利用针孔滤波器仅允许来自焦平面的光信号通过,从而抑制其他平面的散射光,最终获得高纵向分辨率的图像^[95]。共聚

品的扫描和三维重建。线结构光技术可适用于多种表面类型,包括镜面和哑光样品。然而,在镜面测量中,由于激光线具有扩散角,随着光程的增加,激光线的线幅会变宽,通常需要引入哑光参考基准面以实现结构信息的二次成像。在现代工艺对精度要求不断提升的现状下,线结构光方法亚毫米级的精度往往不再能满足测试的精度需求。此外,单次测量仅能获取扫描线幅上的三维坐标,因此需要通过平移样品进行多次采样以得到全场面型。

焦系统的结构如图 5(c)所示。该系统能够在纵向上实现极高的分辨率,特别适用于微小结构的三维重建和精细表面形貌测量。传统光学显微镜由于无法有效抑制非焦平面上的光信号,通常会导致图像模糊,尤其是在深度方向上。而共聚焦系统通过针孔设计,能够消除这些干扰,生成更为清晰的三维图像。然而,共聚焦技术也存在一些局限性。首先,由于系统复杂且成本较高,共聚焦技术的普及和应用受到限制。其次,共聚焦系统通常依赖逐点扫描或并行阵列扫描,这在测量大面积样品时会导致采样密度和效率偏低。尤其是在需要对大尺寸样品进行动态测量时,如何在采样速度与分辨率之间取得平衡,仍是一个技术挑战。

2.3 阴影莫尔法

莫尔法的核心在于参考栅与变形栅的叠加,从而通过频域信息分析出变形栅所对应的形貌及位移^[96-99]。由于物体表面制栅对样品表面有较高要求且难以控制精度,阴影莫尔法作为一种典型方法在翘曲测量中得到了更广泛的应用^[36,100-111]。其通过将高精度物理栅(参考栅)与投射在样品表面的影子(等效为变形栅)叠加,利

用相机捕捉频率叠加后的条纹图案来分析出样品表面高度的变化。值得注意的是,虽然部分工作将条纹投影也称为投影莫尔 (projection Moiré)^[38-39,112-113],但由于其高度抽象化,在主流中一般不将其归类为莫尔法。阴影莫尔测量系统的典型设置包括一个准直光源、一个正对待测样品的相机以及一个贴近样品表面布置的朗奇 (Ronchi) 光栅,如图 6 所示。

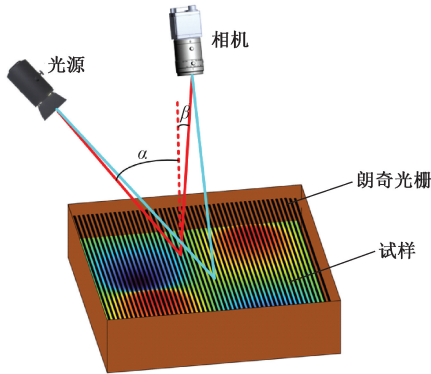


图 6 阴影莫尔测量系统结构

Fig. 6 The structure of the shadow Moiré measurement system

朗奇光栅作为参考光栅,其制备方法通常是在光学玻璃上均匀贴敷不透明线条,形成明暗相间的条纹结构。每个条纹周期的宽度被称为光栅的节距 g ,且单位长度内的条纹数量则被称为光栅的线数。待测样品表面的形貌可以表示为^[114]:

$$z = \frac{g}{\tan\alpha + \tan\beta} N \quad (2)$$

式中: N 为当前点对应的条纹级数; α 与 β 为当前测角,如图 6 所示。由于测量结果与光栅的线数呈线性关系,这意味着光栅的线数越高,测量的分辨率和精度越高。

然而,随着光栅线数的增加,光栅的加工难度也随之上升。此外,光栅线数的增加还会导致塔尔博特 (Talbot) 距离 D_T^0 的减小:

$$D_T^0 = \frac{2g^2}{\lambda} \cos^3 \alpha \quad (3)$$

式中: λ 为光的波长。塔尔博特距离决定了测量的动态范围。具体来说,塔尔博特距离与光栅线数呈二次关系,这意味着虽然高线数光栅可以提升测量精度,但其动态范围会显著缩小。例如,假设测量光波长为 500 nm,光源极限角度为 30°,条纹分辨率为 1/10,对于 10 线/mm 的光栅,其测量精度为 17.32 μm ,动态范围为 5 000 μm ;而对于 100 线/mm 的光栅,测量精度提高至 1.73 μm ,动态范围缩小至 50 μm 。这表明,测量精度和动态范围之间存在明显的相互制约关系^[53,114]。由于这一限制由理论机理决定,无法直接克服,因此目前常采用压电陶瓷驱动的相移等技术来提高条纹分辨率,从而在较少的光栅线数下实现高精度和较大动态范围的测量。由于需要布设贴近样品表面的参考栅,在热翘曲测试中只能采用单面加热,这可能因上下表面的热量分布不均而影响样品的热均匀性以及翘曲行为。

2.4 干涉法

干涉方法是一类以光的波长为标尺的高精度测量技术,常用于纳米级至亚微米级的表面形貌和变形测量^[115-121]。常见于翘曲测量中的干涉方法包括泰曼-格林干涉法^[122-126]、菲索干涉法^[127-131]和剪切散斑干涉法^[81,132-133]。此类方法的最终图像分析与阴影莫尔法均可归结为由条纹处理驱动的相位求解方法。由于高步相移的精度优于传统傅里叶方法^[134],且不会因窗口效应损失空间分辨率,因此采用压电陶瓷驱动的相移方法已成为广泛的实现途径。泰曼-格林干涉法、菲索干涉法和剪切散斑干涉法的系统结构如图 7 所示。

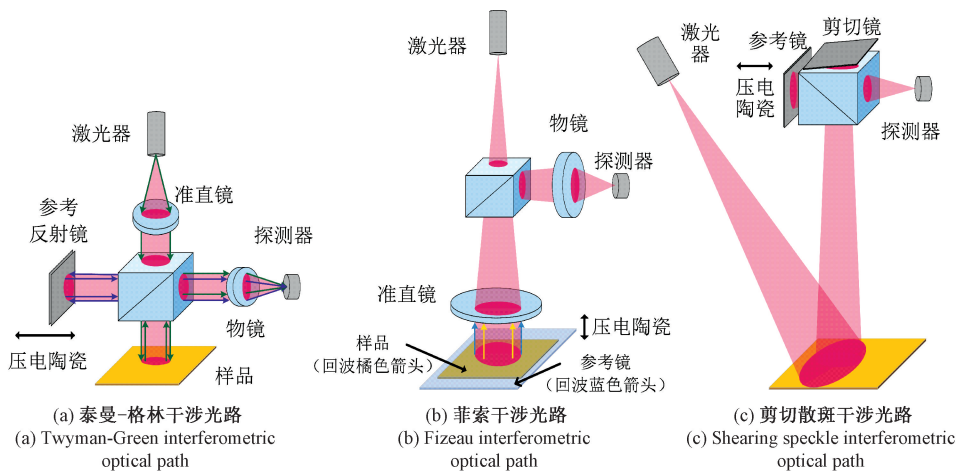


图 7 干涉测量系统结构

Fig. 7 Interferometry system structure

泰曼-格林干涉法的光路设计源自经典的迈克尔逊干涉仪^[135-136]。与迈克尔逊干涉仪相比,泰曼-格林干涉仪在光路中增加了像差矫正透镜,并移除了用于矫正光程差的补偿板,从而简化了系统结构,但仍属于分光路干涉结构。该方法的优势在于其高分辨率和精度,广泛应用于光学表面的形貌测量。然而,由于采用分光路结构,容易受到环境干扰的影响,测量过程中对环境稳定性的要求较高。

菲索干涉法则通过将参考面与待测面置于同一光路下,形成共光路干涉结构^[137-138]。由于参考光和探测光沿同一光路传播,菲索干涉仪相较于分光路干涉仪具有更强的抗干扰能力、更小的误差和更高的测量精度。然而,菲索干涉法与泰曼-格林干涉法,均依赖待测样品表面的镜面反射光产生干涉。即当表面粗糙度接近或超过光波长时,散射光将占主导地位,此时干涉效果将受到严重影响。对于实际工程应用中的哑光表面样品,如大多数芯片及其过程形态,难以通过抛光或喷涂等后处理将其制备为反光表面,这不仅复杂,还极有可能破坏样品的原始形貌结构。

剪切散斑干涉法与菲索干涉法一样,采用共光路结构,这使其在抗干扰性方面具有优势^[139]。与前两者不同,剪切散斑干涉法允许检测粗糙或不规则的非镜面表面,且仅适用于测量加载下样品的变形梯度。其原理是通过比较变形前后两幅散斑图像的差异,获取由变形引入的相位差,从而求解出相对变形梯度。在热翘曲测量中,热载荷可作为加载量,从而得到样品的变形趋势。由于剪切散斑干涉法无法直接获取样品的形貌信息,其应用更多局限于无损探伤领域^[121],因而在翘曲测量中受到限制。

除上述3种方法外,为了提升测量质量及普适性,白光干涉^[116,120,140]以及电子散斑干涉^[121]等方法在近期得到了快速发展与应用,但其基本干涉原理仍然保持一致。总体而言,干涉方法的测量精度通常在纳米级至亚微米级,适用于高精度表面测量。然而,面对高动态范围的样品时,这些方法可能会失效。此外,尽管共光路设计能够有效减轻环境干扰的影响,但在其测量精度范围内,热辐射和热流扰动等环境因素仍可能带来显著的误差。此外,由于激光功率及透镜尺寸的限制,大尺寸样品的测量仍面临一定挑战。

2.5 条纹投影法

条纹投影法通过条纹图案的调制来获取物体表面的形貌信息^[32-33,141],设备结构如图8所示。随着数字光处理(digital light processing, DLP)等投影设备的发展,高质量、低成本且便捷的条纹图案生成促进了条纹投影法在微电子等多种测量场景下的广泛应用^[34,142-146]。与阴影莫尔法不同,条纹投影法不依赖于

贴近待测物体表面的物理光栅,而是通过投影设备直接将条纹图案映射到物体表面。物体表面的高度会对条纹图案进行调制,从而将频域信息与高度信息相耦合。通过相机拍摄调制后的条纹图案,并计算其相位信息,即可利用相位-高度映射或三角测量原理获取物体的形貌信息。在条纹投影法中,投影仪发出测量信息,经过物体表面调制后被相机接收。因此,动态测量范围主要由投影仪的投影范围和相机的景深决定,通常远大于传统的阴影莫尔法或干涉方法。这使得条纹投影法在大范围测量中具有显著优势,特别适用于测量复杂形状或大尺寸样品。

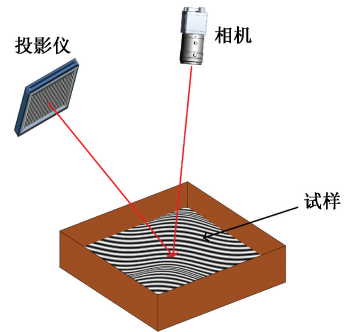


图8 条纹投影系统结构

Fig. 8 The structure of the fringe projection system

条纹投影方法一般适用于非黑色哑光表面。在实际测量中,往往需在待测样品表面喷涂哑光白色涂层以提升测量效果^[53]。值得注意的是,针对晶圆类的镜面表面,也可通过类似图5(a)的基准参考面法进行测量^[147],但是其理论及算法较为复杂。同样的,条纹投影法通常也采用相移方法获取高精度的相位信息。然而,与阴影莫尔法及干涉方法中的机械式相移方法不同,条纹投影法可以直接采用图像驱动的相移,这大大简化了设备复杂度并提升了系统的可靠性。此外,相较于阴影莫尔法,条纹投影法可以采用多角度辐射加热以实现样品温度的均匀分布,从而获得更理想的结果。

条纹投影法的测量精度,除了与设备布置角度有关外,还受限于投影仪和相机的分辨率以及相位的信噪比^[32]。一般来说,投影仪和相机的分辨率越高,获取的相位信息的信噪比越高,测量精度也越高。然而,随着设备分辨率的提升,设备成本也会显著增加。

2.6 数字图像相关法

数字图像相关法是一种基于图像处理的非接触式全场光学测量技术^[30,148-150]。随着图像采集和处理设备的进步,被广泛应用于材料和结构的力学性能测试中。数字图像相关法由于能够获取热膨胀系数等参数,其在热翘曲测量等领域的应用也在迅速增加^[31,36,108,142,151-157]。

该方法通过对比物体在变形前后的图像,采用以逆

高斯-牛顿为代表的相关性匹配算法,对物体表面各点位置进行追踪。其基本原理是在样品表面施加自然纹理或人工散斑图案,当样品发生变形时,这些图案会随之产生相应的位移和形变。通过高分辨率相机采集变形前后的图像,再利用子区域内灰度分布的变化来识别散斑图案

的位移,从而能够在像素坐标系下精确计算出全场位移分布。进一步地,结合多视角成像所建立的立体匹配关系,还可以实现三维空间中表面形貌、位移以及应变信息的重建^[158]。以立体数字图像相关法为例,其设备结构如图 9 所示。

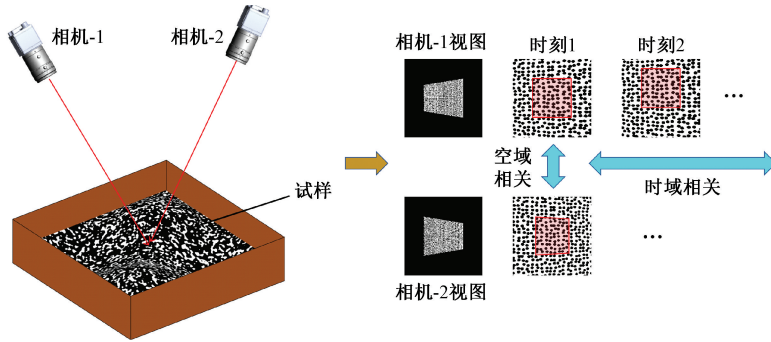


图 9 数字图像相关测量系统结构

Fig. 9 The structure of the digital image correlation measurement system

除了相机分辨率外,数字图像相关方法的测量精度与表面制斑工艺直接相关^[159]。尤其是在扩展至热翘曲测量时,由于粘接胶层与油墨在高温下会产生热融效应,传统的水转印等便捷制斑方法难以提供稳定可靠的测量基础。同时,为满足高精度测量的需求,所需散斑颗粒的尺度往往需要进一步减小,这不仅增加了制斑工艺的复杂性,也显著提升了操作难度。

2.7 已有方法对比与总结

综上所述,已对各类翘曲测量方法的基本原理、测量精度及适用范围等方面进行了较为系统的论述。不同方法在空间分辨率、测量效率、可适用的样品尺寸以及实验环境要求等方面各有优势与局限。因此,为了便于更加直

观地对比其性能特点,并为后续方法的选择与应用提供参考,本文对上述典型方法进行了归纳与总结,如表 2 所示。

鉴于各方法的优缺点存在交叉,不同技术的组合也在一定程度上被采用。其中,最典型的方案是在利用阴影莫尔法测量翘曲的基础上,采用数字图像相关方法补充应变及热膨胀系数的测量^[36,108]。此外,莫尔法与泰曼-格林干涉方法的组合^[124-125],阴影莫尔法与激光反射方法的组合^[160]也被用作不同测量信息的互补。此外,随着封装结构的复杂化,由计算机断层成像(computed tomography, CT)^[161-166]以及光学相干层析成像(optical coherence tomography, OCT)^[167]驱动的内部翘曲测量也在不断推进。

表 2 翘曲测量方法对比

Table 2 Comparison of warpage measurement methods

测量方法	可数据	测量形式	精度	主要精度依赖	视场	主要视场依赖	动态范围	热环境
探针法	形貌	点扫	高	探头精度	中等	扫描范围	大	适用
标尺法	单点翘曲	点扫	低	标尺精度及人工	不适用	基准台尺寸	大	不适用
线结构光	形貌	线扫	中等	物方尺寸	大	线幅	大	适用
激光点阵	形貌、基底曲率	点扫	高	物方尺寸	中等	点阵面幅	中等	适用
共聚焦	形貌	点扫	极高	数值孔径及波长	中等	扫描范围	中等	中等
泰曼-格林/菲索	形貌	全场	极高	波长	中等	光学元件尺寸	小	不适用
剪切散斑	位移梯度	全场	极高	波长	中等	剪切量	小	不适用
阴影莫尔	形貌及离面位移	全场	高	光栅节距	中等	光栅尺寸	中等	适用
条纹投影	形貌及离面位移	全场	高	相位精度	大	相机视场	大	适用
数字图像相关	形貌、位移及应变	全场	高	物方尺寸、散斑	大	相机视场	大	适用

热翘曲、应力翘曲与封装翘曲作为的典型描述,在实际半导体制造过程中,其并非独立。热翘曲往往源自热膨胀不匹配导致的应力演化;封装翘曲则同时受到材料

应力、结构层级与热循环工况的综合影响。在先进封装技术受到广泛关注的背景下,作为最直接的影响因素,热载荷下的翘曲问题愈发受到重视。随着尺寸的增大以及

结构层级的复杂化,翘曲时空演化更为复杂。且其正由科学研究走向产线应用,这对测量提出了更严格的要求: 1) 无损,即无需除球或功能器件以保持真实边界条件; 2) 全场、实时或准实时,适配快速热过程; 3) 兼顾大视场与高动态范围,以覆盖大尺寸样品和较大翘曲量程。

在此约束下,传统方法的局限更为显性:共聚焦与干涉方法在热加载过程中易受热气流与折射率扰动影响,常不得不采用单面加热的系统设计以降低干扰,进而限制了工况的代表性;接触式测量由于采样速度较慢,难以满足快速变化热环境下的全场实时需求。阴影莫尔法虽然技术成熟且已广泛用于翘曲测量,但其精度与视场受到光栅参数的共同制约,动态范围与分辨率难以兼顾。为将翘曲量压入可测范围,实际应用中往往需要除球或去除部分元器件,这不仅改变了样品的真实边界条件、引入系统偏差,也与产线无损检测的诉求相悖。同时由于光栅工艺的制约,阴影莫尔法下进一步提升其性能的设备与工艺成本较高。

相比之下,数字图像相关法在热翘曲测量中表现出更强的适配性:其可在高温环境下实现实时的形貌与翘

曲度测量,并可同步获取应变与热膨胀信息。条纹投影法同样适用于大尺寸基板的高精度翘曲测量,常作为阴影莫尔的等效思路,但在系统架构与量程配置上更为灵活,成本较低且视场扩展能力强,更有利于满足产线对无损、快速与大视场的综合需求。

3 翘曲测量应用趋势

3.1 翘曲测量方法应用

随着半导体工艺的发展,技术的应用趋势也在相应改变,探寻当前技术趋势对于测量方法的研究及其产业化具有极大的参考意义,且可以在一定程度指导半导体研究的实验方法选取。为了达到此目的,本文在数据库中共抽样有关翘曲测量的 450 篇论文,其中中文论文 150 篇,英文论文 300 篇,时间跨度为 2000~2024 年。由于部分论文未详细介绍测量方法,或仅使用“光学测量”等模糊描述,因此从中筛选出在实验部分明确指明测量方法的 136 篇论文。各方法的应用随时间的发展情况如图 10 所示。

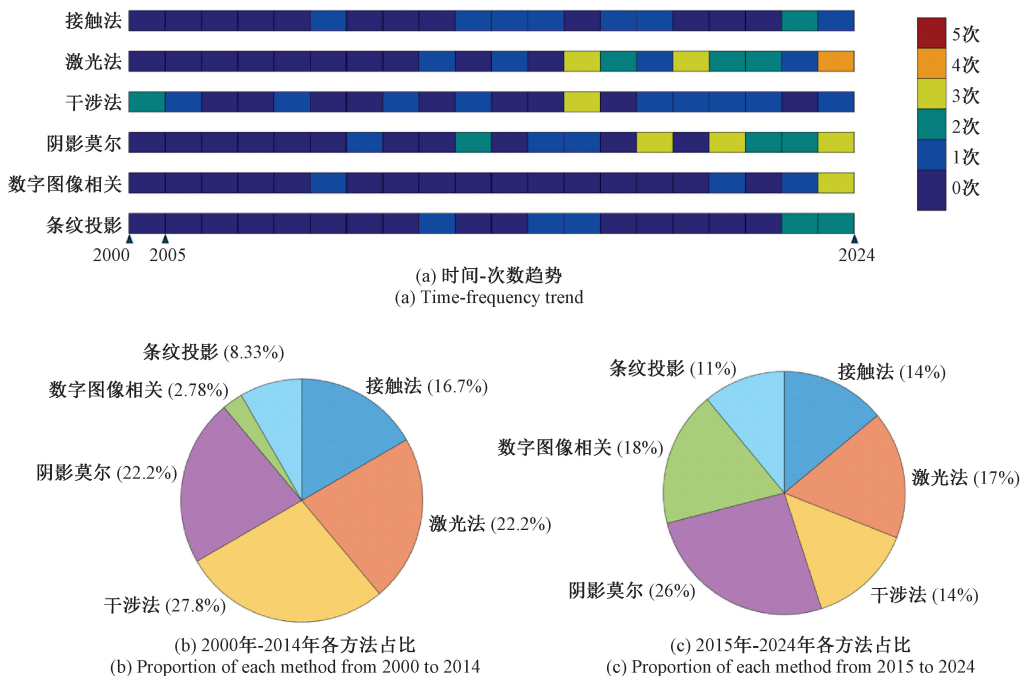


图 10 各方法应用趋势

Fig. 10 Application trends of various method

从图 10 可以明显看出,翘曲研究及测量正随着时间的推移迅速发展,近十年的相关论文数量已接近 2000~2014 年的 3 倍。阴影莫尔法在 21 世纪整个研究过程中,一直占据着重要的地位。此外,数字图像相关法在翘曲测量方法的权重上产生了最明显的差异,其占比从 2000~2014 年的 2.78% 飞速增长至近十年的 18%。条纹

投影法也从 2000 年至 2014 年的 8.33% 增长至近十年的 11%。这一趋势与当前先进封装工艺需求下的等效热翘曲实验需求密不可分。

3.2 国内外测量设备对比

根据前文所述,用于静态翘曲实验的测量设备已较为成熟,当前行业需求正逐步转向以阴影莫尔、条纹投

影、数字图像相关等高环境适应性非接触方法为代表的动态热翘曲测量。同时,由于适用于热翘曲测量的设备通常也可用于常规静态翘曲测量,主要关注热翘曲测量商业化设备的研制与发展。

国内外代表性设备的性能指标汇总如表 3 所示。在当前测量设备中,最为广泛使用的是 Akrometrix 公司与 Insidix 公司。这源于这些公司起步较早,分别在美国与欧洲占据了主要市场。目前国内封装芯片热翘曲测量相关产业化起步较晚,典型代表为博迈威(南京光力仪器)与领先光学。博迈威以大视场、高精度、高动态范围以及面向产线端的大批量并行无损在线检测为特色,发展了条纹投

影、数字图像相关两种技术路线及对应设备;领先光学则采用传统摩尔光学技术路线与热传导加热方法,发展了面向晶圆、PCB 以及芯片结构的应用设备。博迈威作为国内较早开展相关研究与设备研发的企业,经过长期积累,其测量设备已在工业及科研领域得到一定应用,并形成了较多行业测试案例与公开报道。针对晶圆的热翘曲检测,上述方法可通过显影剂表面处理来实现。同时,瑞霏光电开发了基于相位偏折术的反射式表面测量设备,实现了晶圆面型及翘曲的定量检测,且取得了较为广泛的应用。此外,由于其针对晶圆的高温工艺环境,故温控区间设计显著优于常规设备,温控指标达到更高水平。

表 3 热翘曲测量商业化设备对比

Table 3 Comparison of commercial thermal warpage measurement equipment

生产商	设备原理	视场尺寸/mm	设备分辨率	加热方式	温控区间/℃
Akrometrix	阴影莫尔	400×700	1.5 μm/3%	热对流或红外辐射	-55~280
	条纹投影	192×240	8 μm/3%		
	数字图像相关	75×75	1~2 μm		
Insidix	条纹投影(视场扫描)	400×700	<1 μm/2%	热对流或红外辐射	-65~400
博迈威	条纹投影(相机阵列)	250×250	<0.5 μm/1%	热对流或红外辐射	-65~400
	数字图像相关(相机阵列)	400×400	<1.0 μm/1%		-65~400
		600×600	<2.5 μm/2%		-65~320
领先光学	阴影莫尔	400×400	0.8~2.5 μm	热传导或热对流	室温~300
		600×600			
瑞霏光电	相位偏折术(面向晶圆)	400×400	<0.5 μm/1%	板级热对流	室温~500

从上述指标来看,国产设备在技术路线方案上,已全面覆盖对标国外产品,且在精度指标上表现优异,已达到甚至超越国外同类产品。然而,由于国内设备研发起步较晚,其工业或工程基础薄弱,对应的软件稳定性、结果分析能力仍有一定落后。

此外,在加热模块的设计上,各类设备仍存在一定差异。热对流加热虽然存在气流作用力,会引起试样抖动并在测量结果中产生高阶谐波伪影,同时其升温速率较慢,但在加热均匀性方面具有优势。热传导方式能够实现极高的升温速率,但由于试样翘曲导致的加热触点不均匀,且加热上下表面存在温差,往往会使实际变形形式与预期偏离显著。红外辐射则提供了一种非接触式的加热手段,在保持测量结果准确性的同时,在升温速率与加热均匀性之间实现了一定的折中。目前国内设备在温控实现上仍较为单一,普遍只采用单一的加热方式。

4 结 论

本文系统综述了先进封装技术中热翘曲现象的定义、测量方法及其应用进展。在现代半导体制造中,随着晶圆级封装和 2.5D/3D 异质集成技术的广泛应用,热翘

曲问题日益凸显,显著影响封装结构的可靠性与性能。因此,准确测量和深入分析翘曲行为对于优化封装工艺至关重要。

当前,翘曲测量方法主要包括接触式测量、激光测量、阴影莫尔法、干涉法、条纹投影法以及数字图像相关法等。各类测量技术各具优势与局限,其适用范围和精度水平亦有所不同。例如,接触式测量方法操作简便,但在高动态环境下表现欠佳;激光测量法精度高,但对大尺寸样品的适应性需进一步提升;阴影莫尔法成熟可靠,但其精度受限于光栅线数;干涉法适用于亚微米级精度需求,但在复杂热环境下易受干扰;条纹投影法在大视场和高精度测量中表现优异;数字图像相关法因其非接触、高精度及全场测量能力,近年来受到广泛关注并迅速发展。

随着新兴技术的不断进步,未来翘曲测量将朝着高精度、全场测量与多维度分析相结合的方向迈进,以适应日益复杂的封装结构需求。同时,随着对翘曲问题研究的深入,测量方法的技术要求也将持续提升,亟需突破现有技术瓶颈,提供更高效、更精确的解决方案。展望未来,翘曲测量技术的发展将主要聚焦以下几个方面:首先,随着测量技术从研究设计阶段逐步向生产检测环节过渡,提高测量系统的效率、缩短测量周期,并减少前置

处理以实现无损检测,已成为未来研究与应用的重要方向。其次,为了提升测量结果的准确性,降低环境干扰的影响,并增强测量系统在不同热条件下的稳定性与可靠性,成为关键的研究目标。此外,人工智能与机器学习技术的引入,将推动智能化测量和数据分析方法的发展,不仅能够进一步提高测量精度,还将提升数据处理效率与检测自动化水平,为翘曲测量技术的未来发展提供更加高效、智能的解决方案。

综上所述,热翘曲测量方法在半导体封装中的应用日益重要,各类测量技术的不断创新与优化为先进封装工艺的发展提供了有力支持。未来,随着封装技术和测量手段的持续进步,热翘曲测量将更加精准和高效,为提升封装良率和可靠性、推动半导体行业实现更高水平的技术突破及产业升级提供重要的技术保障。同时,提升自主测量技术和设备的国产化水平,将进一步增强产业链的稳定性和竞争力,助力我国半导体行业的战略布局与可持续发展。

参考文献

- [1] 姚鹏,宋昌明,胡杨,等. 高算力芯片未来技术发展途径 [J]. 前瞻科技, 2022, 1(3): 115-129.
YAO P, SONG CH M, HU Y, et al. Future technical development approach for high computing power chips [J]. Science and Technology Foresight, 2022, 1(3): 115-129.
- [2] 何立文,罗乐,孟钢,等. 新型光刻技术研究进展[J]. 激光技术, 2019, 43(1): 30-37.
HE L W, LUO L, MENG G, et al. Recent progress of novel photolithography technologies [J]. Laser Technology, 2019, 43(1): 30-37.
- [3] ZHU S Q, YU T, XU T, et al. Intelligent computing: The latest advances, challenges, and future [J]. ArXiv preprint arXiv:2211.11281, 2023.
- [4] 孙玲,黎明,吴华强,等. 后摩尔时代的微电子研究前沿与发展趋势 [J]. 中国科学基金, 2020, 34(5): 652-659.
SUN L, LI M, WU H Q, et al. Frontiers and trends of microelectronics in post Moore era [J]. Bulletin of National Natural Science Foundation of China, 2020, 34(5): 652-659.
- [5] SCHALLER R R. Moore's law: Past, present and future[J]. IEEE Spectrum, 1997, 34(6): 52-9.
- [6] 张中,乔新宇,龙欣江,等. 2.5D Chiplet 封装结构的热应力研究 [J]. 传感技术学报, 2023, 36(7): 1024-1031.
ZHANG ZH, QIAO X Y, LONG X J, et al. Research on thermal stress of 2.5D chiplet packaging structure [J]. Chinese Journal of Sensors and Actuators, 2023, 36(7): 1024-1031.
- [7] LAU J H. Chiplet Design and Heterogeneous Integration Packaging [M]. Berlin: Springer, 2023.
- [8] LAU J H. State of the art of lead-free solder joint reliability [J]. Journal of Electronic Packaging, 2021, 143(2): 020803.
- [9] 陈康清,陈新度,吴磊,等. 大尺寸面板级封装芯片精密定位检测 [J]. 电子测量技术, 2021, 44(16): 141-147.
CHEN K Q, CHEN X D, WU L, et al. Precise positioning and inspection of large-size panel-level packaged chips [J]. Electronic Measurement Technology, 2021, 44(16): 141-147.
- [10] FAN X J, VARIA B, HAN Q. Design and optimization of thermo-mechanical reliability in wafer level packaging [J]. Microelectronics Reliability, 2010, 50(4): 536-546.
- [11] 吉勇,王成迁,李杨. 扇外型封装发展、挑战和机遇 [J]. 电子与封装, 2020, 20(8): 1-6.
JI Y, WANG CH Q, LI Y. Development, challenges and opportunities of fan-out packaging [J]. Electronics and Packaging, 2020, 20(8): 1-6.
- [12] 邓丹,吴丰顺,周龙早,等. 3D 封装及其最新研究进展 [J]. 微纳电子技术, 2010, 47(7): 443-450.
DENG D, WU F SH, ZHOU L Z, et al. 3D package and its latest research [J]. Micronanoelectronic Technology, 2010, 47(7): 443-450.
- [13] LANCASTER A, KESWANI M. Integrated circuit packaging review with an emphasis on 3D packaging [J]. Integration, 2018, 60: 204-12.
- [14] 匡自亮. 扇外型板级封装热应力翘曲分析与改善 [D]. 广州:广东工业大学, 2021.
KUANG Z L. Analysis and improvement on thermal stress warpage of fan-out panel level package [D]. Guangzhou:Guangdong University of Technology, 2021.
- [15] 向语嫣,周政,张峻,等. 大面积芯片/DBC 基板自蔓延互连热应力场研究 [J]. 电子工艺技术, 2019, 40(4): 187-91.
XIANG Y Y, ZHOU ZH, ZHANG J, et al. Study on thermal stress field of self-propagating interconnection of large area chip/DBC substrate [J]. Electronics Process Technology, 2019, 40(4): 187-191.
- [16] ZHOU Y, XU L, LIU S. Optimization for warpage and residual stress due to reflow process in IGBT modules based on pre-warped substrate [J]. Microelectronic Engineering, 2015, 136: 63-70.
- [17] 胡伟林. 集成电路芯片扇外型封装工艺翘曲行为及可

- 靠性研究 [D]. 广州:华南理工大学, 2022.
- HU W L. Studies of the process warpage behavior and reliability of fan-out packaging for integrated circuit chips [D]. Guangzhou:South China University of Technology, 2022.
- [18] 张恒,程成,袁彪,等. 基于 YOLOv5-EA-FPNs 的芯片缺陷检测方法研究[J]. 电子测量与仪器学报, 2023, 37(5):36-45.
- ZHANG H, CHENG CH, YUAN B. Research on chip defect detection method based on YOLOv5-EA-FPNs [J]. Journal of Electronic Measurement and Instrumentation, 2023, 37(5): 36-45.
- [19] 郭威,王小龙,谢建友,等. 一种基于板壳理论对芯片翘曲变形的研究[J]. 电子与封装, 2017, 17(1): 15-18.
- GUO W, WANG X L, XIE J Y, et al. A predictive model for thermal-mechanical warpage of micro-electronic packages [J]. Electronics & Package, 2017, 17(1): 15-18.
- [20] 高娜燕,陈锡鑫,全良玉,等. 倒装焊塑封翘曲失效分析[J]. 电子产品可靠性与环境试验, 2020, 38(2): 61-65.
- GAO N Y, CHEN X X, TONG L Y, et al. The warpage failure analysis of flip-chip plastic package [J]. Electronic Product Reliability and Environmental Testing, 2020, 38(2): 61-65.
- [21] 葛一铭,沈飞,柯燎亮. 基于 DIC 的多层板热翘曲实验及仿真研究[J]. 力学学报, 2023, 55(9): 1900-1909.
- GE Y M, SHEN F, KE L L, et al. Experimental and simulation research on thermal warping of multi-layer plates based on DIC [J]. Chinese Journal of Theoretical and Applied Mechanics, 2023, 55(9): 1900-1909.
- [22] CHENG T, LUO X, HUANG S, et al. Thermal analysis and optimization of multiple LED packaging based on a general analytical solution [J]. International Journal of Thermal Sciences, 2010, 49(1): 196-201.
- [23] EZAWA H, TOGASAKI T, MIGITA T, et al. Process integration of fine pitch Cu redistribution wiring and SnCu micro-bumping for power efficient LSI devices with high-bandwidth stacked DRAM [J]. Microelectronic Engineering, 2013, 103: 22-32.
- [24] BAO S, LI W, HE Y, et al. On the optimization of molding warpage for wafer-level glass interposer packaging [J]. Journal of Materials Science: Materials in Electronics, 2023, 34(12):1061.
- [25] 黄世东,王顾峰,沈聪颖,等. 基于应力差改善的 SiC 模块用氮化硅衬板匹配性研究[J]. 机车电传动, 2023(5): 107-112.
- HUANG SH D, WANG G F, SHEN Y C, et al. A study on matching of Si₃N₄ substrate for SiC module based on stress difference improvement [J]. Electric Drive for Locomotives, 2023(5): 107-112.
- [26] HAN B. Thermal stresses in microelectronics subassemblies: Quantitative characterization using photomechanics methods [J]. Journal of Thermal Stresses, 2003, 26(6): 583-613.
- [27] 张振越,夏鹏程,王成迁,等. 扇出型晶圆级封装中圆片翘曲研究[J]. 电子与封装, 2021, 21(4): 27-31.
- ZHANG ZH Y, XIA P CH, WANG CH Q, et al. Research of wafer warpage in wafer-level fan-out packaging [J]. Electronics & Packaging, 2021, 21(4): 27-31.
- [28] JIANG Y, CHEN Y, HU F, et al. Solution to optimize warpage performance for 2.5D fanout packaging [C]. 2023 24th International Conference on Electronic Packaging Technology (ICEPT), 2023: 1-4.
- [29] 潘兵,谢惠民,续伯钦,等. 数字图像相关中的亚像素位移定位算法进展[J]. 力学进展, 2005, 35(3): 345-352.
- PAN B, XIE H M, XU B Q, et al. Development of sub-pixel displacements registration algorithms in digital image correlation [J]. Advances in Mechanics, 2005, 35(3): 345-352.
- [30] SUTTON M A, ORTEU J J, SCHREIER H. Image Correlation for Shape, Motion and Deformation Measurements: Basic Concepts, Theory and Applications [M]. Berlin: Springer, 2009.
- [31] CHIU T C, YEH E Y. Warpage simulation for the reconstituted wafer used in fan-out wafer level packaging [J]. Microelectronics Reliability, 2018, 80: 14-23.
- [32] LV S, KEMAO Q. Modeling the measurement precision of fringe projection profilometry [J]. Light Science & Applications, 2023, 12(1): 257.
- [33] 李茂月,张明全,吕虹毓,等. 基于虚拟视野的结构光条纹投影像素精准映射方法[J]. 仪器仪表学报, 2023,44(8): 63-73.
- LI M Y, ZHANG M L, LYU H Y, et al. Research on the pixel accurate mapping method of structured light fringe projection based on virtual field of vision [J]. Chinese Journal of Scientific Instrument, 2023, 44(8): 63-73.
- [34] CHEN Z, LI Y, XU G, et al. Warpage characterization of a large size fan-out panel subjected to inhomogeneous

- heating by a digital fringe projection system [J]. *Microelectronics Reliability*, 2022, 139(4):114818.
- [35] LAU J H, LI M, YANG L, et al. Warpage measurements and characterizations of fan-out wafer-level packaging with large chips and multiple redistributed layers [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2018, 8(10): 1729-37.
- [36] PHANSALKAR S P, KIM C, HAN B. Effect of critical properties of epoxy molding compound on warpage prediction: A critical review [J]. *Microelectronics Reliability*, 2022, 130(1):114480.
- [37] PAN J, CURRY R, HUBBLE N, et al. Comparing techniques for temperature-dependent warpage measurement [J]. *Plus*, 2007, 10: 1980-1985.
- [38] DING H, POWELL R E, HANNA C R, et al. Warpage measurement comparison using shadow Moire and projection Moire methods [J]. *IEEE Transactions on Components and Packaging Technologies*, 2002, 25(4): 714-721.
- [39] THOMAS J. Projection moiré vs. shadow Moiré for warpage measurement and failure analysis of advanced packages [C]. *SMTA International*, 2011 13 (1): 835-837.
- [40] LOH W K, KULTERMAN R, FU H, et al. Recent trends of package warpage and measurement metrologies [C]. *Proceedings of the 2016 International Conference on Electronics Packaging (ICEP)*. IEEE, 2016.
- [41] KANG S, UME I C. Techniques for measuring warpage of chip packages, PWBs, and PWB assemblies [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2013, 3(9): 1533-1544.
- [42] SUN G, ZHANG S. A review on warpage measurement metrologies for advanced electronic packaging [J]. *Microelectronics Reliability*, 2024, 160:115456.
- [43] SEMI M59. Terminology for silicon technology [S]. 2005.
- [44] SEMI MF534. Test method for bow of silicon wafers [S]. 2006.
- [45] SEMI MF657. Test method for measuring warp and total thickness variation on silicon wafers by noncontact scanning [S]. 2005.
- [46] GB/T 6619-2009. 硅片弯曲度测试方法 [S]. 2009:.. GB/T 6619-2009. Standard method for measuring bow of silicon slices [S]. 2009.
- [47] GB/T 6620-2009. 硅片翘曲度非接触式测试方法 [S]. 2009. GB/T 6620-2009. Standard method for measuring warp of silicon slices by noncontacting technique [S]. 2009.
- [48] IPC-TM-650. Test methods manuals [S]. 2018.
- [49] ED-7306. Measurement methods of package warpage at elevated temperature and the maximum permissible warpage [S]. 2007.
- [50] IEC 60191-6-19. Measurement methods of the package warpage at elevated temperature and the maximum permissible warpage [S]. 2010.
- [51] JESD22-B112B. Package warpage measurement of surface-mount integrated circuits at elevated temperature [S]. 2009.
- [52] JESD22-B112C. Package warpage measurement of surface-mount integrated circuits at elevated temperature [S]. 2023.
- [53] AKROMETRIX. Technology overview [R]. 2021.
- [54] AKROMETRIX. Testing applications [R]. 2015.
- [55] HUBBLE N. Improvements in decision making criteria for thermal warpage [J]. *iMAPS Device Packaging Conference Presentations*, 2016 (DPC): 001455-001497.
- [56] HUBBLE N, YOUNG J, HARTNETT K. Surface mount signed warpage case study; New methods for characterizing 3D shapes through reflow temperatures [C]. *Proceedings of IPC APEX*, 2017.
- [57] LAU J H, LI M, TIAN D, et al. Warpage and thermal characterization of fan-out wafer-level packaging [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2017, 7(10): 1729-1738.
- [58] TIAN Z, ZHANG G, HUANG Y, et al. Process mechanics model and asymmetric residual stress analysis during 3-D NAND manufacturing [J]. *IEEE Transactions on Electron Devices*, 2024, 72 (1): 193-198.
- [59] FISCHER J. Handbook of Molded Part Shrinkage and Warpage [M]. New York: William Andrew, 2012.
- [60] LIU L, ZHANG C, HU P, et al. Influences of hygrothermal conditions and structure parameters on moisture diffusion behavior in a system-in-package module by moisture-thermal-mechanical-coupled finite element modeling [J]. *Soldering & Surface Mount Technology*, 2025, 37(2): 117-126.
- [61] 刘福民, 杨静, 梁德春, 等. MEMS 器件用 Cavity-SOI 制备中的晶圆键合工艺研究 [J]. *传感器与微系统*, 2022, 41(3): 58-61. LIU F M, YANG J, LIANG D CH, et al. Wafer bonding process research in manufacturing of Cavity-SOI for MEMS device application [J]. *Transducer and Microsystem Technologies*, 2022, 41(3): 58-61.
- [62] 闫伟伟, 朱泽力, 李景明. 封装用玻璃基板的热应力翘曲研究 [J]. *电子与封装*, 2024, 24(1): 5-9.

- YAN W W, ZHU Z L, LI J M, et al. Research on thermal stress warpage of glass substrates for packaging [J]. *Electronics & Packaging*, 2024, 24(1): 5-9.
- [63] 邵伟, 郭俊杰, 常婷, 等. 基板玻璃翘曲度的精密随动测量技术 [J]. *计量学报*, 2013, 34(3): 221-225.
- SHAO W, GUO J J, CHANG T, et al. Accurately following measuring technique for warpage of substrate glass [J]. *Acta Metrologica Sinica*, 2013, 34(3): 221-225.
- [64] MOSER M, PRADHAN M, ALOMARI M, et al. PECVD SiNx passivation with more than 8 MV/cm breakdown strength for GaN-on-Si wafer stress management [J]. *Power Electronic Devices and Components*, 2023, 4:100032.
- [65] FENG W, SHIMAMOTO H, KAWAGOE T, et al. Wafer-to-wafer bonding fabrication process-induced wafer warpage [J]. *IEEE Transactions on Semiconductor Manufacturing*, 2023, 36(3): 398-403.
- [66] FENG W, SHIMAMOTO H, KAWAGOE T, et al. Study of wafer warpage reduction by dicing street [J]. *Japanese Journal of Applied Physics*, 2022, 61(SJ): SJ1001.
- [67] ZHAO J, CHEN Z, QIN F, et al. Development of high performance 2.5D packaging using glass interposer with through glass vias [J]. *Journal of Materials Science: Materials in Electronics*, 2023, 34(25): 1790.
- [68] 周峻霖, 夏俊生, 邹建安, 等. LTCC 基板共烧平整度工艺研究 [J]. *微电子学*, 2011, 41(5): 770-774.
- ZHOU J L, XIA J SH, ZOU J AN, et al. Study on co-fire process for surface finish of LTCC substrate [J]. *Microelectronics*, 2011, 41(5): 770-774.
- [69] 刘海燕. TFT-LCD 用玻璃基板的性能及检测 [J]. *玻璃*, 2009, 36(1): 22-24.
- LIU H Y. Performance and test of glass substrate for TFT-LCD [J]. *Glass*, 2009, 36(1): 22-24.
- [70] 张波, 谢添华, 崔永涛, 等. 薄型 IC 封装基板翘曲分析与设计优化 [J]. *电子元件与材料*, 2018, 37(9): 79-83.
- ZHANG B, XIE T H, CUI Y T, et al. Design parameters optimization for thin IC package substrate warpage [J]. *Electronic Components and Materials*, 2018, 37(9): 79-83.
- [71] 衣忠波, 丛瑞, 常庆麒. 超薄晶圆减薄工艺研究 [J]. *电子工业专用设备*, 2020, 49(1): 36-40, 49.
- YI ZH B, CONG R, CHANG Q Q. Study on the thinning technology of ultra-thin wafer [J]. *Equipment for Electronic Products Manufacturing*, 2020, 49(1): 36-40, 49.
- [72] CHE F X, YAMAMOTO K, RAO V S, et al. Panel warpage of fan-out panel-level packaging using RDL-first technology [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2020, 10(2): 304-313.
- [73] CHE F X, YAMAMOTO K, RAO V S. Panel warpage and die shift simulation and characterization of fan-out panel-level packaging [C]. *2020 IEEE 70th Electronic Components and Technology Conference*, 2020: 2097-2104.
- [74] LEE H J, PARK S M, PARK S J. Minimization of warpage for wafer level package using response surface method [J]. *International Journal of Precision Engineering and Manufacturing*, 2016, 17(9): 1201-1207.
- [75] ZHEN H, WEI Z, XIAO G, et al. Numerical simulation on the warpage of reconstructed wafer during encapsulation process [C]. *International Symposium on Microelectronics*, 2021: 112-118.
- [76] KIM Y K, PARK I S, CHOI J. Warpage mechanism analyses of strip panel type PBGA chip packaging [J]. *Microelectronics Reliability*, 2010, 50(3): 398-406.
- [77] 岳帅旗, 刘志辉, 张刚, 等. LTCC 基板腔底平整度研究 [J]. *电子元件与材料*, 2014, 33(5): 80-83.
- YUE SH Q, LIU ZH H, ZHANG G, et al. Study on floor flatness of LTCC cavities [J]. *Electronic Components and Materials*, 2014, 33(5): 80-83.
- [78] FOWLER M, MASSEY J P, BRAUN T, et al. Investigation and methods using various release and thermoplastic bonding materials to reduce die shift and wafer warpage for eWLB chip-first processes [C]. *2019 IEEE 69th Electronic Components and Technology Conference*, 2019.
- [79] CHENG G, XU G, GAI W, et al. Reduce the wafer warpage introduced by Cu in RDL through adjusting the cooling temperatures [C]. *2018 IEEE 68th Electronic Components and Technology Conference*, 2018: 669-674.
- [80] CHENG G, LUO L, XU G, et al. Effects of microstructure of copper used in redistribution layer on wafer warpage evolution during the thermal process [J]. *Journal of Materials Science: Materials in Electronics*, 2019, 30(12): 11136-11144.
- [81] ZHU C. Experimental and theoretical investigation of bifurcated wafer warpage evolution in the wafer level packaging processes [J]. *Journal of Materials Science: Materials in Electronics*, 2020, 31(19): 16531-16538.

- [82] CHENG G, GAI W, XU G, et al. Study of the wafer warpage evolution by cooling to extremely low temperatures [C]. 18th International Conference on Electronic Packaging Technology. IEEE, 2017: 597-600.
- [83] KIM S E, KIM S. Wafer level Cu-Cu direct bonding for 3D integration [J]. *Microelectronic Engineering*, 2015, 137: 158-163.
- [84] ZHU C, LI H, XU G, et al. A novel mechanical diced trench structure for warpage reduction in wafer level packaging process [J]. *Microelectronics Reliability*, 2015, 55(2): 418-23.
- [85] 杨轶博, 丁荣峥, 明雪飞, 等. BGA 和 CCGA 形位尺寸测试方法研究 [J]. *电子与封装*, 2012, 12(10): 10-13.
- YANG Y B, DING R ZH, MING X F, et al. The discussion on the measurement of BGA and CCGA geometrical size [J]. *Electronics & Packaging*, 2012, 12(10): 10-13.
- [86] CHENG F, CHEN T, YU Q, et al. A double-sided surface scanning platform for sapphire substrate quality assessment [J]. *Precision Engineering*, 2023, 84: 191-201.
- [87] GUAN J, ZHAO Y. Dual-wafer intergrinding thinning by bipolar-discharge EDM with a capacity-coupled pulse generator considering large gap capacitance and minimization of discharge energy [J]. *Results in Engineering*, 2022, 15:100526.
- [88] XU X, HUANG J, YU H, et al. Elimination of stress induced dislocation in deep Poly Sinkers LDMOS technology [J]. *Microelectronics Reliability*, 2015, 55(3-4): 486-491.
- [89] LEE C C, LIU Y Y, CHANG C P, et al. Estimated approach development and experimental validation of residual stress-induced warpage under the SiNx PECVD coating process [J]. *Surface and Coatings Technology*, 2022, 434(3):128225.
- [90] HUANG D S, TU W B, ZHANG X M, et al. Using Taguchi method to obtain the optimal design of heat dissipation mechanism for electronic component packaging [J]. *Microelectronics Reliability*, 2016, 65: 131-141.
- [91] LIU C, LIU X, XU Z, et al. Mirror-based flexible one-step calibration method of light-sectioning system for surface topography [J]. *Applied Optics*, 2018, 57(20): 5583-5590.
- [92] NAKAZAWA T, SAMARA A. Three-dimensional inline inspection for substrate warpage and ball grid array coplanarity using stereo vision [J]. *Applied Optics*, 2014, 53(14): 3101-3109.
- [93] DONG Z, SUN X, LIU W, et al. Measurement of free-form curved surfaces using laser triangulation [J]. *Sensors (Basel)*, 2018, 18(10):3527.
- [94] CHASON E. Resolution and sensitivity of stress measurements with the k-Space multi-beam optical sensor (MOS) system [Z]. Sandia National Laboratories, 2005.
- [95] KATO M, YOSHIDA A, ICHIMURA M, et al. Excess carrier lifetime and strain distributions in a 3C-SiC wafer grown on an undulant Si substrate [J]. *Physica Status Solidi A*, 2013, 210(9): 1719-1725.
- [96] OSTER G, WASSERMAN M, ZWERLING C. Theoretical interpretation of moiré patterns [J]. *Josa*, 1964, 54(2): 169-75.
- [97] CREATH K, WYANT J. Moiré and fringe projection techniques [J]. *Optical Shop Testing*, 1992, 2: 653-85.
- [98] SONG S, ZHU F, ZHANG W, et al. Warpage measurement of various substrates based on white light shadow Moiré technology [C]. Proceedings of the 2011 6th International Microsystems, Packaging, Assembly and Circuits Technology Conference. IEEE, 2011.
- [99] LIU S, ZHU J, ZOU D, et al. Study of delaminated plastic packages by high temperature Moiré and finite element method [J]. *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part A*, 1997, 20(4): 505-512.
- [100] SU M, CAO L, LIN T, et al. Warpage simulation and experimental verification for 320 mm × 320 mm panel level fan-out packaging based on die-first process [J]. *Microelectronics Reliability*, 2018, 83: 29-38.
- [101] 侯朝昭, 邵远城, 李茂源, 等. IC 封装无芯基板的发展与制造研究 [J]. *电子工艺技术*, 2014, 35(4): 187-189,233.
- HOU ZH ZH, SHAO Y CH, LI M Y, et al. Development & manufacture research of coreless substrate for IC packages [J]. *Electronics Process Technology*, 2014, 35(4): 187-189,233.
- [102] 王晓锋, 何小琦, 尧彬. PBGA 封装回流焊翘曲变形仿真与验证 [J]. *广东工业大学学报*, 2020, 37(2): 94-101.
- WANG X F, HE X Q, YAO B. Simulation and verification of warpage deformation of PBGA package reflow soldering [J]. *Journal of Guangdong University of Technology*, 2020, 37(2): 94-101.
- [103] 时亚南, 郑华雄, 吕阳, 等. 电子硅胶对霍尔芯片性

- 能改善的研究 [J]. 传感器世界, 2024, 30(5): 18-21,31.
- SHI Y N, ZHENG H X, LYU Y, et al. The study about hall sensor chip performance improved with additional silica gel layer [J]. Sensor World, 2024, 30(5): 18-21,31.
- [104] 吕贤亮, 杨迪, 毕明浩, 等. 回流焊工艺对 SMT 器件热翘曲的影响 [J]. 电子与封装, 2024, 24(5): 41-45.
- LYU X L, YANG D, BI M H, et al. Effect of reflow soldering process on thermal warpage of SMT devices [J]. Electronics & Packaging, 2024, 24(5): 41-45.
- [105] 李欣欣, 李守委, 陈鹏, 等. 基于 FCBGA 封装应用的有机基板翘曲研究 [J]. 电子与封装, 2024, 24(2): 61-67.
- LI X X, LI SH W, CHEN P, et al. Study on organic substrate warpage based on FCBGA packaging application [J]. Electronics & Packaging, 2024, 24(2): 61-67.
- [106] 吉勇, 杨昆, 陈鹏, 等. 基于倒装焊的大尺寸芯片塑封工艺研究 [J]. 中国集成电路, 2024, 33(7): 81-86.
- JI Y, YANG K, CHEN P, et al. Research on plastic packaging technology for large-size chips based on flip-chip bonding [J]. China Integrated Circuit, 2024, 33(7): 81-86.
- [107] SONG T, SHAO G, WANG Z, et al. An optimization method of package warpage simulation based on parameter calibration [C]. 2022 23rd International Conference on Electronic Packaging Technology, 2022: 1-4.
- [108] SALAHOUELHADJ A, GONZALEZ M, VANSTREELS K, et al. Analysis of warpage of a flip-chip BGA package under thermal loading: Finite element modelling and experimental validation [J]. Microelectronic Engineering, 2023, 271-272:111947.
- [109] TSAI M Y, HUANG P S, HUANG C Y, et al. An investigation into warpages, stresses and keep-out zone in 3D through-silicon-via DRAM packages [J]. Microelectronics Reliability, 2014, 54 (12): 2898-2904.
- [110] KWON K, LEE Y, KIM J, et al. Compression molding encapsulants for wafer-level embedded active devices: Wafer warpage control by epoxy molding compounds[C]. 2017 IEEE 67th Electronic Components and Technology Conference, 2017.
- [111] CHEN J, YIN C, MENG D, et al. Numerical modeling and experimental study on wafer warpage of embedded interconnect bridge in organic interposer [C]. 2024 25th International Conference on Electronic Packaging Technology, 2024: 1-6.
- [112] POWELL R E, UME I C. Simultaneous measurement of PWB and chip package warpage using the projection Moiré technique and automatic image segmentation[C]. Proceedings of the 56th Electronic Components and Technology Conference. IEEE, 2006.
- [113] TAN W, UME I C. Warpage measurement of board assemblies using projection Moiré system with improved automatic image segmentation algorithm [J]. IEEE Transactions on Advanced Packaging, 2008, 31(3): 447-453.
- [114] 宋劭. 基于影子云纹法的封装基板翘曲测量系统研究 [D]. 武汉: 华中科技大学, 2012.
- SONG SH. Study of warpage measurement system for packaging substrate based on shadow Moire method [D]. Wuhan: Huazhong University of Science and Technology, 2012.
- [115] 张逸博, 孔新新, 赵思泽鹏, 等. 300 mm 晶圆翘曲检测竖直装夹形变分析及验证 [J]. 光学精密工程, 2024, 32(15): 2418-2428.
- ZHANG Y B, KONG X X, ZHAO S Z P, et al. Vertical clamping deformation analysis and validation of 300 mm wafer warpage detection [J]. Optics and Precision Engineering, 2024, 32(15): 2418-2428.
- [116] 王会峰, 何柱材, 李云梦, 等. 散斑干涉条纹 Kaiser-Hamming 窗口傅里叶快速滤波方法 [J]. 电子测量与仪器学报, 2022, 36(3): 166-174.
- WANG H F, HE ZH C, LI Y M, et al. Faster Fourier filtering based on Kaiser-Hamming window forfringe of electronic speckle pattern interferometry [J]. Journal of Electronic Measurement and Instrumentation, 2022, 36(3): 166-174.
- [117] 赖欣, 贾英杰. 基于 Zernike 多项式的自适应包裹卡尔曼相位解缠 [J]. 电子测量与仪器学报, 2023, 37(11): 197-204.
- LAI X, JIA Y J. Adaptive wrapped Kalman phase unwrapping algorithm based on Zernike polynomial [J]. Journal of Electronic Measurement and Instrumentation, 2023, 37(11): 197-204.
- [118] HARENDT C, KOSTELNIK J, KUGLER A, et al. Hybrid systems in foil (HySiF) exploiting ultra-thin flexible chips [J]. Solid-State Electronics, 2015, 113: 101-108.
- [119] ZHANG K, ZHOU W, LI T, et al. Improvement of

- warpage and leakage for 3D NAND flash memory [J]. *Materials Science in Semiconductor Processing*, 2024, 176:108294.
- [120] LI J, GONG F, YANG G. Study on warpage and filling behavior of glass in non-isothermal hot embossing [J]. *Ceramics International*, 2023, 49(11): 19012-19024.
- [121] BORZA D N, NISTEA I T. Experimental investigation by speckle interferometry of solder joint failure under thermomechanical load aggravated by boundary conditions at board level [J]. *Journal of Electronic Packaging*, 2012, 134(4): 041007.
- [122] JANG K W, PARK J H, LEE S B, et al. A study on thermal cycling (T/C) reliability of anisotropic conductive film (ACF) flip chip assembly for thin chip-on-board (COB) packages [J]. *Microelectronics Reliability*, 2012, 52(6): 1174-1181.
- [123] YANG S Y, KWON W S, LEE S B. Chip warpage model for reliability prediction of delamination failures [J]. *Microelectronics Reliability*, 2012, 52(4): 718-724.
- [124] JANG J W, SUK K L, PAIK K W, et al. Measurement and analysis for residual warpage of chip-on-flex (COF) and chip-in-flex (CIF) packages [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2012, 2(5): 834-840.
- [125] HAN B, GUO Y, LIM C, et al. Verification of numerical models used in microelectronics packaging design by interferometric displacement measurement methods [J]. *Journal of Electronic Packaging*, 1996, 118(3): 157-163.
- [126] MARKS M R, HASSAN Z, CHEONG K Y. Characterization methods for ultrathin wafer and die quality: A review [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2014, 4(12): 2042-2057.
- [127] OKUDUR O O, GONZALEZ M, VAN DEN BOSCH G, et al. Scaling-friendly approaches to minimize the magnitude and asymmetry of wafer warpage during 3-D NAND fabrication [J]. *Microelectronics Reliability*, 2023, 145:114996.
- [128] HSIEH M L, YEH S K, LEE J H, et al. CMOS-MEMS capacitive tactile sensor with vertically integrated sensing electrode array for sensitivity enhancement [J]. *Sensors and Actuators A: Physical*, 2021, 317:112350.
- [129] VERMA K, HAN B. Warpage measurement of microelectronics devices by far infrared Fizeau interferometry [C]. *Proceedings of the ASME International Mechanical Engineering Congress and Exposition. American Society of Mechanical Engineers*, 1998.
- [130] VERMA K, HAN B. Warpage measurement on dielectric rough surfaces of microelectronics devices by far infrared Fizeau interferometry [J]. *Journal of Electronic Packaging*, 2000, 122(3): 227-232.
- [131] VERMA K, COLUMBUS D, HAN B. Development of real time/variable sensitivity warpage measurement technique and its application to plastic ball grid array package [J]. *IEEE Transactions on Electronics Packaging Manufacturing*, 1999, 22(1): 63-70.
- [132] TOH S L, CHAU F S, ONG S H. Use of optical technique for inspection of warpage of IC packages [C]. *Proceedings of the Second International Conference on Experimental Mechanics*, 2001.
- [133] UDUPA G, NGOI B K A, GOH H C F, et al. Defect detection in unpolished Si wafers by digital shearography [J]. *Measurement Science and Technology*, 2004, 15(1): 35-43.
- [134] KEMAO Q. Two-dimensional windowed Fourier transform for fringe pattern analysis: Principles, applications and implementations [J]. *Optics and Lasers in Engineering*, 2007, 45(2): 304-317.
- [135] LANGENBECK P. Multipass Twyman-Green interferometer [J]. *Applied Optics*, 1967, 6(8): 1425-1426.
- [136] MALACARA D. Twyman-Green interferometer [Z]. *Optical Shop Testing*, 2007: 46-96.
- [137] BÜNNAGEL R, OEHRING H A, STEINER K. Fizeau interferometer for measuring the flatness of optical surfaces [J]. *Applied Optics*, 1968, 7(2): 331-335.
- [138] KAJAVA T, LAURANTO H, SALOMAA R. Fizeau interferometer in spectral measurements [J]. *JOSA B*, 1993, 10(11): 1980-1989.
- [139] HUNG Y, HO H. Shearography: An optical measurement technique and applications [J]. *Materials Science and Engineering: R: Reports*, 2005, 49(3): 61-87.
- [140] GOLIM O, VUORINEN V, WERNICKE T, et al. Low-temperature wafer-level bonding with Cu-Sn-In solid liquid interdiffusion for microsystem packaging [J]. *Microelectronic Engineering*, 2024, 286:112140.
- [141] YIN Z, DU Y, SHE P, et al. Generalized 2-step phase-shifting algorithm for fringe projection [J]. *Optics Express*, 2021, 29(9): 13141-13152.
- [142] VAN DIJK M, HUBER S, STEGMAIER A, et al.

- Experimental and simulative study of warpage behavior for fan-out wafer-level packaging [J]. *Microelectronics Reliability*, 2022, 135:114585.
- [143] HÖLCK O, VERNHES P, GAMBA B, et al. Multiscale warpage behaviour in a fan-out panel during thermal cycles [J]. *Microelectronics Reliability*, 2022, 138:114641.
- [144] BAGETTI JERONIMO M, SCHINDELE J, STRAUB H, et al. On the influence of lid materials for flip-chip ball grid array package applications [J]. *Microelectronics Reliability*, 2023, 140:114869.
- [145] KANG S, UME I C. Dynamic digital fringe projection technique for measuring the warpage of unpainted PBGA packages and boards [J]. *The International Journal of Advanced Manufacturing Technology*, 2018, 96(9-12): 3235-3249.
- [146] CALABRETTA M, SITTA A, OLIVERI S M, et al. An experimental-numeric approach to manufacture semiconductor wafer using thick copper front metallization [J]. *International Journal on Interactive Design and Manufacturing (IJIDeM)*, 2020, 15(1): 117-119.
- [147] NG C S, ASUNDI A K. Warpage measurement of thin wafers by reflectometry [J]. *Physics Procedia*, 2011, 19: 9-20.
- [148] PAN B. Recent progress in digital image correlation [J]. *Experimental mechanics*, 2011, 51: 1223-1235.
- [149] YIN Z, REN X, LI C, et al. Coded speckle target: Design, analysis and applications [J]. *Optics and Lasers in Engineering*, 2024, 181:108434.
- [150] YIN Z, YUAN F, TONG Z, et al. Stereo digital image correlation using binocular super-resolution [J]. *Measurement Science and Technology*, 2024, 36(1): 015042.
- [151] ZENG B, GAO Y, XIONG C, et al. A full-field warpage characterization measurement method coupled with infrared information [J]. *Microelectronics Reliability*, 2023, 149:115237.
- [152] BAEK J H, PARK D W, OH G H, et al. Effect of cure shrinkage of epoxy molding compound on warpage behavior of semiconductor package [J]. *Materials Science in Semiconductor Processing*, 2022, 148:106758.
- [153] KIM J, SONG M, GU C Y, et al. Enhancing predictability of thermal warpage by applying temperature-dependent Poisson's ratio of epoxy molding compound [J]. *Polymer Testing*, 2023, 125:108140.
- [154] SUZUKI K, SANADA Y, UCHIBORI S, et al. Investigation of the warpage modeling technique for thick multi-chip module encapsulated by compression molding [C]. *Proceedings of the 2017 International Conference on Electronics Packaging*. IEEE, 2017.
- [155] UM H J, JU Y M, LEE D W, et al. Reduced warpage in semiconductor packages: Optimizing post-cure temperature profile considering cure shrinkage and viscoelasticity of epoxy molding compound [J]. *Materials & Design*, 2024, 245:113265.
- [156] KWAK J B. Completely in situ and non-contact warpage assessment using 3D DIC with virtual patterning method [J]. *The International Journal of Advanced Manufacturing Technology*, 2018, 100(9-12): 2803-2811.
- [157] GAO Y, CHEN Y, YU Z, et al. Correction of thermal airflow distortion in warpage measurements of microelectronic packaging structures via deep learning-based digital image correlation [J]. *Microsyst Nanoeng*, 2024, 10(1): 118.
- [158] YIN Z, CHEN Y, SHE P, et al. Modeling the measurement precision of a multi-camera system [J]. *Optics Letters*, 2025, 50(21): 6489-6492.
- [159] LECOMPTE D, SMITS A, BOSSUYT S, et al. Quality assessment of speckle patterns for digital image correlation [J]. *Optics and Lasers in Engineering*, 2006, 44(11): 1132-1145.
- [160] LAU J H, LI M, YANG L, et al. Warpage measurements and characterizations of fan-out wafer-level packaging with large chips and multiple redistributed layers [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2018, 8(10): 1729-1737.
- [161] SUN W, WANG L, ZHU N, et al. Characterization of packaging warpage, residual stress and their effects on the mechanical reliability of IGBT power modules [J]. *Engineering Failure Analysis*, 2023, 152:107517.
- [162] CASON M, ESTRADA R. Application of x-ray microct for non-destructive failure analysis and package construction characterization [C]. *Proceedings of the 18th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*. IEEE, 2011.
- [163] TERAMOTO A, MURAKOSHI T, TSUZAKA M, et al. Automated solder inspection technique for BGA-mounted substrates by means of oblique computed tomography [J]. *IEEE Transactions on Electronics Packaging Manufacturing*, 2007, 30(4): 285-292.

- [164] LAU S H, GUL S, GELB J, et al. Decoupling sub-micron resolution and speed from sample size in 3D X-ray imaging [C]. 2022 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits, 2022: 1-6.
- [165] BOSE A, VIJAYARAGHAVAN R K, COWLEY A, et al. Nondestructive Monitoring of Die Warpage in Encapsulated Chip Packages [J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2016, 6(4): 653-662.
- [166] CHEN Y, LIN N, LAI P. Three-dimensional X-Ray laminography as a tool for detection and characterization of package on package (PoP) defects[C]. Proceedings of the 2014 10th International Conference on Reliability, Maintainability and Safety (ICRMS). IEEE, 2014.
- [167] SAFIA B, PIERRE V, NICOLAS C, et al. Addressing sub-micron thermal warpage: Industrial application on

semiconductor devices [C]. 2023 IEEE 73rd Electronic Components and Technology Conference, 2023: 169-174.

作者简介



尹卓异(通信作者),2020年于南京理工大学获得学士学位,2025年于东南大学获得博士学位,现为南京理工大学讲师,主要研究方向为微电子封装可靠性与实验力学。

E-mail: yinzhuoyi@njust.edu.cn

Yin Zhuoyi (Corresponding author) received his B. Sc. degree from Nanjing University of Science and Technology in 2020, and Ph. D. degree from Southeast University in 2025. Now he is a lecturer at Nanjing University of Science and Technology. His main research interests include microelectronic packaging reliability and experimental mechanics.