

DOI: 10.13382/j.jemi.B2508507

# 面向实时频谱分析的短时傅里叶变换 硬件结构优化设计\*

孙皓<sup>1</sup> 马鑫<sup>2</sup> 彭宇<sup>1</sup> 刘连胜<sup>1</sup>

(1. 哈尔滨工业大学电子与信息工程学院 哈尔滨 150000; 2. 普源精电科技股份有限公司 苏州 215163)

**摘要:**短时傅里叶变换(short-time Fourier transform, STFT)对于音频处理、通信系统和实时频谱分析(real-time spectrum analysis, RTSA)等领域的非平稳信号分析至关重要。然而,在实际RTSA仪器中,传统STFT的硬件实现往往受限于固定窗函数和固定跳变大小,并且为了满足高速、低延迟的数据流处理需求而消耗过多的逻辑单元与乘法运算资源,难以在资源受限或便携式平台上部署。针对上述问题,提出一种新颖的并行窗口短时傅里叶变换(PW-STFT)架构,该架构利用基于FFT的处理技术。所提出的PW-STFT结构集成并行窗口乘法器和基于正则符号数编码(CSD)编码的运行时可参数化的乘法器,且支持任意窗口和跳变大小,能最大限度地降低硬件开销。在32点、跳变大小为8的STFT上进行的实验表明,所提出的PW-STFT架构与已有方法相比显著降低了资源使用量,同时仍保持了可接受的信号-噪声及失真比(signal-to-noise and distortion ratio, SINAD)40.31 dB。这种硬件节省和输出保真度之间的平衡使该设计适合跨各种窗口类型和信号条件的实时STFT应用。因此,PW-STFT架构为实时频谱分析提供了一种灵活、资源高效的解决方案,能够对非平稳信号进行高吞吐量和精确的时间频率分析。

**关键词:**短时傅里叶变换;窗函数;正则符号数编码

**中图分类号:** TN98 **文献标识码:** A **国家标准学科分类代码:** 510.40

## Resource optimization of an FFT-based short-time Fourier transform for real-time spectrum analysis

Sun Hao<sup>1</sup> Ma Xin<sup>2</sup> Peng Yu<sup>1</sup> Liu Liansheng<sup>1</sup>

(1. School of Electronics and Information Engineering, Harbin Institute of Technology, Harbin 150000, China;

2. RIGOL Technologies Co., Ltd., Suzhou 215163, China)

**Abstract:** The short-time Fourier transform (STFT) is essential for non-stationary signal analysis in areas such as audio processing, communication systems, and real-time spectrum analysis (RTSA). However, in practical RTSA instruments, conventional hardware implementations of the STFT are typically restricted to fixed window functions and fixed hop sizes, and they consume excessive logic cells and multiplier resources to meet high-throughput, low-latency streaming requirements, making them difficult to deploy on resource-constrained or portable platforms. This paper proposes a novel parallel windowed short-time Fourier transform (PW-STFT) architecture that leverages FFT-based processing techniques. By integrating parallel window multipliers and runtime parameterizable multipliers based on canonical signed digital (CSD) encoding, the design flexibly supports arbitrary window and hop sizes while minimizing hardware overhead. Experiments on a 32-point STFT with a hop size of 8 show that the proposed PW-STFT architecture significantly reduces resource usage (658 slices and 24 DSPs) compared to previous approaches while still maintaining an acceptable signal-to-noise and distortion ratio (SINAD) of 40.31 dB. This balance between hardware savings and output fidelity makes the design well suited for real-time STFT applications across a wide range of window types and signal conditions. Therefore, the PW-STFT architecture provides a flexible and resource-efficient solution for real-time spectrum analysis, enabling high-throughput and precise time-frequency analysis of non-stationary signals.

**Keywords:** short-time Fourier transform; window functions; canonical signed digit encoding

收稿日期: 2025-06-26 Received Date: 2025-06-26

\* 基金项目: 黑龙江省重点研发计划(2023ZX01A13)项目资助

## 0 引言

频谱随着时间变化的信号称为非平稳信号,在现实世界中普遍存在,例如电网谐波瞬变、电磁干扰脉冲、宽带调制射频信号以及突发雷达回波等。快速傅里叶变换(fast Fourier transform, FFT)常用于信号频谱分析,它是一种全局信号分析方法,不会捕捉信号频谱随时间的变化。短时傅里叶变换(short-time Fourier transform, STFT)是一种典型的非平稳数字信号时频分析方法,通过对输入信号进行加窗再执行FFT,可以在时间-频率平面上描绘信号的频率谱随时间的分布变化,从而直观地表征非平稳信号的特征<sup>[1]</sup>。

得益于这一优势,短时傅里叶变换算法应用广泛,包括音频处理<sup>[2-5]</sup>、无人机控制<sup>[6-8]</sup>、通信系统<sup>[9-12]</sup>以及高精度电子测量设备等<sup>[13-17]</sup>。尤其在各类电子测量仪器中,STFT已成为分析非稳态射频和混合信号的重要工具:高端实时示波器借助STFT进行抖动-噪声分离与瞬时功率谱评估<sup>[18]</sup>;矢量网络分析仪利用STFT提升对脉冲激励器件的响应测量精度<sup>[19]</sup>;频谱监测接收机和雷达射频接收机则通过STFT实时跟踪宽带脉冲调制特性,从而提高目标检测灵敏度<sup>[20-21]</sup>。此外,作为一种能够执行高精度实时频谱分析(real-time spectrum analysis, RTSA)的信号分析仪器,实时频谱分析仪广泛应用于半导体设计和数字通信等众多领域,其实现实时频谱分析的核心技术依赖于STFT的硬件结构研究<sup>[15]</sup>。本文重点介绍如何针对实时频谱分析应用对短时傅里叶变换硬件结构进行优化设计。

截止目前,研究人员提出了许多短时傅里叶变换硬件结构。Zhang等<sup>[22]</sup>在2006年提出了基于快速傅里叶变换方法(FFT-based)的短时傅里叶变换硬件结构,又称直接型结构,能够直接并行展开并进行各自通道的FFT计算。由于其结构简单并支持任意窗函数和步长大小目前被广泛应用于实时频谱分析中,然而其存在资源成本极高、吞吐量低的现实问题。为了降低结构资源消耗,研究人员使用特定的窗函数优化了短时傅里叶变换硬件架构。迭代型<sup>[23]</sup>和前馈型<sup>[24]</sup>结构探索了矩形窗函数条件下短时傅里叶变换硬件架构的资源优化问题,并实现了更低的资源消耗。与迭代方法相比,前馈方法在资源消耗大致相同的情况下进一步避免了迭代型结构所导致的积累误差问题。频率分解型结构(frequency decomposition STFT, FD-STFT)<sup>[25]</sup>在2023年被提出,其允许任意跳变大小,并将窗函数类型扩展为汉宁窗,但仍然会导致资源消耗的增加和引入部分累积误差。

另外,为了降低在硬件结构实现过程中的通用乘法器资源消耗过大的问题,基于加法-移位的常数乘法器被

进行了广泛研究。文献[26]研究表明,基于二进制编码的常数乘法器往往存在非零位较多导致的加法器/减法器级数庞大、关键路径加长的的问题。而后,提出了基于正则有符号数(canonical signed digit, CSD)编码<sup>[27-28]</sup>的常数乘法器,通过在编码过程中在原有码值基础上进行正负号的区分,使其编码之后非零位的数量大幅度降低,从而减少了加法器的资源消耗。然而,目前基于CSD编码的常数乘法器虽然已被广泛应用于硬件结构的资源消耗优化中,但是由于少有人对其编码的有效性进行研究,即在有限资源消耗条件下满足精度要求,也存在资源浪费和结构冗余。

目前的研究在短时傅里叶变换的资源消耗、吞吐量和延时方面已经做出了许多优化的工作,但是并行加窗过程中仍存在通用乘法器资源开销大、累积误差明显的问题。本文针对面向实时频谱分析应用的多相滤波型结构中的并行窗函数乘法单元资源消耗高、运行时只支持静态单一窗函数编码的问题,提出一种新型的并行加窗结构短时傅里叶变换(parallel windowing STFT, PW-STFT)。

本文提出一种面向实时频谱分析的PW-STFT硬件架构,在多相滤波框架下实现多路并行窗口处理,解决传统结构只支持单一静态窗函数的问题;针对传统SDF流水线FFT因反馈空泡和分级不均,仅能实现约50%的时间利用率且资源开销大的问题,本文引入跨帧数据复用共享延迟链路,并采用严格均衡的多径延迟置换管线划分,使FFT始终满载运行,从而将时间利用率提升至100%,单帧延迟缩至 $N/P$ 个时钟周期,吞吐量翻倍,以满足微秒级RTSA的实时需求;设计运行时可参数化的CSD编码常数乘法器,实现乘法器动态可配置与多窗口并行计算,在保证窗函数精度的前提下,将乘法器资源消耗大幅降低,为硬件资源受限场景提供高效、灵活且无额外量化噪声的加速方案。

## 1 研究背景

### 1.1 短时傅里叶变换定义

对于串行输入离散信号 $x[n]$ ,带有滑动窗函数 $\psi[n]$ 的短时傅里叶变换结构如式(1)所示。

$$X[r, k] = \sum_{n=0}^{N-1} x[rR + n] \psi[n] W_N^{nk}, k \in [0, N-1] \quad (1)$$

式中:  $W_N = e^{-j\frac{2\pi}{N}}$  为旋转因子;FFT点数和窗口长度均为 $N$ ;  $R$ 表示窗函数每次移动的长度(步长)。为便于描述硬件实现结构的并行度,本文定义并行通道数为 $P=N/R$ 表示并行通道数,即任何时刻共有 $P$ 个互相错开 $R$ 点的

窗口同时执行计算。基于 FFT 的短时傅里叶变换算法 (直接型 STFT) 硬件结构如图 1 所示,其实现原理是直接由窗函数单元和 FFT 计算单元的并行组合<sup>[22]</sup>。在直接型 STFT 中,有并行的  $P$  个通道且每个通道中都有一个完整的通用乘法器和 FFT 计算单元。通道之间由长度为  $R$  的寄存器连接以实现各个窗函数之间的滑动。

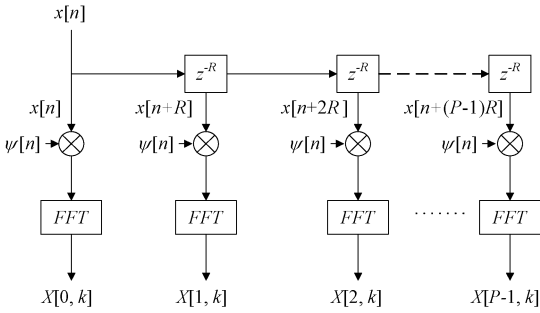


图 1 直接型 STFT 硬件结构

Fig. 1 FFT-based STFT hardware architecture

在面向实时频谱分析应用时,另一个重要的概念是重叠率,表示 2 个相邻窗口之间的重叠百分比,如式 (2) 所示。

$$O_{overlap\%} = \left(1 - \frac{R}{N}\right) \times 100\% \quad (2)$$

### 1.2 流水线 FFT 硬件结构

流水线 FFT 是在硬件结构中高效实现 FFT 算法的主要方法,其中直接型 FFT 模块中采用的是应用最广泛的单路延迟反馈 (single-path delay feedback, SDF) 的流水线 FFT 实现结构<sup>[29]</sup>。然而,由于在 SDF 中具有反馈的结构,其每一级的结果输出会被应用于此级的输入,只有 50% 的时间利用率。由此可见,SDF 结构虽然具有设计简单、资源消耗低的优势,但是难以支持高吞吐量的结构。

高吞吐量的流水线 FFT 架构也被广泛研究,并且 FFT 通常在硬件中实现<sup>[30]</sup>。多径延迟置换器 (multi-path delay commutator, MDC) FFT 结构是一种并行的高吞吐量架构<sup>[31]</sup>。MDC FFT 通过多路输入的形式对输入信号进行并行计算,从而实现了更高的并行处理速度。对于 MDC FFT 而言,一次  $N$  点的 FFT 处理周期需要  $N/P$  个时钟周期。同时,由于 MDC FFT 中取消了反馈结构而通过前馈结构实现,达到了 100% 的时间利用率,显著提升了吞吐量性能<sup>[30]</sup>。该架构确保数据处理不间断,并与原始数据流集成。

## 2 基于并行加窗结构的短时傅里叶变换硬件结构

### 2.1 PW-STFT 硬件结构设计

以步长  $R$ 、并行度  $P$  为例,所提出的 PW-STFT 硬件

结构整体框图如图 2 所示。图 2 中,  $x[n]$  为串行输入的离散信号,  $X[k]$  串行输出的离散频谱。在该架构中,“ $\otimes$ ”表示所提出的基于 CSD 编码的可配置且资源优化的乘法器。与其他 CSD 编码乘法器相比,所提出的乘法器允许通过配置  $\Psi_i$  来更改参数值。

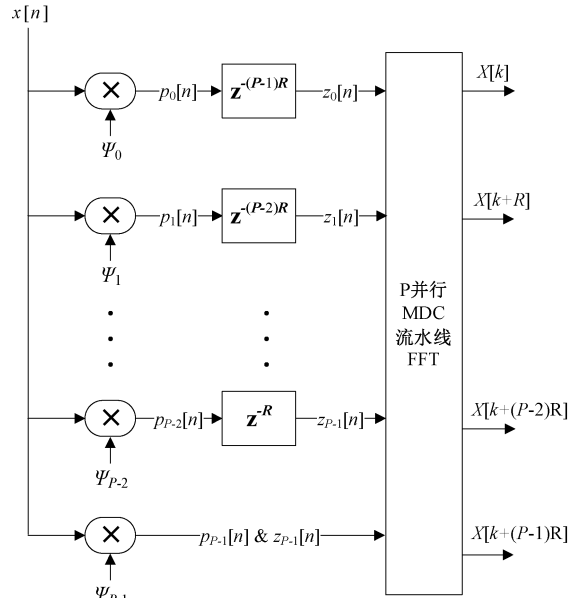


图 2 PW-STFT 硬件结构

Fig. 2 Diagram of the PW-STFT hardware architecture

PW-STFT 硬件结构主要分为 2 个部分:加窗单元和并行流水线 FFT 计算单元。与直接型结构不同的是,所提出的结构在加窗过程中具有高度的并行性,即当某一个  $x[n]$  输入时,可以同时输出  $P$  个不同的系数乘法。例如,假设在第  $i$  时刻当前输入值为  $x[i]$ ,可以同时计算  $\psi[i] \cdot x[i]$ 、 $\psi[i+R] \cdot x[i]$ 、 $\dots$  和  $\psi[i+(P-1)R] \cdot x[i]$ 。共有  $P$  个计算结果,每个结果代表流水线计算中存在  $P$  帧输入数据。然后,利用信号延时操作实现输入数据到并行 FFT 模块的时间调整。最终经过加窗的信号经历最长延时,并实现按照并行 FFT 模块时序要求的数据输入。

以并行度  $P=4$ 、点数  $N=16$  为例,图 3 给出了此硬件结构的信号时序。4 路乘法器阵列  $p_0[n] \sim p_2[n]$  以“斜梯”方式对采样进行加窗;第  $k$  路通道在时钟  $t=4k$  起依次调用窗系数  $\psi_{4k}, \psi_{4k+1}, \dots, \psi_{4k+3}$ 。频谱通过流水线创建。此外,虚线折线将每个频谱帧的计算过程分隔开来。因此,16 个“采样 $\times$ 窗系数”乘积在 16 个时钟周期内全部生成,并经四级寄存器重排后同步送入 FFT 输入缓存。流水线启动后,每新增 4 个采样即可形成下一帧长度为 16 的窗乘积,实现帧移位步长 4 (75% 重叠率) 的连续光滑滑窗分析。图 3 中红、绿虚线框分别表示两相邻帧在不同流水线中的并行计算过程,而折线则描绘了各帧数

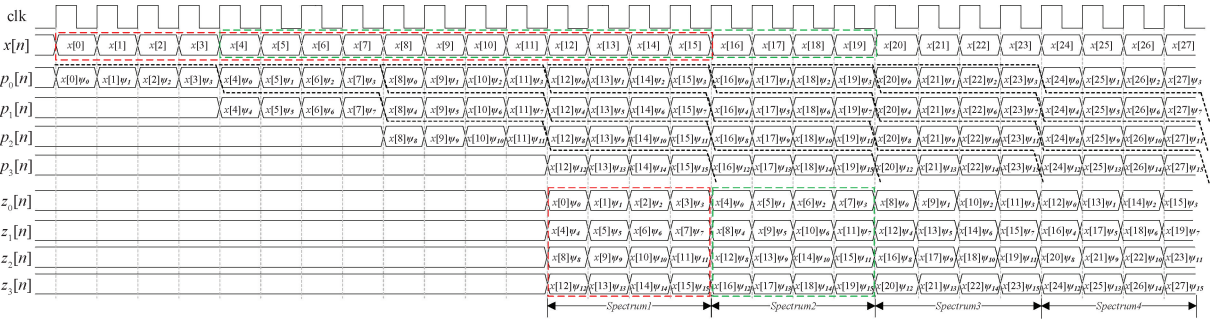


图 3 PW-STFT 时序

Fig. 3 Timing diagram of the proposed PW-STFT

据在流水线中的传播路径,直观展示了“上一帧输出-当前帧处理-下一帧累积”的三帧交错运行模式。在满流水状态下,系统可实现每 4 个时钟输出 1 帧频谱的吞吐率,而额外硬件仅为 4 个乘法器及少量寄存器,兼顾了高性能与资源效率。

考虑到实时频谱分析优化时,所使用的一种方法是实现一个重叠率的集合,其可选择的值如下面集合所示。

$$O_{overlap\%} \in \left\{ \frac{0}{2^K}, \frac{1}{2^K}, \frac{2}{2^K}, \dots, \frac{2^K - 1}{2^K} \right\} \quad (3)$$

其中,  $K$  为自然数,表示不同的可配置重叠集。在实际硬件实现过程中,对于此集合,只要满足最大重叠率的要求,就足以满足整个集合的要求。如公式(3)所示,此时的最大重叠率为:

$$\max \{ O_{overlap\%} \} = \frac{2^K - 1}{2^K} \quad (4)$$

根据重叠率和步长的转换关系,可以得到此时对应的步长为:

$$R = N \left( 1 - \frac{2^K - 1}{2^K} \right) = \frac{N}{2^K} \quad (5)$$

因此,通道并行度  $P$  应设置为:

$$P = \frac{N}{R} = 2^K \quad (6)$$

由于当前针对实时频谱分析重叠率的实际需求与现有的并行流水线 FFT 研究一致,均为  $2^K$ 。因此,本文以 4 路并行的 MDC FFT 架构作为介绍 PW-STFT 和分析比较的实例。

### 2.2 基于 CSD 编码的窗函数乘法器设计

CSD 编码是一种将传统的二进制代码转换为具有较少非零码(“1”)数量的新编码方式。通过编码之后的移位-加法架构可用于构建常数乘法器,由于 CSD 编码减少了非零码的数量从而减少了在硬件结构实现中的移位寄存器和加法器的数量,从而进一步降低资源消耗<sup>[32]</sup>。本文提出的 CSD 编码窗口乘法器可实现运行时的参数化,它可以在低资源占用的情况下执行各种窗函数参数的乘

法计算,并支持常数运行时切换。PW-STFT 硬件结构中的 CSD 乘法器编码优化方式如下。

#### 1) 计算非零位的数量

CSD 乘法器通过将乘法器替换为移位器和加法器来减少资源消耗。然而,传统方法仅限于对固定常数进行编码,在处理一组常数(例如窗函数)时会遇到困难。提出的 CSD 编码窗口乘法器基于传统的 CSD 乘法器,通过允许对一组常数进行乘法运算并实现动态重构来解决此问题。它使用固定数量的加法器和移位寄存器对一组参数中的众多参数执行常数乘法。为了确定加法器和移位寄存器的数量,或非零位的数量  $K_{nz}$ ,必须在构建硬件架构之前分析参数集。所提出的架构要求 CSD 编码中“1”和“ $\bar{1}$ ”的总和等于  $K_{nz}$ ,这也是架构中移位寄存器和加法器的数量。

算法 1 提供了用于分析  $K_{nz}$  的伪代码,此算法通过对窗函数参数进行分析,以确定达到准确度所需的  $K_{nz}$ 。在算法 1 中,内循环通过将窗口  $\psi[n]$  的参数转换为 CSD 编码值,并将它们存储在数组中以分析每个函数的 CSD 编码数。其中,参数  $\psi[n]$  可以表示多种类型的窗函数。以下条件计算数组编码中非零位的总数,并丢弃最低有效位(least significant bit, LSB)中的冗余编码。

对于外循环而言,其主要作用旨在循环遍历所有可能的非零位编码数。本文设定数据遍历的最大宽度为  $l$ ,当遍历次数超过给定的数据宽度  $l$  时,移位寄存器将溢出,任何大于此宽度的值都将不被考虑在内。最后,该算法会输出具有不同加法器数量  $K_{nz}$  下所对应的均方根误差(root mean square error, RMSE)序列,并以 RMSE 最小时所对应的  $K_{nz}$  作为候选解。在实时频谱分析的实际应用中, RMSE 低于 0.01 时即可满足大多数情况的精度要求。但是具体的阈值仍需结合数据特性和实际的需求灵活调整,若输入数据波动较大,允许的 RMSE 应该适当增加。在本文的算法研究中,设定 0.001 作为求解 RMSE 的条件,当  $rmse[i]$  小于 0.001 时,函数终止并将当前  $i$  返回给  $K_{nz}$ 。

算法 1: 非零位量分析

```

输入: 窗函数长度  $N$ , 窗函数  $\psi[n]$ , 数据位宽  $l$ 
输出: 结构并行度  $K_{nz}$ 
0: 函数  $AddersNumAnalysis(N, \psi[n], l)$ 
1: 对于  $i \leftarrow 1 \dots l$  执行循环:
2:   对于  $j \leftarrow 1 \dots N$  执行循环:
3:     // 将  $\psi[j]$  转换为 CSD 编码数组
      $encoding\_psi[j] \leftarrow CSD\_Encoding(\psi[j])$ 
4:     如果  $numOfOnesInArray(encoding\_psi[j]) > i$  则:
5:       // 将在 LSB 上冗余的“1”和“-1”置零
        $eliminateOnes(encoding\_psi[j])$ 
6:       // 将编码数组转换为数值
        $quant\_value[j] \leftarrow toValue(encoding\_psi[j])$ 
7:        $error[j] \leftarrow quant\_value[j] - \psi[j]$ 
8:   结束循环
9:    $mean[i] \leftarrow \sum_{j=0}^N (error[j]^2)$ 
10:   $rmse[i] \leftarrow \sqrt{mean[i]}$ 
11:  如果  $rmse[i] < 0.001$  则:
12:     $K_{nz} \leftarrow i$ 
13:    返回  $K_{nz}$ 
14:  结束循环
15:  结束函数
    
```

取反运算。最后,将所有结果相加,即可得出常数乘法器的架构。

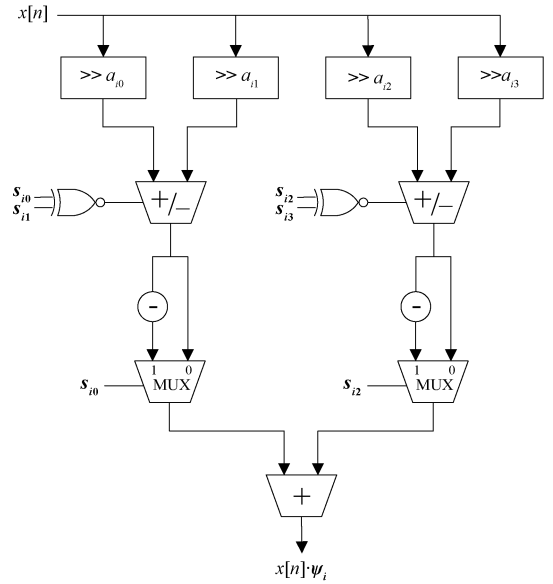


图 4 4 参数 CSD 乘法器

Fig. 4 4-parameter CSD multiplier

2) 硬件结构实现

确定  $K_{nz}$  后,通过指定加法器、多路复用器和移位寄存器的连接和数量来定义硬件架构。图 4 描述了已实现的基于优化 CSD 编码的常数乘法器硬件架构,图中来自串行输入的信号  $x[n]$  直接连接到 4 个移位寄存器,这些移位寄存器根据不同的参数值执行移位。该架构通过在运行时动态定制其参数来执行常数乘法函数。然后,输入被传递到由符号位  $s$  控制的加减单元。当 2 个符号位的异或结果为 0 时,  $s$  为加,否则为减。每个算术运算的结果由相应符号位的值决定,该符号位指示是否执行了

3) 参数编码

硬件架构中的多路选择器的控制信号采用两组可自定义参数  $a_{in}$  和  $s_{in}$ ,其中  $i$  表示窗函数的索引,  $n$  表示架构参数的索引。以 32 点汉明窗、 $K_{nz} = 4$  为例,表 1 为算法中对于前 8 个点的编实例。这些参数对于以 CSD 格式表示 32 点汉明窗函数的系数至关重要。

编码过程使用 16 位宽进行数据处理,在确保足够精度的同时保持资源效率。在第 1 阶段进行初步分析后,  $K_{nz}$  (指定 CSD 表示中非零位有效项的数量) 确定为 4。

表 1 32 点汉明窗前 8 点的编码示例

Table 1 Encoding example of the first 8 points of a 32-point Hamming window

$\psi_i$	值	CSD 编码	$a_i$	$s_i$	编码后的值
$\psi_0$	0.080 0	0.000_1010_0100_010X	4 6 9 13	+++-	0.080 0
$\psi_1$	0.089 4	0.001_0100_1001_000X	3 5 8 11	----	0.089 4
$\psi_2$	0.117 3	0.001_0001_0000_0101	3 7 13 15	+-+-	0.117 3
$\psi_3$	0.162 4	0.001_0101_010X_0X00	3 5 7 9	+++-	0.162 1
$\psi_4$	0.223 1	0.010_0100_1001_0X0X	2 5 8 11	+-+-	0.223 1
$\psi_5$	0.296 7	0.010_1010_0000_100X	2 4 6 12	+-+-	0.296 6
$\psi_6$	0.380 2	0.101_0001_010X_0X00	1 3 7 9	+-+-	0.380 9
$\psi_7$	0.470 3	0.100_0100_0101_0X00	1 5 9 11	+-+-	0.478 0

表 1 中,  $\psi_i$  的值表示汉明窗的归一化系数。每个值都以 CSD 格式编码,其中第 1 位表示数字的符号,小数点固定在第 1 位和第 2 位之间。选择这种定点表示是由于窗口系数的小数性质,因为所有值都严格小于 1。因

此,硬件实现对所有编码系数采用算术右移,以消除不必要的高阶位。

参数  $K_{nz} = 4$  表示仅保留 CSD 表示中的前 4 位非零有效位。除最低 4 位之外的任何非零位都将被截断,以

最大限度地减少量化误差,同时降低硬件复杂度。编码值表示为:

$$\text{coded\_value}_i = \sum_{n=0}^{K_{nz}-1} s_{in} \cdot 2^{-a_{in}} \quad (7)$$

其中,  $s_{in}$  表示第  $n$  位的符号(正或负),  $a_{in}$  表示相应位相对于二进制小数点的位置。这种紧凑的编码方案通过最大限度地减少冗余计算和内存占用,从而有助于实现高效的数字逻辑实现。

此外,表1将这些编码值与其各自的配置设置关联起来。索引  $a_{in}$  指定重要项的位置,而  $s_i$  表示符号模式,用“+”表示正贡献,用“-”表示负贡献。这些参数共同提供了从汉明窗系数到硬件配置的直接映射,从而实现了系数到电路的直接映射。

该CSD编码机制对于PW-STFT架构中的关键部分。由于流水线FFT需要在同一时钟周期内对多路输入并行执行加窗操作,而采用数字信号处理器(digital signal processor, DSP)乘法器将极大限制并行度。通过上述基于CSD编码的移位-加法的常数乘法器实现方式,可在现场可编程门阵列(field-programmable gate array, FPGA)上实例化大量完全并行的乘法器,基本不消耗DSP资源,显著提升流水线FFT的可扩展并行度与整体吞吐率,同时保持硬件面积与功耗的线性可控。

### 3 实验验证与结果分析

使用AMD Vivado 2018.3工具链进行HDL代码的编译、综合及实现,最终并在Kintex-7 FPGA(xc7k325tffg900-3)上进行实际运行测试,并从硬件效率、资源消耗和精度3个方面评估所提出的架构及

基于CSD编码的窗函数乘法器。首先,本文将所提出的方法与最先进的技术进行比较,尤其通过FPGA实现后的Slice、DSP48E(DSP)和块随机存取存储器(block random access memory, BRAM)等资源消耗指标分析其在FPGA资源利用率和灵活性方面的优势。然后,使用RMSE和信噪失真比(signal-to-noise and distortion ratio, SINAD)指标分析了精度,以验证基于CSD的编码的窗函数乘法器的精度。

#### 3.1 架构器件资源消耗及性能指标对比

对所提出的STFT架构与现有的直接型、迭代型、前馈型和频率分解型STFT方法进行对比分析,从理论上各个结构所消耗各个器件资源数量及结构的计算时间进行定理的复杂度分析,同时,基于各个结构累积就差进行定性表达,分析结果如表2所示。表2列出了各类STFT硬件架构的主要资源及性能指标,具体针对乘法器、加法器、存储以及时序性能等方面的分析如下。

##### 1) 资源消耗分析

本文架构的复乘法器数量仅为  $P(\log_4 N - 1)$ , 呈并行度线性、窗长对数的增长规律。例如,当  $N=1024$ ,  $P=8$  时,迭代型方案需要  $N=1024$  个乘法器,而本文方案只需  $8(\log_4 1024 - 1) = 8 \times 5 - 8 = 32$ , 复数乘法资源开销降至迭代型的3.1%。对应的复加法器规模  $2P\log_4 N + 3P$  保持对数级别扩张,适合在大窗长、高并行应用中部署。缓存规模为  $NP/2R + N/2$ , 其中第1项在  $R \approx P$  时仅为直接型的1/2,第2项  $N/2$  与并行度无关。以  $N=4096$ ,  $P=R=16$  为例,本方案所需存储约为  $2.05N$ , 而直接型为  $17N$ , 存储条目减少近88%, 尤其适合于对片上BRAM受限的FPGA平台。

表2 不同STFT硬件架构的器件资源消耗及性能指标对比

Table 2 Comparison of resource utilization and performance metrics for different STFT hardware architectures

结构	复数乘法器	复数加法器	复数存储	时钟延时	步长	累积误差	窗函数类型
直接型 <sup>[22]</sup>	$P\log_4 N$	$2P\log_4 N$	$NP + N$	$N - 1$	任意	无	任意
迭代型 <sup>[23]</sup>	$N$	$N$	$2N$	$N$	1	高	矩形窗
前馈型 <sup>[24]</sup>	$N - 1$	$2N - 1$	$\frac{N}{2}\log_2 N$	$N$	1	无	矩形窗
频率分解型 <sup>[25]</sup>	$P(\log_2 R + 1)$	$P(2\log_2 R + 1)$	$3N - P$	$N$	$R$	低	矩形窗 & 汉宁窗
本文	$P(\log_4 N - 1)$	$2P\log_4 N + 3P$	$\frac{NP}{2R} + \frac{N}{2}$	$\frac{N}{P}$	$\frac{N}{P}$	无	任意

##### 2) 性能指标分析

由于所对比的各个结构均没有并行计算的部分,因此时钟延时几乎均为  $N$ , 即需要遍历每一个数据后得到频谱数据。直接型结构的时延是由多级流水线呈等差数列的流水线求和计算得出的,为  $N-1$ <sup>[22]</sup>。本文所提出的结构由于其使用了并行流水线结构,因此,结构整体的时钟延时相对于原来降低了并行度  $P$  倍,为  $N/P$ 。

对于步长而言,迭代型和前馈型能实现最小的步长1,这就意味着具有最高的重叠率。然而这两个结构是在矩形窗函数的基础上针对每一个输入帧进行计算的,因此迭代型和前馈型结构只能固定实现此步长。在资源消耗允许的范围,直接型结构由于其可以任意添加并行通道的数量,因此步长大小没有任何限制。频率分解型和本文所提出的结构类似,都是由窗函数长度和并行度决

定的。本文所提出的 PW-STFT 结构与其他结构相比,虽然不能像迭代型和前馈型一样实现最高的重叠率,但是可以通过在 FFT 模块并行度条件允许的情况下,实现较大的重叠率,满足微秒级乃至纳秒级的实时谱分析需求。

### 3) 窗函数类型分析

相较于其他结构而言,直接型结构和本文所提出的结构凭借其窗函数乘法部分和 FFT 频谱计算部分相对独立,因此窗函数的类型不会影响结构性质仅仅起到了改变乘法器参数值的作用,因此这两个结构能够实现任意的窗函数类型,适合面向实时频谱分析仪的研究。所对比的迭代型、前馈型和频谱分解型只支持有限数量的窗函数类型,适合对于窗函数类型需求较低的应用场景。

### 4) 累积误差分析

迭代型结构和频谱分解型结构由于其计算时,新的一帧数据需要在旧的一帧数据基础上进行计算,因此在硬件结构实现过程中由于定点数量化、算术运算截位会导致不同程度的累积误差。前馈型结构由于各个帧之间的计算相对独立,因此能够有效地避免累积误差的产生。同时,直接型和所提出的结构由于其帧和帧之间没有关联性,因此也不会出现累积误差。

综上所述,本文提出的 PW-STFT 架构在并行度  $P$  和窗函数长度  $N$  拓展时,能够在计算、存储开销、时序性能及窗函数灵活性之间取得更优平衡,为高性能实时谱分析提供了一条可行且高效的工程化路径。

## 3.2 架构 FPGA 实现资源消耗对比

基于理论的分析结构,本文针对不同的 STFT 硬件结构在 Vivado 中进行实际的综合、实现及 FPGA 上板测试之后进行了资源消耗分析及精度对比,不同指标对比结果如表 3 所示。

表 3 不同 STFT 硬件结构的 FPGA 实现资源消耗对比  
Table 3 Comparison of FPGA resource utilization for different STFT hardware architectures

结构	Slice	DSP	BRAM/kb	SINAD/dB
直接型 <sup>[22]</sup>	1 829	40	0	45.86
迭代型 <sup>[23]</sup>	1 039	44	2	59.25
前馈型 <sup>[24]</sup>	720	128	0	56.51
频率分解型 <sup>[25]</sup>	1 085	44	0	59.40
本文	658	24	2	40.31

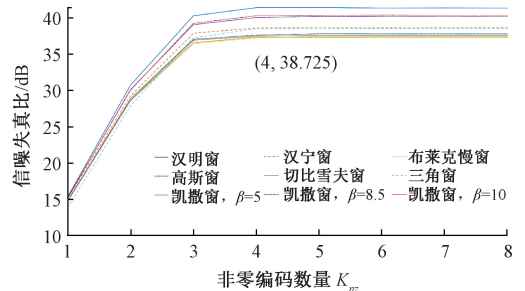
表 3 的实测结果进一步量化了各方案在 Kintex-7 (xc7k325tffg900-3) 上 FPGA 综合开销与输出信噪失真比。与 4 种经典结构相比,本文所提出的结构在 Slice、DSP48E (DSP) 和 BRAM 3 方面均展现出最小占用;Slice 数为 658,仅为直接型的 35.97%,比当前 Slice 开销最低的前馈型下降了 8.61%;DSP 使用量进一步缩减到 24 个,相较于迭代型与频率分解型的 44 个削减约 45.45%,

较依赖硬核乘法器的前馈型(128 个)则下降 81.25%。尽管 PW-STFT 为保存系数查表而引入 2 Kb BRAM,但这一开销在其他资源面前可忽略不计。

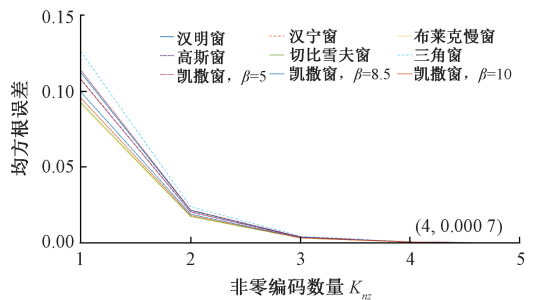
综合来看,PW-STFT 在 Slice 和 DSP 这两类稀缺资源上的压缩效果最为显著,同时保持了与前馈型相当的吞吐率。

### 3.3 基于 CSD 编码的窗函数乘法精度分析

本文采用 RMSE 与 SINAD 进行精度评估,其中 RMSE 通过对估计序列与参考序列的样本误差平方求均值并开平方来度量绝对误差能量,SINAD 则以基波信号功率与噪声及所有谐波失真功率之比表征整体噪声-失真水平,从而全面检验基于 CSD 编码窗函数乘法器的幅度精度与线性度。量化精度随几种窗口类型中非零 CSD 码值  $K_{nz}$  变化的情况如图 5 所示,图 5(a) 显示了输出频谱的 SINAD,图 5(b) 体现了不同量化窗口下的 RMSE。



(a) 不同窗函数的信噪失真比对比  
(a) SINAD of different window functions



(b) 不同窗函数的均方误差  
(b) RMSE of different window functions

图 5 不同窗函数的精度值与非零位数量  $K_{nz}$  关系

Fig. 5 Precision values of different window functions as a function of the number of nonzero code values  $K_{nz}$

表 3 中的最后一栏展示了基于 CSD 编码的窗函数乘法所应用于 PW-STFT 结构中的精度情况,在所实现的结构中,PW-STFT 的 SINAD 为 40.31 dB,略低于另 4 种方案(45.86~59.40 dB)。造成差异的主要原因是一方面,相较于直接型而言,PW-STFT 采用了低位宽 CSD-移位加法网络以替代全精度乘法器,量化噪声较高;另一方面,直接型、迭代型和前馈型由于所使用的窗函数均为矩形窗,在设计过程中本就没有窗函数乘法这个操作,因此

结构没有因窗函数乘法所导致的截断误差。另外,表中所列出的精度指标在迭代型和频率分解型中为最好的值,由于其存在累积误差而导致的精度下降并未在表中列出。

结果表明,所提出的架构显著降低了硬件资源消耗,但精度略有下降。尽管如此,这种精度损失在实际短时傅里叶变换应用的可接受范围之内。该设计还保留了对各种窗口长度、步长大小和并行度的可扩展性和适应性,从而提供了一种资源高效且灵活的解决方案。

## 4 结 论

本文的核心思路是提出一种新颖的 PW-STFT 硬件架构,突破了传统短时傅里叶变换硬件方案资源消耗高且窗口、步长固定的局限。核心技术是一种基于 CSD 编码的常数乘法器优化算法,将 FFT 处理流程与支持运行时参数化的 CSD 常数乘法器相结合,成功攻克了在保证灵活性的同时降低硬件开销的技术难点。32 点 STFT、步长 8 的实验结果验证了 PW-STFT 架构的有效性:与现有方法相比,本设计在保持可接受精度(SINAD 40.31 dB)的同时显著降低了资源占用(仅 658 个 Slice、24 个 DSP)。这种在效率与性能之间取得的平衡充分体现了本方案的先进性和必要性,使 PW-STFT 成为音频处理、通信系统和实时频谱分析等实时 STFT 应用的理想选择。因此,该架构尤其适用于对 FPGA 面积和功耗极为敏感但实时性要求苛刻的应用场景,如手持式频谱分析仪、宽带软件无线电前端以及大通道数阵列信号处理系统。在这些场合,Slice 和 DSP 资源的大幅节省为窗函数运算乃至 AI 推理加速器的实现,释放了宝贵的硅面积和功耗预算。展望未来,本文将针对 FFT 点数  $N$  和步长  $R$  的不同组合,系统地评估并行级别  $P=N/R$  对资源占用和吞吐量的影响,以寻求更细粒度的性能-成本折中。在此基础上,本文探索动态可重构的流水线设计,使系统能够根据输入信号带宽或实时性需求在线调整并行度和算术精度。同时,计划在基于 CSD 的常数乘法器中进一步引入拓扑压缩和低功耗技术,在保证 SINAD 性能的前提下最大限度降低功耗与逻辑面积。最后,本文尝试将 PW-STFT 核心与多通道阵列信号处理或 AI 推理加速器深度集成,进一步拓展其在宽带软件无线电、雷达成像和智能频谱监测等场景中的应用价值。

## 参考文献

[ 1 ] LABAO A B, CAMACLANG R C, CARO J D L. Staggered parallel short-time Fourier transform [ J ]. Digital Signal Processing, 2019, 93: 70-86.

[ 2 ] MAGRON P, BADEAU R, DAVID B. Model-based STFT phase recovery for audio source separation [ J ].

IEEE/ACM Transactions on Audio, Speech, and Language Processing, 2018, 26(6): 1095-1105.

[ 3 ] MARAFIOTI A, HOLIGHAUS N, MAJDAK P. Time-frequency phase retrieval for audio—the effect of transform parameters [ J ]. IEEE Transactions on Signal Processing, 2021, 69: 3585-3596.

[ 4 ] MAGRON P, VIRTANEN T. Online spectrogram inversion for low-latency audio source separation [ J ]. IEEE Signal Processing Letters, 2020, 27: 306-310.

[ 5 ] 付欣, 李晓童, 苟阳. 基于 CNN 的随钻声波仪器信号降噪方法研究 [ J ]. 仪器仪表学报, 2025, 46(4): 270-282.

FU X, LI X T, GOU Y. Research on basic CNN-based voice wave equipment signal reduction method [ J ]. Chinese Journal of Scientific Instrument, 2025, 46(4), 270-282.

[ 6 ] XU C T, CHEN B W, LIU Y X, et al. RF fingerprint measurement for detecting multiple amateur drones based on STFT and feature reduction [ C ]. 2020 Integrated Communications Navigation and Surveillance Conference (ICNS). IEEE, 2020: 4G1-1.

[ 7 ] GAN J Y, HU A, KANG Z Y, et al. SAS-seinet: A SNR-aware adaptive scalable SEI neural network accelerator using algorithm-hardware co-design for high-accuracy and power-efficient UAV surveillance [ J ]. Sensors, 2022, 22(17): 6532.

[ 8 ] 李超群, 王金明. 基于短时傅里叶变换的无人机射频指纹分类识别 [ J ]. 通信技术, 2022, 55(9): 1202-1207.

LI CH Q, WANG J M. Based on the basic short-time conversion of an unmanned machine, the manual can be divided into categories [ J ]. Communication Technology, 2022, 55(9): 1202-1207.

[ 9 ] WANG Y F, LI Y B, SUN Q, et al. A novel underdetermined blind source separation algorithm of frequency-hopping signals via time-frequency analysis [ J ]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(11): 4286-4290.

[ 10 ] LIU SH K, YAN X P, LI P, et al. Radar emitter recognition based on SIFT position and scale features [ J ]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 65(12): 2062-2066.

[ 11 ] HONG H H, ZHAO J CH, HONG T, et al. Radar-communication integration for 6G massive IoT services [ J ]. IEEE Internet of Things Journal, 2021, 9(16): 14511-14520.

- [12] 范黎林, 郭鑫, 张艳娜, 等. 基于最优短时分数阶傅里叶变换的分段 LFM 信号检测方法[J/OL]. 探测与控制学报; 1-12. [2025-06-26]. <https://link.cnki.net/urlid/61.1316.TJ.20241219.1438.008>. FAN L L, GUO X, ZHANG Y N, et al. Basics of the best short-time fractions and how to change the LFM signal[J]. Exploration and Control Studies; 1-12. [2025-06-26]. <https://link.cnki.net/urlid/61.1316.TJ.20241219.1438.008>.
- [13] JADHAV P, MUKHOPADHYAY S. Automated sleep stage scoring using time-frequency spectra convolution neural network [J]. IEEE Transactions on Instrumentation and Measurement, 2022, 71: 1-9.
- [14] SANTHOSHI M S, SHARATH BABU K, KUMAR S, et al. An investigation on rolling element bearing fault and real-time spectrum analysis by using short-time fourier transform [C]. International Conference on Recent Trends in Machine Learning, Iot, Smart Cities and Applications: ICMISC 2020. Springer, 2021: 561-567.
- [15] IGLESIAS V, GRAJAL J, SANCHEZ M A, et al. Implementation of a real-time spectrum analyzer on FPGA platforms[J]. IEEE Transactions on Instrumentation and Measurement, 2015, 64(2): 338-355.
- [16] HUANG J T, ZHOU K, XU Y F, et al. Upper sweeping frequency selection for cable defect location based on STFT [J]. IEEE Transactions on Instrumentation and Measurement, 2023, 72: 1-9.
- [17] 梁国祥, 韩亮. 使用多特征融合的心律失常分类方法[J]. 电子测量与仪器学报, 2024, 38(7): 109-115. LIANG G X, HAN L. Arrhythmia classification method using multi-feature fusion [J]. Journal of Electronic Measurement and Instrumentation, 2024, 38(7): 109-115.
- [18] SRIDHAR A, AYALA G. Time-domain jitter measurement considerations for low-noise oscillators[R]. AyalaTexas Instruments, Application Report, 2015.
- [19] VERSPECHT J, STAV A, NIELSEN T, et al. The vector component analyzer: A new way to characterize distortions of modulated signals in high-frequency active devices[J]. IEEE Microwave Magazine, 2022, 23(12): 86-96.
- [20] XIE X ZH, LI J L, YIN F F, et al. STFT based on bandwidth-scaled microwave photonics [J]. Journal of Lightwave Technology, 2021, 39(6): 1680-1687.
- [21] BISWAS S, ALAM A M, GURBUZ A C. Hrspecnet: A deep learning-based high-resolution radar micro-doppler signature reconstruction for improved har classification[J]. IEEE Transactions on Radar Systems, 2024, 484-497.
- [22] ZHANG S Q, YU D SH, SHENG SH M. A Discrete STFT Processor for Real-time Spectrum Analysis [C]. IEEE Asia Pacific Conference on Circuits and Systems. Singapore: IEEE, 2006: 1943-1946.
- [23] LIU K J R. Novel parallel architectures for short-time fourier transform[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1993, 40(12): 786-790.
- [24] GARRIDO M. The feedforward short-time Fourier transform [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2016, 63(9): 868-872.
- [25] ELEFThERiADiS C, GARRiDO M, KARAKONSTANTiS G. Energy-efficient short-time Fourier transform for partial window overlapping [C]. 2023 IEEE International Symposium on Circuits and Systems (ISCAS). IEEE, 2023: 1-5.
- [26] VORONENKO Y, PÜSCHEL M. Multiplierless multiple constant multiplication [J]. ACM Transactions on Algorithms, 2007, 3(2): 11.
- [27] VERMA A, KIYAWAT K, DAS B P, et al. An efficient scaling-free folded hyperbolic CORDIC design using a novel low-complexity power-of-2 taylor series approximation [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2023, 31(8): 1167-1177.
- [28] 于建, 范浩阳, 程晨, 等. 面向 FFT 处理器的 CSD 编码复数乘法器优化设计[J]. 电子器件, 2024(6): 1473-1477. YU J, FAN H Y, CHENG CH, et al. Optimization design of CSD-coded complex multiplier for FFT processor [J]. Chinese Journal of Electron Devices, 2024(6): 1473-1477.
- [29] GARRIDO M, ANDERSSON R, QURESHI F, et al. Multiplierless unity-gain SDF FFTs [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(9): 3003-3007.
- [30] GARRIDO M. A survey on pipelined FFT hardware architectures[J]. Journal of Signal Processing Systems, 2022, 94(11): 1345-1364.
- [31] PAZ P, GARRIDO M. A 5.2-GS/s 8-parallel 1024-point MDC FFT[C]. 2023 38th Conference on Design of Circuits and Integrated Systems (DCIS), 2023: 1-6.
- [32] SODERSTRAND M A. CSD multipliers for FPGA DSP applications [C]. 2003 International Symposium on

Circuits and Systems, 2003.

## 作者简介



**孙皓**, 2019年、2020年分别于西安电子科技大学、尼斯索菲亚综合理工获得学士和工程师(等同硕士学位)学位, 现为哈尔滨工业大学博士研究生, 主要研究方向为基于FPGA的数字信号处理算法优化。

E-mail: hao.sun@stu.hit.edu.cn

**Sun Hao** received his B. Sc. and Engineer (M. Sc. equivalent) degrees from Xidian University and Polytech Nice Sophia in 2019 and 2020, respectively. Now he is a Ph. D. candidate at Harbin Institute of Technology. His main research interest includes FPGA-based digital signal processing algorithm optimization.



**马鑫**, 2006年、2008年毕业于哈尔滨工业大学分别获得学士、硕士学位。现为普源精电科技股份有限公司技术创新中心总监、在哈尔滨工业大学攻读博士学位, 主要研究方向为电子测量数字信号处理技术、高性能仪器总线技术、高性能FPGA系统设计、高性能数字芯片系统设计等。

E-mail: maxin@rigol.com

**Ma Xin** received his B. Sc. and M. Sc. degrees from Harbin Institute of Technology in 2006 and 2008, respectively. Now he is the director of the technology innovation center at RIGOL Technologies Co., Ltd. and Ph. D. candidate at Harbin Institute of Technology. His main research interests include digital signal processing technology for electronic measurement, high-

performance instrument bus technology, high-performance FPGA system design, and high-performance digital chip system design.



**彭宇**, 2004年于哈尔滨工业大学获得博士学位, 现为哈尔滨工业大学电子与信息工程学院教授、院长, 主要研究方向为自动测试技术、虚拟仪器、系统健康管理以及可重构计算。

E-mail: pengyu@hit.edu.cn

**Peng Yu** received his Ph. D. degree from Harbin Institute of Technology in 2004. Now he is a Professor and the Dean of the School of Electronics and Information Engineering at Harbin Institute of Technology. His main research interests include automatic test technologies, virtual instruments, system health management, and reconfigurable computing.



**刘连胜**(通信作者), 2006年、2008年和2017年于哈尔滨工业大学分别获得学士、硕士和博士学位, 现为哈尔滨工业大学教授, 主要研究方向为电子测量、基于FPGA的高能效计算技术、故障预测与健康管理等。

E-mail: lianshengliu@hit.edu.cn

**Liu Liansheng** (Corresponding author) received his B. Sc., M. Sc., and Ph. D. degrees all from Harbin Institute of Technology in 2006, 2008, and 2017, respectively. Now he is a professor and Ph. D. advisor at Harbin Institute of Technology. His main research interests include electronic measurement, FPGA-based energy-efficient computing technology, fault prognostics and health management, etc.