

DOI: 10.13382/j.jemi.B2508738

PCIe 2.0 协议实时解析设计方法及 FPGA 实现^{*}

刘连胜¹ 董承龙¹ 张海君¹ 马鑫^{1,2} 孙皓¹ 彭宇¹

(1. 哈尔滨工业大学电子与信息工程学院 哈尔滨 150080; 2. 普源精电科技股份有限公司 苏州 215163)

摘要:电子测量仪器对高速互连总线的实时协议解析存在重要需求,需在千兆赫兹级信号捕获中具备高速处理能力,并在协议分析中实现从物理层至事务层的全协议可见性,以支持纳秒级抖动的高精度诊断。但是,传统基于 CPU 的软件方案受操作系统调度延迟及缓存抖动等因素制约,难以实现低延迟处理;商用协议分析仪成本高昂缺乏嵌入式灵活性。针对上述问题,基于现场可编程门阵列(FPGA)硬件并行性与实时性优势,结合 PCIe 2.0 协议在测量系统中的重要性,提出一种全栈实时解析架构,以突破传统软件方案吞吐量瓶颈并避免高成本,在解扰部分提出了超前预测流水线设计实现高效解扰。该系统通过数据预处理、并行解码、超前预测流水线解扰及状态机解析,实现从物理层到事务层全协议覆盖。具体而言,128 bit 并行预处理完成符号对齐与数据降采样,80 bit 完成 8 b/10 b 并行解码与超前预测流水线解扰,3 类专用状态机解析器负责协议字段提取与 CRC 校验。在 Kintex UltraScale 系列 FPGA 平台实验表明,系统在 312.5 MHz 工作频率下稳定运行,支持 5 GT/s 线速数据的实时解析;从输入数据到检测结果的处理延迟为 22 个时钟周期(约 70 ns);CRC 校验匹配率 100%,资源占用仅 1.39% LUT 与 0.24% FF。结果证明,所提架构在延迟、资源开销和功能完整性方面均满足实际应用需求。

关键词: PCIe 2.0 协议解析;FPGA 硬件加速;实时处理;低延迟

中图分类号: TN919 **文献标识码:** A **国家标准学科分类代码:** 510.50

Design and FPGA implementation of a real-time PCIe 2.0 protocol parser

Liu Liansheng¹ Dong Chenglong¹ Zhang Haijun¹ Ma Xin^{1,2} Sun Hao¹ Peng Yu¹

(1. School of Electronics and Information Engineering, Harbin Institute of Technology, Harbin 150080, China;
2. RIGOL Technologies Co., Ltd., Suzhou 215163, China)

Abstract: Electronic measurement instruments have a critical demand for real-time protocol analysis of high-speed interconnect buses. They require high-speed processing capabilities for gigahertz-level signal acquisition and full protocol visibility from the physical layer to the transaction layer in protocol analysis to support high-precision diagnostics with nanosecond-level jitter. However, traditional CPU-based software solutions are constrained by operating system scheduling latency and cache jitter, making low-latency processing challenging. Commercial protocol analyzers are costly and lack embedded flexibility. To address these issues, this article leverages the hardware parallelism and real-time advantages of FPGAs, considering the importance of the PCIe 2.0 protocol in measurement systems, and proposes a full-stack real-time analysis architecture. This architecture aims to break the throughput bottleneck of traditional software solutions while avoiding high costs. In the descrambling part, an advanced prediction pipeline design is proposed to achieve efficient descrambling. The system achieves full protocol coverage from the physical layer to the transaction layer through data preprocessing, parallel decoding, advanced prediction pipeline descrambling, and state machine parsing. Specifically, 128-bit parallel preprocessing accomplishes symbol alignment and data down-sampling, 80-bit processing completes 8b/10b parallel decoding and advanced prediction pipeline descrambling, and three types of dedicated state machine parsers are responsible for protocol field extraction and CRC verification. Experimental results on the Kintex UltraScale series FPGA platform show that the system operates stably at 312.5 MHz, supporting real-time analysis of 5 GT/s line-rate data. The processing latency from input data to detection results is 22 clock cycles (approximately 70 ns). The CRC verification achieves a 100% match rate, with resource utilization of only 1.39% LUTs and 0.24%

FFs. The results demonstrate that the proposed architecture meets practical application requirements in terms of latency, resource overhead, and functional completeness.

Keywords: PCIe 2.0 protocol parsing; FPGA hardware acceleration; real-time processing; low latency

0 引言

电子测量技术正向高带宽、低时延与智能化方向演进。在数据采集 (data acquisition, DAQ) 中, 千兆赫兹级模拟信号的实时捕获要求传输链路具备高吞吐能力; 在协议分析场景下, 纳秒级时序抖动诊断更依赖物理层至事务层的全栈协议可见性^[1-2]。传统并行总线受限于时钟偏移与布线复杂性, 已难以支撑现代测量仪器对信号完整性与协议深度的分析需求, 这驱动高速串行总线成为新一代测量架构的核心互连方案^[3]。

在众多高速互连标准中, 高速串行计算机扩展总线标准 (peripheral component interconnect express, PCIe) 以其高带宽、低时延、兼容性强、与主机紧密协同以及高效的直接内存访问特性成为处理器与高速外设之间的主流系统总线^[4]。虽然 PCI-SIG 已在 2025 年发布了单通道速率达 128 GT/s 的 PCIe 7.0 规范^[5], 但 5 GT/s 速率的 PCIe 2.0 仍凭借完备的软硬件生态和较低部署成本在数据采集和测试测量设备中长期占据主导地位^[6-7]。在实际应用中对运行于 5 GT/s 的 PCIe 链路实现在线实时解析, 已成为一项迫切而重要的技术需求^[8]。

针对 PCIe 协议解析的现有解决方案主要分为基于通用 CPU 的软件解码器和商业化协议分析仪两类。软件解码方案易受高速缓存抖动及上下文切换开销的影响, 同时其算法执行依赖操作系统调度, 在满带宽下难以实现低时延; 另一种方案是商用协议分析仪, 如 Keysight 系列虽然功能完备, 但价格昂贵且板级集成复杂, 不利于嵌入式部署^[9]。而现场可编程门阵列 (FPGA) 具备深度流水线并行、可定制硬件逻辑和纳秒级响应等优势, 为高速协议解析提供理想平台^[10-14]。

基于上述架构优势, FPGA 已成为应对实时测量场景核心挑战的关键技术载体, 在 PCIe 协议的 FPGA 实现方面, 研究者们从不同层面进行了探索。褚力^[15]开发了一种高度集成的 PCIe 1.0 总线分析仪, 验证了在高速数据采集与协议解析方面的可行性, 但其设计仅适用于低速率标准, 难以适配更高速的应用场景。Zade 等^[16]完成了 PCIe 1.0a 物理层的功能验证, 工作重点集中在物理层实现, 未涉及与数据链路层或事务层的协同设计与整体性能优化。Darvishi^[17]提出一种具备实时错误检测与自恢复能力的 IP 核, 显著提升了链路的鲁棒性, 但该研究未对全协议栈的错误覆盖范围和系统性能开销进行深入分析。Nakamura 等^[18]利用 FPGA 平台对第 3 代 PCIe 链

路的物理层时序特性进行了实测, 证明了硬件链路监测的实用性, 然而该实现仅限于信号质量层面的观测, 并未扩展至协议解码与事务层数据分析功能。Jacobsen 等^[19]提出的 RIFFA 2.0 框架主要优化了主机与 FPGA 之间的数据传输效率, 其重点在于数据通道的构建, 并不专注于协议解析。Choi 等^[20]针对多通道采集场景设计了高效的数据传输方案, 该工作主要关注数据搬运机制, 而非协议栈解码与深层协议解析。

已有的工作虽然在物理层原型验证、链路层容错机制、数据通道优化等方面取得重要进展, 但普遍存在不足: 1) 多聚焦于 PCIe 1.0/2.0 的局部功能, 缺乏对完整协议栈的覆盖; 2) 系统实时性与资源效率难以满足高带宽场景要求; 3) 缺少可直接集成于嵌入式仪器的高性能、低成本方案。

针对上述问题, 本文提出一种面向 5 GT/s 速率的 PCIe 2.0 全协议层实时解析架构, 采用硬件级并行与深度流水线机制显著提升吞吐能力, 实现了从物理层至事务层的全覆盖, 且端到端解析延迟仅约 70 ns, 满足高速电子测量仪器对低时延、低成本、高集成度的需求。

本文提出一种高效的实时解析架构。该架构采用并行化的高速数据预处理、8 b/10 b 解码及并行解扰, 有效保障了低延迟流水线和实时解析分析的性能。提出一种超前预测流水线解扰结构。该结构通过历史计算类型进行预先计算, 减少解扰过程中类型判断导致的计算等待, 提升计算效率。提出一种基于状态机的数据包解析方法。该方法通过设计数据包解析状态机, 实现对物理层、数据链路层及事务层关键字段的提取, 并完成循环冗余校验 (cyclic redundancy check, CRC)。在 AMD 公司的 Kintex UltraScale 系列 FPGA 平台上完成了架构的实现与验证。结果表明, 所提出的方法集成度和灵活性更高, 而且在 5 GT/s 链路上实现了纳秒级的实时解析性能。

1 PCIe 协议基础

PCIe 2.0 协议在 PCIe 1.0 的基础上将单链路单向数据传输速率提升至 5 GT/s, 保持了与 PCIe 1.0 的向后兼容性, 并沿用了其核心的分层架构, 以及点对点、基于数据包的通信模型。

1.1 PCIe 分层结构

根据规范, PCIe 的分层架构自上而下由事务层、数据链路层和物理层构成, 采用下层支撑上层的服务模式。原始数据从核心层发起, 经由这些层次封装后, 在物理层

转换为帧格式,发送到接收端。PCIe 协议分层结构如图 1 所示。

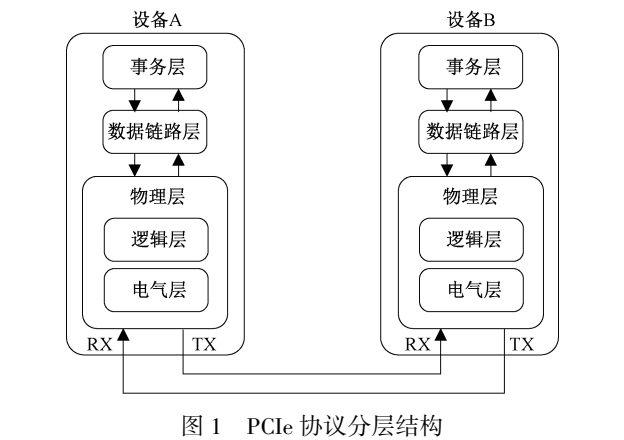


Fig. 1 Layered architecture of the PCIe protocol

事务层位于 PCIe 架构最顶层,负责处理 TLP,事务层主要实现 TLP 的生成和解析。在 PCIe 设备发送数据时,事务层从其核心端收到这些数据之后将其封装成 TLP 包传给数据链路层;在 PCIe 设备接收 TLP 时,事务层从数据链路层收到这些 TLP 包,然后对其进行细致的解析。事务层还会对 TLP 的数据进行 CRC 校验,确保数据的完整性。

数据链路层位于 PCIe 架构中间层,实现了对链路的管理和控制,包括检测错误信息和对链路功耗进行管理,并通过 ACK/NAK 应答机制,实现可靠的数据传输。

物理层位于 PCIe 架构的最底层,它实现的是两个 PCIe 设备之间的物理连接和通信功能。而物理层由逻辑子层和电气子层两个子层构成,它们承担着 PCIe 接口的初始化和维护工作。

1.2 PCIe 数据包帧格式

PCIe 协议的每一层都有各自的结构和功能,因此它能处理的数据有不同的格式,按照 PCIe 协议的 3 个层次分别对应 3 种不同的数据包,即 TLP、DLLP、PLP。其中 TLP 具有多种类型,每一种不同类型的包都有其特定的包头格式。通用的 TLP 结构如图 2 所示。

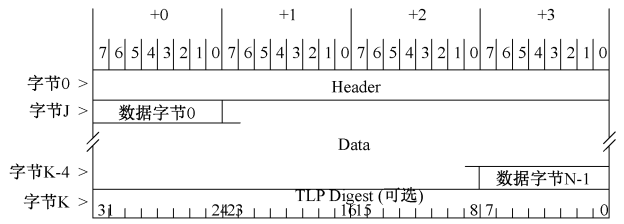


Fig. 2 Generic TLP format

些关键信息,例如 TLP 的大小由帧头的 Fmt 控制,类型由 Type 控制等。Data payload 来自核心层的数据,大小为 0~1 024DW,用于存储有效数据。TLP Digest 占用 1DW,用于存放校验信息。

DLLP 用于链路级控制,不承载事务层数据,其结构如图 3 所示。

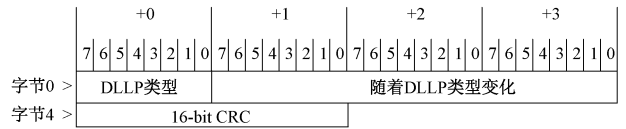


Fig. 3 DLLP format

DLLP 的帧格式有 6 byte,第 1 byte 为 DLLP 类型,紧接着 3 个与 DLLP 类型有关的字节,最后 2 byte 为 CRC 值。

PLP 在本文中指 PCIe 物理层传输单元,主要包括 TS1、TS2、SKP、FTS、EIOS、EIEOS 等有序集,其结构如图 4 所示。

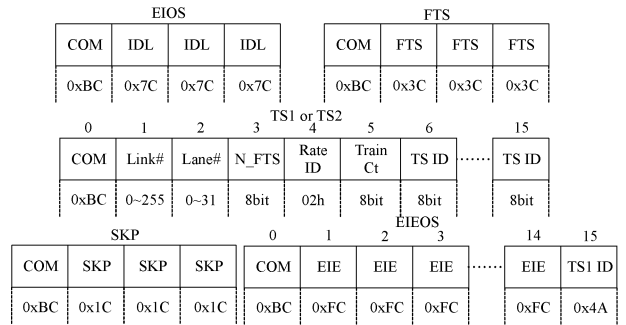


Fig. 4 PLP format

PLP 来自物理层,发送至接收端物理层,PLP 第一个字符为 COM 字符,后面内容随着 PLP 类型不同,PLP 大小是 4 byte 的整数倍,主要用于链路训练过程。

2 PCIe 实时解析方法

2.1 方法框图

本文提出的 PCIe 实时解析方法主要包括数据预处理、并行 8 b/10 b 解码、超前预测解扰和数据包解析。PCIe 协议解析框图如图 5 所示。

PCIe 协议基本解析流程,从 PCIe 链路中采集到 PCIe 数据数字化为 128 bit/312.5 MHz 数据输入 FPGA;随后数据预处理完成符号边界对齐并输出 80 bit/312.5 MHz 数据,输出 finish 触发解码;并行 8 b/10 b 解码将 10 b 符号映射为 8 b 数据/控制字符,生成 72 bit/

TLP Header 占用 3DW 或 4DW,头字段中存储着一

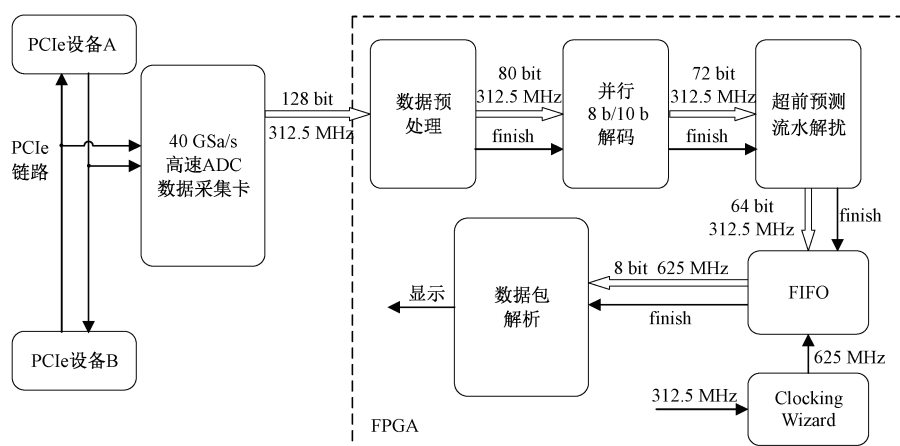


图5 PCIe 协议解析总体框图

Fig. 5 Overall block diagram of the PCIe protocol parsing

312.5 MHz 数据,输出 finish 启动解扰;超前预测流水解扰还原原始 64 bit/312.5 MHz 比特流,输出 finish 写入 FIFO;最终数据经 FIFO 缓冲进行跨时钟域同步,以 8 bit/625 MHz 高频操作检测 STP/SDP/COM 字符对数据包解析,从而确定不同包的起始点,进一步解析数据包中的信息;最后将解析结果进行显示。

2.2 数据预处理

数据预处理的功能是将输入的 PCIe 数据流进行降采样、对齐和拼接操作,以便于后续的并行解码和解扰工作。数据预处理流程如图 6 所示。

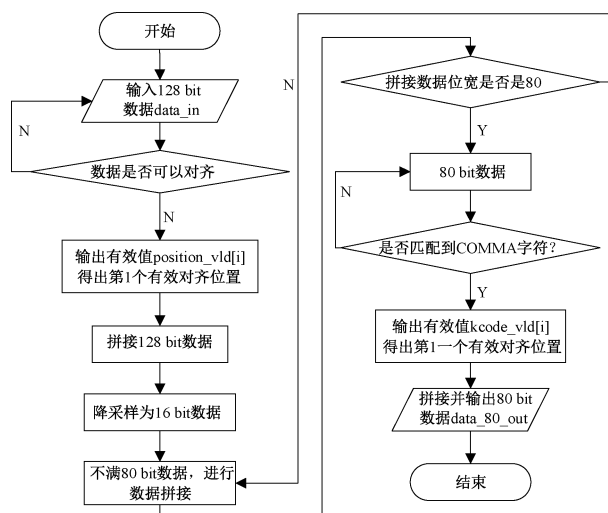


图6 数据预处理流程

Fig. 6 Data-preprocessing flow

数据预处理的输入是模拟 40 GSa/s 采样率高速采集卡采集 PCIe 2.0 协议信号并转化得到的数字信号, FPGA 主频时钟为 312.5 MHz,要模拟出实际的 PCIe 2.0 速率,就要达到在一个时钟周期内处理 128 bit 的数据。在 PCIe 数据流对齐后,对数据进行降采样后再拼接为

80 bit 宽的数据,并行匹配 COM 字符,匹配成功后重新对齐拼接成一个新的 80 bit 宽数据,从而确保数据流可以被正确地同步和解码,匹配失败则一直检测 COM 字符。数据预处理的时序如图 7 所示。

2.3 并行 8 b/10 b 解码

PCIe 2.0 采用 8 b/10 b 编码,将 8 位二进制数据扩展为 10 位,能够确保编码后的数据流在“0”和“1”的数量上大致相等,从而实现直流平衡,提高传输的可靠性。8 b/10 b 编码原理如图 8 所示。

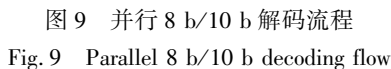
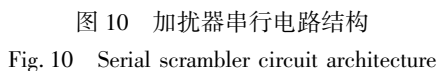
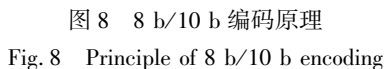
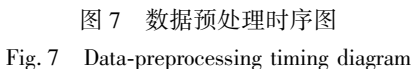
8 b/10 b 编码是以字节为单位,把 8 bit 的数据分成一组 3 个高有效位,分别记为 H、G、F;一组 5 个低有效位,记为 E、D、C、B 和 A。分别通过不同的编码映射为 4 bit 和 6 bit 码,经过编码后的数据,“0”和“1”的分布会更加均匀,在进行数据组合时,需根据极性偏差调整,最终合并为一个 10 bit 编码。

根据 8 b/10 b 编码特点来实现并行 8 b/10 b 解码,该解码过程具有简洁和高效的特点,并行 8 b/10 b 解码流程如图 9 所示。

并行 8 b/10 b 解码对来自数据预处理的 80 bit 宽数据并行处理,每 10 bit 编码通过 5 b/6 b 和 3 b/4 b 编码表分别得到 5 bit 和 3 bit 解码数据,组合拼接为 8 bit 解码数据,并加上一位控制位,每解码 8 bit 数据,拼接为 72 bit 数据。

2.4 超前预测解扰设计

加扰是数据与随机序列进行异或,将数据变成伪随机码流,主要是为了降低 EMI 影响。在 PCIe 协议中,采用线性反馈移位寄存器 (linear feedback shift register, LFSR) 生成伪随机序列,实现数据的加扰与解扰。LFSR 的值与上一个时钟周期的状态有关,通过异或运算得到新值,从而实现状态迭代与序列生成。加扰器串行电路结构如图 10 所示。



的计算关系,实现在一个时钟周期内完成对 8 bit 数据的加扰处理。如图 11 所示,PCIe 设备接收端对数据进行解扰操作,与加扰的公式一致,是加扰操作的逆运算,解扰过程在 8 b/10 b 解码之后进行。正常数据时,将 8 bit 输入数据与 LFSR 高 8 bit 异或且更新 LFSR;COM 字符时,复位 LFSR 同时输出 COM 字符;K 字符时直接输出结果。

现有的解扰正常流水线划分如图 12(a) 所示, 将解扰逻辑路径为取数、判断类型、进行解扰 (正常数据时)/复位 (COM 字符)/旁路计算 (K 字符)、输出结果 4 个过程, 进行一次解码需要 4 个 cycle。正常流水线在类型判断未完成时, 导致电路中的计算逻辑处于等待状态, 计算效率低下。

针对上述问题,本文提出一种超前预测解扰设计,基于对典型数据流的统计分析可知,绝大多数情况下类型判断结果为正常解扰计算的概率显著高于其他情况。由此,本文提出了第1阶段的静态预测设计,即预测为解扰计算,流水线如图12(b)所示,在判断类型的同时进行解扰运算,下一周期根据判断类型的结果重新计算或输出结果。类型为解扰时,输出结果需要3周期,为复位和旁路时,输出结果需要4周期。假设输入的9 bit数据解扰计算的概率为80%,为其他的概率为20%,可计算出静态

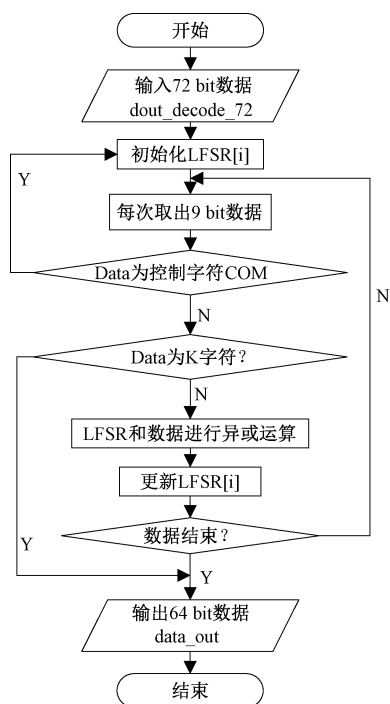


图 11 并行解扰流程

Fig. 11 Parallel descrambling flow

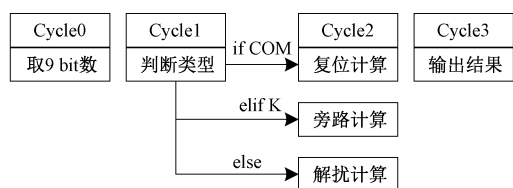
预测流水线需要的平均周期为 3.2 个周期,正常流水线则需要 4 个周期,解扰计算的占比越高,静态预测流水线的效率也就越高。

在链路训练等特定传输状态下,数据流中非解扰字符比例显著升高,导致静态预测准确率骤降,此时其性能与常规流水线持平且产生额外计算开销。为了解决这个问题,本文提出了第 2 阶段的历史预测流水线,如图 12(c) 所示。历史预测器为一个两位饱和计数器,设有 00、01、10、11 四种状态,其中 00、01 表示预测为解扰计算,10、11 表示预测为旁路计算。设计数器初始状态为 00,预测为解扰计算,如果预测正确(T),保持状态,如果预测错误(F),跳转到 01 状态,还是预测为解扰计算。在 01 状态下,预测正确(T)保持,预测错误(F)跳转到 10,变为预测旁路计算。在 10 状态下,预测错误(F)跳转回 01 状态,预测正确(T)跳转到 11 状态。

2.5 并行 CRC 校验算法

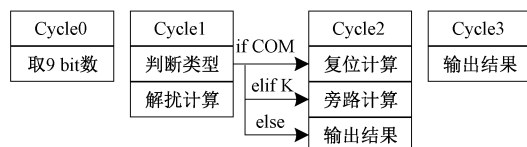
CRC 是一种基于多项式模运算的散列算法,用于检测数据在传输或存储过程中是否发生错误。该算法通过对待发送的数据进行运算,生成一个固定位数的校验码,并将其附加在原始数据末尾。接收方在获取数据后,依据同一多项式重新计算校验值,通过与接收的校验码进行比对,从而验证数据的完整性。

在 PCIe 协议中,采用了 16 bit CRC 和 32 bit CRC 两种校验码,在 DLLP 中使用的是 16 bit CRC,生成多项式



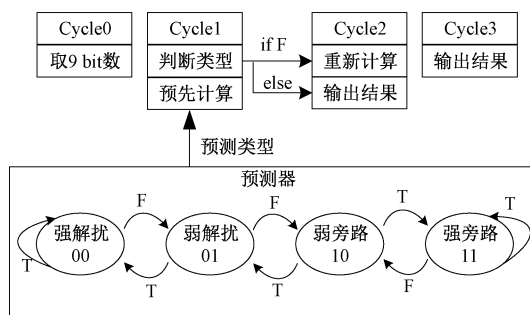
(a) 正常流水线

(a) Sequential pipeline



(b) 静态预测流水线

(b) Static prediction pipeline



(c) 历史预测流水线

(c) History-based prediction pipeline

图 12 解扰流水线

Fig. 12 Descrambler pipeline

系数由 0x100B 表示,寄存器初始值为 0xFFFF,其电路结构如图 13 所示。

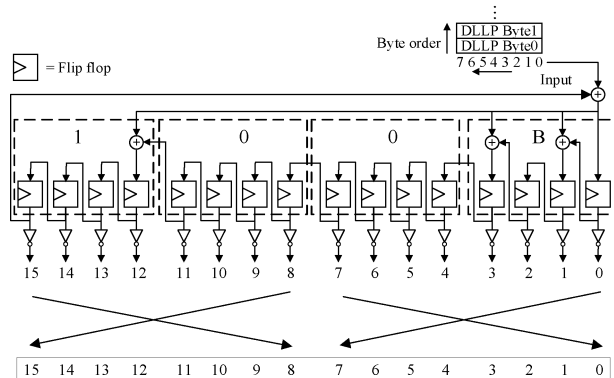


图 13 DLLP 中 CRC 校验电路结构

Fig. 13 CRC check circuit for DLLPs

根据 DLLP 中的 CRC 校验电路结构图,移位寄存器存储的值为 CRC 的结果,将 D 触发器输出记作 $S_n[15:0]$,输入数据记作 $D[7:0]$ 。当输入一位数据 $D[0]$ 时,可以得到一个时钟周期后 16 bit 寄存器的值 $S_1[15:0]$ 与 $S_0[15:0]$ 的关系,如式(1)。

$$\begin{aligned}
S_1[0] &= D[0] \oplus S_0[15] \\
S_1[1] &= D[0] \oplus S_0[0] \oplus S_0[15] \\
S_1[2] &= S_0[1] \\
S_1[3] &= D[0] \oplus S_0[2] \oplus S_0[15] \\
&\vdots \\
S_1[14] &= S_0[13] \\
S_1[15] &= S_0[14]
\end{aligned} \quad (1)$$

用矩阵形式表示出以上关系,如式(2)。

$$S_1 = A \times S_0 + X \times D[0] \quad (2)$$

$$\text{其中状态转移矩阵 } A = \begin{bmatrix} 0000000000000001 \\ 1000000000000001 \\ \vdots \\ 0000000000000100 \\ 0000000000000010 \end{bmatrix},$$

多项式向量 $X = [1101000000001000]^T$ 。

为了提高整体的处理效率,采用 8 bit 并行处理架构,推导出连续 8 个时钟周期下移位寄存器的状态转移关系,建立并行输出与初始状态的关系,如式(3)。

$$\begin{aligned}
S_8 &= A \times S_7 + X \times D[7] = \\
A \times (A \times S_6 + X \times D[6]) + X \times D[7] &= \dots = \\
(A^8) \times S_0 + (A^7) \times X \times D[0] + \\
(A^6) \times X \times D[1] + (A^5) \times X \times D[2] + \\
(A^4) \times X \times D[3] + (A^3) \times X \times D[4] + \\
(A^2) \times X \times D[5] + A \times X \times D[6] + X \times D[7] \quad (3)
\end{aligned}$$

根据公式可以进一步得到输入 8 bit 数据后寄存器的状态,如式(4)。

$$\begin{aligned}
S_8[0] &= S_0[8] \oplus S_0[12] \oplus D[3] \oplus D[7] \\
S_8[1] &= S_0[8] \oplus S_0[9] \oplus S_0[12] \oplus S_0[13] \oplus \\
&D[2] \oplus D[3] \oplus D[6] \oplus D[7] \\
&\vdots \\
S_8[14] &= S_0[6] \oplus S_0[10] \oplus S_0[14] \oplus D[1] \\
&\oplus D[5] \\
S_8[15] &= S_0[7] \oplus S_0[11] \oplus S_0[15] \oplus D[0] \oplus \\
&D[4] \quad (4)
\end{aligned}$$

在经过 8 bit 输入数据的迭代计算后,得到 CRC 校验码,与接收到的 CRC 值对比,验证数据完整性。

在 TLP 中使用 32 bit 的 CRC,生成多项式系数由 0x04C11DB7 表示,寄存器初始值为 0xFFFFFFFF,其电路结构如图 14 所示。

与 DLLP 中的并行 CRC 校验类似,可以用同样的方法得到 TLP 中并行的 CRC 校验算法,此处不再赘述。

2.6 数据包解析

PCIe 2.0 链路中的数据经过降采样、解码、解扰后恢复为 PCIe 2.0 原始数据,再对该数据进行数据包解析,通过数据包提取状态机提取出 TLP、DLLP 和 PLP 的关

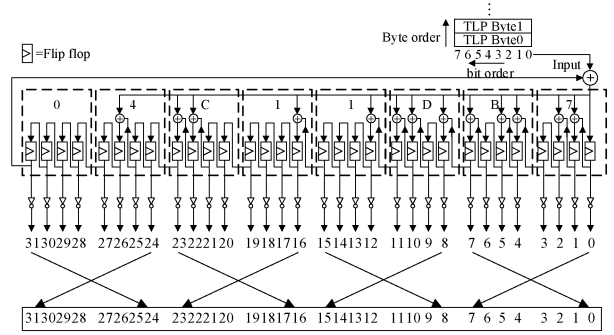


图 14 TLP 中 CRC 校验电路结构

Fig. 14 CRC check circuit for TLPs

键信息。

1) TLP 提取

TLP 提取的状态机所定义的状态包括空闲态、TLP 帧起始状态、序列号状态、头状态、摘要状态、数据状态、CRC 状态、TLP 结束状态。TLP 提取状态机如图 15 所示。

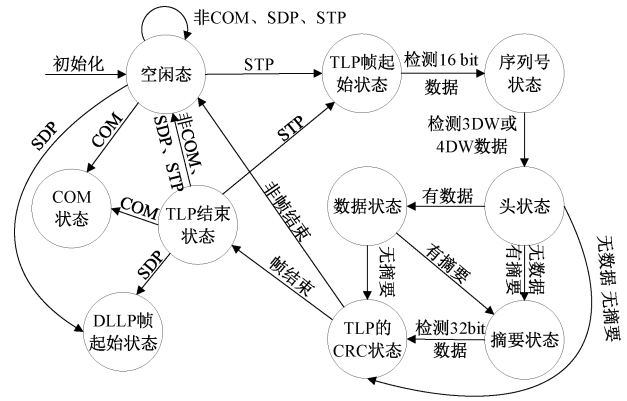


图 15 TLP 提取状态机

Fig. 15 State machine for TLP extraction

由图 15 可知,TLP 提取状态机为有限状态机,其在满足相应的转移条件时发生状态跳转,各个状态的具体含义如下。

(1) 初始化完成后,状态机进入空闲态,TLP 的计数器清零,并持续检测输入数据。

(2) 在空闲态下,状态机若检测到 STP 字符,状态机则跳转到 TLP 帧起始状态,若检测到 SDP 字符,状态机则跳转到 DLLP 帧起始状态,若检测到 COM 字符,状态机则跳转到 COM 状态,否则状态机处于空闲态,等待下一个字符的检测。

(3) 在 TLP 帧起始状态下,检测 16 bit 序列号数据状态机跳转到序列号状态。

(4) 在序列号状态下,状态机依据 TLP 头部信息判断其结构为 3 双字或 4 双字类型,并分析出 TLP 的类型,

状态;否则状态机继续检测后续的 5 byte 的数据,若最后末字节为 TS1 ID 或 TS2 ID,则状态机跳转到有序集 2 状态,否则跳转到空闲态。

(4) 在有序集 1 状态下,状态机按照协议检测 2 byte 的数据,若这 2 个字节均等于 COM 状态下检测的 1 byte 且等于 SDP、IDL 和 FTS 其中任意一种,至此状态机完成 SKP 有序集或电气空闲有序集或 FTS 有序集的检测,清零计数器,状态机跳转到 PLP 结束状态;若这 2 byte 均等于 COM 状态下检测的 1 byte 且等于 EIE,则继续检测 11 byte 的数据,判断是否为 EIE,若是,则继续检测 1 byte 的数据,若为 TS1 ID,至此状态机完成 EIE 有序集的检测,清零计数器,状态机跳转到 PLP 结束状态,否则状态机跳转到空闲态。

(5) 在有序集 2 状态下,状态机按照协议检测 9 byte 数据,若这些数据满足均为 TS1 ID 或 TS2 ID,符合 TS1 或 TS2 有序集结构,至此状态机完成一个 TS1 有序集或 TS2 有序集的检测,清零计数器,状态机跳转到 PLP 结束状态,否则状态机跳转到空闲态。

(6) 在 PLP 结束状态下,状态机检测 1byte 的数据,若该字节为 COM 字符,状态机跳转到 COM 状态,开始提取下一个 PLP;若该字节为 STP 字符,状态机跳转到 TLP 帧起始状态,开始提取 TLP;若该字节为 SDP 字符,状态

机跳转到 DLLP 帧起始状态,开始提取 DLLP;若都不满足,状态机跳转到空闲状态,等待下一个数据包。

3 实验结果与分析

实验平台采用 AMD Kintex UltraScale KU060 FPGA 开发板,在 Vivado 2018.3 设计软件环境下完成硬件架构设计。通过导入 PCIe 2.0 协议的激励文件,在 FPGA 内部构建协议解码及数据包解析的实时处理流水线,最终将结果输出,对协议解码与解析的正确性进行验证。

3.1 功能验证

根据 PCIe 2.0 协议,在 PC 端实现了 PCIe 原始数据包的生成(包括 PLP、TLP、DLLP 类型)、加扰、8 b/10 b 编码及串行化处理流程。测试数据涵盖了协议规定的关键控制符号(如 COM、FTS、STP、SDP、END)、TLP 头部字段(格式、类型、地址、长度、ID 等)、数据载荷以及 CRC 校验字段(ECRC、LCRC)。在 Vivado 2018.3 软件中模拟 PCIe 2.0 实时速率,将生成的串行数据流输入 FPGA 接收端。

FPGA 端成功实现了物理层数据恢复、解串、8 b/10 b 解码、解扰以及 PCIe 2.0 协议解析功能。关键验证结果如表 1 所示。

表 1 PCIe 数据包处理与解析结果
Table 1 PCIe packet processing and parsing results

关键验证	测试内容	验证结果
数据包类型覆盖	PLP (EIOS、FTS、TS1、TS2、SKP、EIEOS)、TLP (MRd、MRdLK、MWrr、IORd、IOWrr、Cfgrd0、CfgrWr0、Cfgrd1、CfgrWr1、Msg、MsgD、CpI、CpID、CpILK、CpIDLK)、DLLP (Ack、Nak、PM_Enter_L1、PM_Enter_L23、PM_Active_state_Request_L1、PM_Request_Ack、Vendor Specific-Not Used in normal operation、InitFC1-P、InitFC1-NP、InitFC1-Cpl、InitFC2-P、InitFC2-NP、InitFC2-Cpl、UpdateFC-P、UpdateFC-NP、UpdateFC-Cpl)	所有测试数据包类型均被正确识别和处理
数据处理	解扰、8 b/10 b 解码	FPGA 解码/解扰结果与原始数据一致
TLP 解析	STP 标识符、序列号、Header (Fmt、Type、TC、Attr、Length)、Data Payload、CRC (ECRC、LCRC)	解析正确
DLLP 解析	SDP 标识符、Type、CRC	解析正确
PLP 解析	COM 标识符、Type	解析正确

由表 1 可知,对 PLP、TLP、DLLP 3 类包进行完备性测试,均被正确识别。FPGA 实现了数据解扰和 8 b/10 b 解码,成功恢复原始 PCIe 数据,为后续状态机解析奠定了基础。FPGA 解析功能准确识别 3 种包类型,并正确提取和输出关键字段信息。CRC 校验通过,解析过程中计算的 CRC 值与接受到的 CRC 字段匹配,验证了数据传输的完整性。

3.2 资源和实时性分析

实验系统在采样率为 40 GSa/s 与 312.5 MHz 的 FPGA 工作频率条件下,实现了 PCIe 2.0 x1 协议的实

时数据传输模拟及低延迟解析,如表 2 所示,系统协议层吞吐量 5 GT/s,通过 128 bit 宽数据与 312.5 MHz 时钟的协同优化,内部数据处理带宽提升至 32 Gb/s。

本文提出的低延迟流水线解析方法能够完整无误地解析出数据包的信息,在 312.5 MHz 工作频率下实现约 70 ns 端到端延迟;在测试样本范围内未出现丢包现象,验证了架构具有较好的实时处理稳定性;基于 AMD 公司的 Kintex UltraScale KU060 平台,LUT/FF 占用率仅 1.39%/0.24%,且 DSP 零消耗;318.57 MHz 最大频率提供 1.94%时序裕度。

表 2 性能指标
Table 2 Performance metrics

指标	实测
吞吐量	5 GT/s;内部等效 32 Gb/s (128 bit×312.5 MHz×0.8)
端到端解析延迟	22clk@ 312.5 MHz≈70 ns
丢包	0
LUT	4 612
FF	1 583
BRAM	2
DSP	0
Max Frequency	318.57 MHz

3.3 非理想采样数据的系统鲁棒性测试

上述功能通过理想的数字激励文件,验证了本文提出的数字信号处理架构的正确性。实际的应用中,前端 40 GSa/s 的 ADC 采集系统的差分探针、PCIe 夹具等硬件会产生模拟干扰,造成采样波形失真从而影响解析的正确性,为确保设计的实用价值,本实验通过模拟实际非理想 ADC 的采样过程,向理想的数字激励文件注入噪声干扰,从而生成非理想采样的数字信号,将这些数据输入到完整的 PCIe 解析架构中进行处理,最终通过比对输入与输出数据,统计在不同误码率下数据包解析的成功率,从而评估系统从模拟干扰中恢复数据的能力。

测试结果如表 3 所示,对于理想信号,解析成功率为 100%,有效吞吐量 5 GT/s;轻度干扰下有少量数据因毛刺而误码,但可以通过降采样的判决逻辑有效地纠正,使误码率满足 PCIe 2.0 规范的要求,解析的成功率和有效吞吐量几乎与理想相同;中干扰信号下误码率增大,但降采样多数判决机制又将误码率降低,使解析成功率维持在 99.995%的高水平;对于重度干扰,整个系统面临挑战,降采样判决依然可以抑制误码率,使得解析成功率保持在 98.895%。本文所提出的解析架构能有效校正探头、夹具等非理想因素所带来的干扰,在测试环境下进行高可靠性数据解析。

表 3 系统在不同误码率下的测试结果
Table 3 System performance test results
under different bit error rates

测试场景	误码率	降采样后误码率	解析成功率/%	吞吐量/ (GT·s ⁻¹)
理想	0	0	100.000	5.00
轻度干扰	2.5×10 ⁻⁴	2.73×10 ⁻¹²	99.999	5.00
中度干扰	2.5×10 ⁻³	2.72×10 ⁻⁹	99.995	4.99
重度干扰	1.0×10 ⁻²	6.78×10 ⁻⁷	98.895	4.94

4 结 论

本文针对高速 PCIe 2.0 协议实时解析的技术挑战,提出了一种基于 FPGA 的全栈硬件解析架构。通过实现

数据预处理、并行 8 b/10 b 解码、超前预测解扰及状态机驱动的数据包解析方法,完成从物理层符号对齐到事务层字段提取的完整协议栈覆盖。该架构创新性地采用硬件级流水线处理机制,在 Kintex UltraScale 系列 FPGA 平台上以 312.5 MHz 主频运行,成功突破传统软件方案的吞吐量瓶颈,同步规避专用协议分析仪的高成本局限。实验验证表明,系统可稳定处理 5 GT/s 线速数据流,支持 PLP、DLLP 及 TLP 的低时延精准解析。

本文设计的解析架构取得了较好的处理效果,但在真实的嵌入测量仪器中使用,还存在着与其他重要部件集成的问题。比如高速 ADC 采集数据部分与本文系统的集成,需要解决电平判决和跨时钟域处理的问题;高速数据流传输问题,需要通过集成异步 FIFO 与流量整形模块,确保从采集到处理的数据流传输,另外需要实现大量数据与 DDR 的高效交换,对数据实时存储,避免数据的丢失。

未来的研究工作重点是基于协议语义的触发,实时捕获特定数据包和关键数据内容等信息,定位异常错误。在本文提出的架构中嵌入可配置的触发逻辑,通过上位机软件来设置触发条件,当触发逻辑抓到匹配的协议事件时,产生触发脉冲并通过 XDMA 控制器实时上传至上位机软件。通过完整的软、硬件结合的方式,进一步完善测量仪器功能,形成具备实时触发、精准捕获与深度分析能力的系统级解决方案,实现在高速数据流中精确捕获目标协议事件,协助工程师的调试与分析。

参考文献

[1] 廖可. 基于 PXIe 的多路高速高精度采集单元设计[D]. 成都:电子科技大学, 2020.
LIAO K. Design of a multi-channel high-speed and high-precision acquisition unit based on PXIe[D]. Chengdu: University of Electronic Science and Technology of China, 2020.
[2] 任楠. 高速串行链路信号抖动分解技术研究[D]. 成都:电子科技大学, 2022.
REN N. Research on jitter decomposition technology for high-speed serial link signals[D]. Chengdu: University of Electronic Science and Technology of China, 2022.
[3] 刘喜梅, 陈亚斐, 覃庆良. 基于 DSP 和 FPGA 的 LVDS 高速串行通信方案设计[J]. 电子测量技术, 2016, 39(7): 178-182.
LIU X M, CHEN Y F, QIN Q L. Design of LVDS high speed serial communication scheme based on DSP and FPGA[J]. Electronic Measurement Technology, 2016, 39(7): 178-182.
[4] 王芳, 郭斌, 陆艺, 等. 基于 GMSL2 的智能驾驶域控

- 制器视频输出功能检测系统研究[J]. 电子测量与仪器学报, 2024, 38(7): 167-178.
- WANG F, GUO B, LU Y, et al. Research on the video output function testing system for intelligent driving domain controller based on GMSL2 [J]. Journal of Electronic Measurement and Instrumentation, 2024, 38(7): 167-178.
- [5] PCI-SIG. PCI Express Base Specification, Revision 7.0[S]. 2025.
- [6] PCI-SIG. PCI Express Base Specification, Revision 2.0[S]. 2006.
- [7] MROCZEK K. SoPC-based DMA for PCI express DAQ cards [J]. International Journal of Electronics and Telecommunications, 2021, 67(4): 565-570.
- [8] LI M P, PETRICH D M. Characterization and production testing at 3.2 ~ 5.0Gb/s for PCI Express II and FB-DIMM [C]. Proceedings of SEMICON Japan. SEMI, 2005.
- [9] Keysight Technologies. PCI express protocol analyzers and exercisers solutions [EB/OL]. [2025-07-05]. Available: <https://www.keysight.com/us/en/products/protocol-analyzers-exercisers/pci-express-protocol-solutions.html>.
- [10] 龚浞宇, 郭世旭, 田皓文. 基于FPGA的多波束声纳发射机与接收机模块化设计[J]. 电子测量与仪器学报, 2022, 36(1): 141-148.
- GONG M Y, GUO SH X, TIAN H W. Modular design of multibeam sonar transmitter and receiver based on FPGA[J]. Journal of Electronic Measurement and Instrumentation, 2022, 36(1): 141-148.
- [11] 任勇峰, 多卉枫, 武慧军. 基于FPGA的多通路SRIO数据传输设计[J]. 电子测量技术, 2022, 45(14): 152-156.
- REN Y F, DUO H F, WU H J. A design of multi-channel data transmission with SRIO protocol based on FPGA[J]. Electronic Measurement Technology, 2022, 45(14): 152-156.
- [12] 宋锡文, 董业鹏, 杨世飞. 基于FPGA的振动信号处理参数寻优试验研究[J]. 电子测量与仪器学报, 2021, 35(2): 101-108.
- SONG X W, DONG Y P, YANG SH F. Research on parameter optimization for vibration signal processing based on FPGA[J]. Journal of Electronic Measurement and Instrumentation, 2021, 35(2): 101-108.
- [13] 李沛峰, 刘丽, 王宇, 等. 基于FPGA的 Φ -OTDR系统数字正交解调方法[J]. 电子测量与仪器学报, 2024, 38(5): 19-28.
- LI P F, LIU L, WANG Y, et al. Φ -OTDR system digital quadrature demodulation method based on FPGA [J]. Journal of Electronic Measurement and Instrumentation, 2024, 38(5): 19-28.
- [14] 赵禹, 叶芃, 孟婕, 等. 基于带宽交织采样架构的80GSps超宽带实时采集系统[J]. 仪器仪表学报, 2024, 45(5): 147-156.
- ZHAO Y, YE P, MENG J, et al. Ultra-wideband data acquisition system with 80 GSps based on bandwidth interleaved architecture[J]. Chinese Journal of Scientific Instrument, 2024, 45(5): 147-156.
- [15] 褚力. PCI Express总线分析仪硬件设计[D]. 成都: 电子科技大学, 2016.
- CHU L. Hardware design of PCI Express bus analyzer[D]. Chengdu: University of Electronic Science and Technology of China, 2016.
- [16] ZADE P M, HARIDAS S L, UGALE S. Design of the physical layer of PCI express using VHDL [J]. International Journal of Scientific Research and Development, 2015, 3(5): 121-124.
- [17] DARVISHI M. Fault-resilient PCIe bus with real-time error detection and correction[C]. Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI & Nanotechnology Systems (DFTS). IEEE, 2021: 1-7.
- [18] NAKAMURA H, TAKAYAMA H, YAMAGUCHI Y, et al. Thorough analysis of PCIe Gen3 communication by using FPGAs [C]. Proceedings of the International Conference on Reconfigurable Computing and FPGAs (ReConFig). IEEE, 2017: 1-6.
- [19] JACOBSEN M, KASTNER R. RIFFA 2.0: A reusable integration framework for FPGA accelerators [C]. Proceedings of the 24th International Conference on Field-Programmable Logic and Applications (FPL). IEEE, 2013: 1-8.
- [20] CHOI S, YANG H, NOH Y, et al. FPGA-based multi-channel real-time data acquisition system [J]. Electronics, 2024, 13(15): 2950.

作者简介



刘连胜, 分别在2006年、2008年和2017年于哈尔滨工业大学获得学士学位、硕士学位和博士学位, 现为哈尔滨工业大学教授, 主要研究方向为电子测量、基于FPGA的高能效计算技术、故障预测与健康管理等。

E-mail: lianshengliu@hit.edu.cn

Liu Liansheng received his B. Sc. degree, M. Sc. degree and Ph. D. degree all from Harbin Institute of Technology in 2006, 2008, and 2017, respectively. He is currently a professor and a Ph. D. advisor at Harbin Institute of Technology. His main research interests include electronic measurement, FPGA-based energy-efficient computing technology, fault prognostics and health management, etc.



董承龙, 2023 年于德州学院获得学士学位, 现为哈尔滨工业大学硕士研究生, 主要研究方向为 FPGA 设计及算法部署。

E-mail: dcl55924@163.com

Dong Chenglong received his B. Sc. degree from Dezhou University in 2023. He is currently a M. Sc. candidate at Harbin Institute of Technology.

His main research interests include FPGA design and algorithm implementation.



彭宇(通信作者), 2004 年于哈尔滨工业大学获得博士学位, 现为哈尔滨工业大学电子与信息工程学院教授、院长, 主要研究方向为自动测试技术、虚拟仪器、系统健康管理以及可重构计算。

E-mail: pengyu@hit.edu.cn

Peng Yu (Corresponding author) received his Ph. D. degree from Harbin Institute of Technology in 2004. Now he is a full professor and the dean of the School of Electronics and Information Engineering at Harbin Institute of Technology. His main research interests include automatic test technologies, virtual instruments, system health management, and reconfigurable computing.