

DOI: 10.13382/j.jemi.B2508435

基于双目视觉的器件带电放电自动化测试方法研究*

魏继晨¹ 万发雨¹ 夏敏峰¹ 石丽媛¹ 陈佳文¹ 陈晓禾²
(1. 南京信息工程大学电子与信息工程学院 南京 210044; 2. 中国石油大学人工智能学院 北京 102249)

摘 要:针对带电器件模型(CDM)的静电放电(ESD)测试中探针与芯片封装 pad 快速定位的难题,提出一种基于双目视觉的探针-封装 pad 快速对齐方法。首先构建一组针对芯片封装的图像数据集,使用轻量化的 L-YOLOv8n 算法训练模型作为前端识别待测芯片,然后通过图像处理模块完成对 pad 的亚像素级分割与定位,基于视差和立体匹配获取 pad 的精准三维坐标信息,最后将信息发送到 CDM ESD 测试系统的主控板中控制步进电机实现探针与 pad 的快速精准对齐。实验结果表明,系统在小样本训练条件下对 BGA、SOP 等多种封装芯片的 mAP 在 99% 以上,并实现对 pad 的完整识别与三维坐标的精准提取,在水平二维方向定位精度达 0.01 mm,深度方向精度为 0.1 mm。同时,该系统具备成本低和环境适应性强的优势,无需人工将探针与 pad 对齐进行测试,仅利用摄像设备与运动控制模块即可完成探针-pad 的快速精准对齐,部署方便,适用于多场景、多种芯片封装类型的 CDM 测试。

关键词: 静电放电;带电器件模型;双目视觉;图像处理;目标检测

中图分类号: TN305.94;TP391.41 **文献标识码:** A **国家标准学科分类代码:** 510.64

Research on automatic tester for charged and discharged devices based on binocular recognition

Wei Jichen¹ Wan Fayu¹ Xia Minfeng¹ Shi Liyuan¹ Chen Jiawen¹ Chen Xiaohe²

(1. School of Electronic and Information Engineering, Nanjing University of Information Science and Technology, Nanjing 210044, China; 2. School of Artificial Intelligence, China University of Petroleum, Beijing 102249, China)

Abstract: A binocular vision based probe package pad rapid alignment technique is proposed to address the challenge of rapid positioning between probes and chip packaging pad in electrostatic discharge (ESD) testing of charged device models (CDM). Firstly, a set of image datasets for chip packaging is constructed, and a lightweight L-YOLOv8n algorithm is used to train the model as the front-end recognition of the chip under test. Then, the sub-pixel segmentation and positioning of the pad are completed through the image processing module, and the three-dimensional coordinate information of the pad is accurately obtained based on visual difference and stereo matching. Finally, the information is sent to the main control board of the CDM ESD testing system to control the stepper motor and achieve fast and accurate alignment between the probe and pad. The experimental results show that the system has an mean average precision (mAP) of over 99% for various packaged chips such as BGA and SOP under small sample training conditions, and achieves complete recognition of pad and accurate extraction of three-dimensional coordinates. The positioning accuracy in the horizontal two-dimensional direction reaches 0.01 mm, and the depth direction accuracy is 0.1 mm. At the same time, the system has significant advantages in low cost and strong environmental adaptability, without the need for manual alignment of probes with pad for testing. The rapid and accurate alignment of probe pad can be completed with only camera equipment and motion control modules, which is easy to deploy and suitable for CDM testing in multiple scenarios and various chip packaging types.

Keywords: electrostatic discharge; charged device model; binocular vision; image processing; object detection

0 引言

半导体芯片是现代电子技术的基础。随着集成电路(integrated circuit, IC)制造技术的快速发展,半导体芯片的集成度越来越高,尺寸越来越小,导致芯片的电磁敏感度逐渐提高、抗过电压能力逐渐下降,抗静电能力也越来越弱^[1],导致静电放电(electrostatic discharge, ESD)造成的危害日益严重。静电放电过程中会产生瞬态大电流和强电磁脉冲,会使芯片功能失效,并对电子器件造成不可逆损伤,导致芯片击穿或软击穿,从而造成芯片失效或显著降低产品的可靠性^[2]。

随着半导体芯片制造、封装及测试的自动化程度越来越高,大部分的芯片处理操作都可由自动化生产线完成,人体与芯片接触的机会大幅减少。芯片在加工、处理、运输等过程中可能因与实验台、包装及其他物品接触、摩擦而携带电荷,当带电的芯片靠近或接触导体或人体时,便会发生静电感应而放电,这种由于器件自身带电而放电的现象通常用带电器件模型(charged device model, CDM)进行描述^[3-4]。研究表明,CDM的ESD现象是电子器件损坏的主要原因之一,其损坏程度已远多于人体模型(human body model, HBM)和机器模型(machine model, MM)^[5]。因此,准确、高效地测试芯片的CDM放电特性是保障电子设备品质的关键,CDM的ESD测试已成为电子产品性能考核的必需项^[4]。

传统CDM的ESD测试方法以人工操作为主,在实际应用中存在诸多弊端:一方面,测试流程高度依赖操作人员的经验与熟练度,手动操控CDM的ESD测试设备并完成探针与封装焊盘(pad)的高精度对齐不仅耗时长,且易因抖动或定位偏差导致测试数据失准,大大降低了测试的效率和可靠性;另一方面,人工测试难以适应现代复杂器件结构的多样化需求,其测试精度与效率已无法满足大规模集成电路生产的质量管控要求。

自动化的CDM ESD测试系统正在被广泛研究与应用,通过高精度机械系统与计算机控制技术,提升了测试探针与封装pad的对齐速度,减少了人工操作误差,提高了对齐精度。然而,尽管自动化的CDM ESD测试系统在精度和效率方面具有明显优势,但仍然面临一些技术挑战。尤其是随着芯片封装技术的飞速发展,芯片封装pad的类型众多,常见的有晶体管外形封装(transistor outline, TO)、小外形封装(small out-line package, SOP)、球栅阵列封装(ball grid array, BGA)、方型扁平式封装(quad flat package, QFP)、方形扁平无引脚封装(quad flat no-leads package, QFN)等,不同封装pad之间的差异性也不相同,例如QFP与BGA的pad有较大差异,但

QFP与QFN的pad差异较小;封装pad的尺寸范围跨越多个数量级,尺寸小的如BGA封装pad为 μm 级,尺寸大的如TO封装pad为 cm 级;同类型芯片封装pad的尺寸量级也存在较大区别,同时各个pad之间的高度也不一致。上述差异增加了CDM ESD测试中芯片封装pad准确识别与定位及其三维坐标获取的技术难度。

随着计算机视觉技术的不断发展,利用摄像头模拟人眼感知的技术在工业生产与测试中展现出了显著优势。计算机视觉可以实现高精度、自动化的检测与识别,大大提高了生产过程中的操作准确性和效率。相比传统人工检测,计算机视觉技术能够以更高的速度处理大量图像数据,减少人为误差,并且在环境复杂或操作困难的情况下,依然能够稳定运行^[6]。同时,计算机视觉技术具有极强的灵活性,可以根据不同需求进行定制与优化,适应不同的工业场景。此外,借助深度学习算法如区域卷积神经网络模型(region-based convolutional neural network, RCNN)、YOLO(you only look once)等先进算法^[7],视觉系统性能不断提升,在执行更为复杂的任务时表现出更高的智能化水平。

综上,本研究将计算机视觉引入到CDM ESD测试中,提出一种基于双目视觉的探针-封装pad快速对齐方法,并通过实验验证其可行性。建立针对芯片封装类型的图像数据集,使用轻量化的L-YOLOv8n模型对不同封装的芯片进行识别。构建图像处理模块对pad进行亚像素级分割与定位。基于透视变换与三角测量精准获取pad的三维坐标,联动运动控制模块实现探针-pad的快速精准对齐。

1 原理

1.1 双目视觉技术

双目视觉技术是通过对两幅图像的视差进行距离测量,模拟人类双眼感知物体深度的方式。双目视觉系统由2个相机构成,称为双目视觉系统的左、右相机^[8]。在双目立体视觉中,通过立体匹配获取同一目标的左、右2幅图像上所对应的2个像素点,然后根据4个坐标系之间的关系,建立空间点与像素点之间的映射关系,从而得到目标点的三维信息^[9]。

如图1所示,空间中一点 $M(X, Y, Z)$ 在2幅图像中坐标为 $m_L(u_l, v_l)$ 和 $m_R(u_r, v_r)$ 。设线段 x_l 和 x_r 分别是左、右相机成像点到左成像面的距离,则此点在左、右相机中的视差 d 为:

$$d = |x_l - x_r| = u_l - u_r \quad (1)$$

原点 O 的像素坐标为 (u_0, v_0) ,根据坐标系间的转换关系与三角测量原理,结合2个平行相机之间的基线距离 b 和相机的焦距 f ,可求出目标点的二维空间坐标 $(X,$

Y) 和深度 h :

$$\begin{cases} X = \frac{b \cdot (u_l - u_0)}{d} \\ Y = \frac{b \cdot (v_l - v_0)}{d} \\ h = \frac{b \cdot f}{d} \end{cases} \quad (2)$$

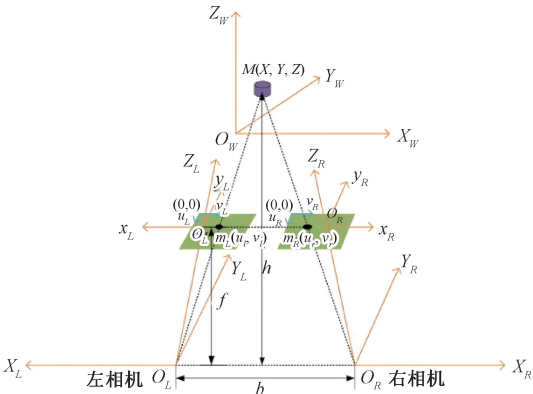


图 1 双目系统示意图

Fig. 1 Schematic diagram of binocular system

1.2 YOLOv8 算法

YOLOv8 算法支持多种视觉任务,包括目标检测、语义分割、姿态估计、目标跟踪和图像分类等^[10]。该算法凭借卓越的实时目标检测性能,已成为多个领域中的关键技术,广泛应用于自动驾驶、机器人视觉、视频监控等场景。同时,该算法的高效性和准确性使其在实际应用中展现出显著的优势,推动了计算机视觉技术的进一步发展^[11]。YOLOv8 于 2023 年 1 月由 Ultralytics 公司发布^[12],提供了 5 个版本,YOLOv8n、YOLOv8s、YOLOv8m、YOLOv8l 和 YOLOv8x。YOLOv8 主要由主干网络(backbone)、颈部网络(neck)和检测头(head)3 个部分组成,分别用于特征提取、特征融合和预测输出^[13],其网络结构如图 2 所示。

2 基于双目视觉的芯片封装 pad 快速识别与定位方法

芯片封装 pad 作为芯片与外部电路连接的关键接口,因其尺寸微小、排列密度高以及类型多样化,给传统的检测识别技术带来了巨大挑战。为此,本文提出基于机器视觉的芯片封装 pad 检测与定位方案。首先使用轻量化的 L-YOLOv8n 目标检测算法作为前端,该算法在保证检测速度的同时,具备较高的识别准确率,能够快速且精准地从复杂的图像背景中识别出芯片的整体轮廓。随后,将识别到的芯片整体划定为感兴趣区域(region of

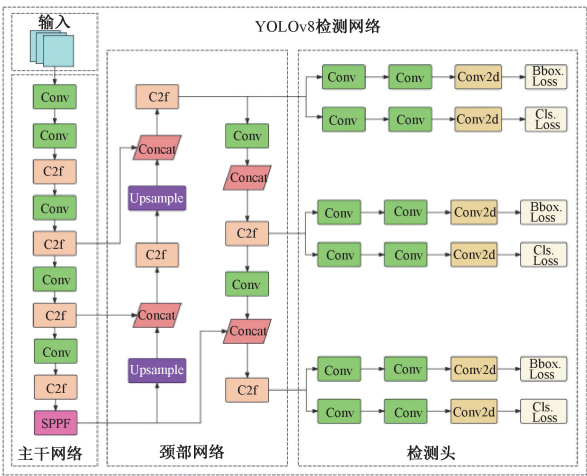


图 2 YOLOv8 网络结构

Fig. 2 YOLOv8 network architecture

interest, ROI), 针对不同封装类型的芯片划分不同的 ROI 种类,并对其进行定制化的图像处理进而检测与定位 pad,具体实现流程如图 3 所示。

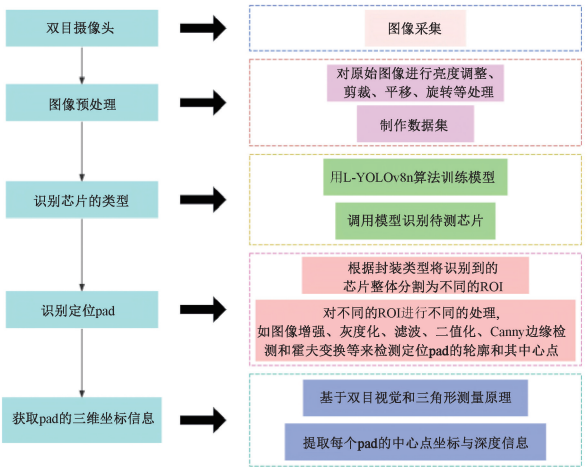


图 3 封装 pad 的识别与定位流程

Fig. 3 Process for identifying and locating encapsulated pad

2.1 图像采集与数据集的建立

目前,CDM ESD 测试普遍采用传统人工对齐方式,且缺乏公开可用的芯片封装类型数据集。针对这一现状,本文自主构建了一套芯片封装图像数据集,具体构建过程如下。

在数据采集阶段,采用双目摄像头与智能手机采集了 BGA、SOP、QFN 等工业场景常见的半导体芯片图像。为兼顾小样本特性、识别精度与训练成本,并适配工程应用的复杂性,共拍摄了 236 张图片,用智能手机拍摄的图像作为训练样本,如图 4(a) 所示,用双目摄像头拍摄的图像作为验证样本,如图 4(b) 所示。标注过程采用半自

动标注软件 Labeling 完成,标注结果以 .txt 文件格式保存。

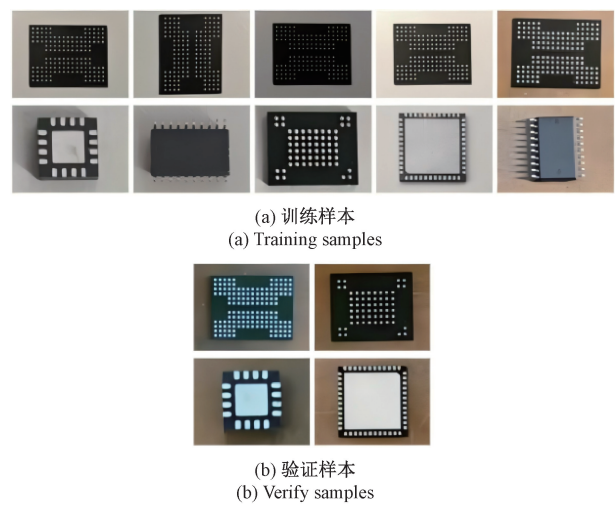


图 4 数据集部分像样本展示

Fig. 4 Partial image samples display of the data set

2.2 L-YOLOv8n 模型

为实现多芯片封装类型的高精度识别,以及 CDM ESD 测试的实时性、轻量化需求,对 YOLOv8n 算法模型进行轻量化设计。

首先,使用 FasterBlock^[14] 替代 C2f 模块中的 Bottleneck 结构,构建 C2f_Faster,如图 5 所示。FasterBlock 是一种高效的网络模块,通过优化卷积层的排列与连接方式,减少了参数量和计算量,同时保持了较强的性能^[14]。

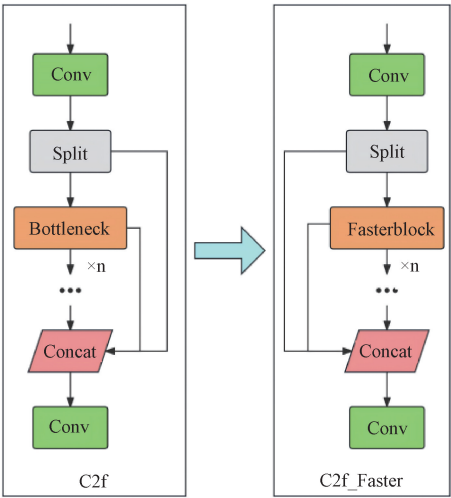


图 5 用 C2f_Faster 模块替换 C2f 模块

Fig. 5 Replace C2f module with C2f_Faster module

其次,使用深度可分离卷积 (depthwise separable

convolution, DSConv)^[15] 替代原始网络骨干网络和颈部网络中的原始卷积。DSConv 的主要优点是显著减少了参数数量和计算复杂性,与普通卷积相比可以显著降低计算成本,同时保持相似的性能^[15]。

在原始的 YOLOv8 骨干网络中包含多次下采样操作,能够提高中、大目标的特征表达,但会降低小目标的特征表达;此外,在颈部网络有 3 个下采样,同时在原始的检测头中有 3 个预测头,对应小、中、大目标的检测^[16],但随着特征尺度的减小,其中包含的细节信息会丢失,其在小目标检测中是冗余的。为此,针对芯片识别这一小目标检测任务,对 YOLOv8 的网络结构进行优化。轻量化的 L-YOLOv8 模型的网络结构如图 6 所示。

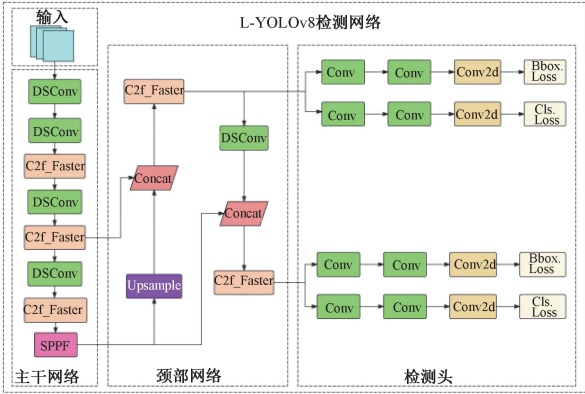


图 6 L-YOLOv8n 网络结构

Fig. 6 L-YOLOv8n network structure

原始 YOLOv8n 模型和 L-YOLOv8n 模型在交并比(intersection over union,IoU)为 0.5~0.95 时的平均精度均值(mean average precision,mAP)的变化如表 1 所示,由表 2 可知,L-YOLOv8n 的 mAP@0.5 稳定在 99% 以上,mAP@0.5:0.95 基本不变,满足 CDM ESD 测试过程中对待测芯片准确识别的需求。同时训练耗时较原始 YOLOv8n 模型降低 56%,检测速度提升 30%,模型体积减小 54%,在保证识别检测准确性与稳定性的前提下,显著降低了系统的资源需求,从而提高模型部署的效率和方便性。

表 1 多种图像识别模型算法性能对比

Table 1 Comparison of algorithm performance of multiple image recognition models

模型	训练时间/单张检测		模型大小/		mAP@0.5/	mAP@0.5:0.95/
	h	时间/ms	MB	%	%	%
YOLOv8n	0.27	9.6	11.4	99.5		93.5
YOLOv5s	0.33	12.8	18.5	99.5		95.1
YOLOv5m	0.41	18.6	50.5	99.5		95.2
YOLOv8s	0.28	10.8	22.5	99.5		95.8
YOLOv8m	0.44	14.9	52.0	99.5		97.0
L-YOLOv8n(本文)	0.12	6.7	5.2	99.5		93.3

2.3 封装 pad 的识别定位与坐标获取

对封装 pad 的识别与定位是关键环节。不同 pad 之间高度相似,会出现过度泛化的情况^[17],导致识别精度低,所以无法直接采用 L-YOLOv8n 模型对 pad 进行识别检测。为此,采用 L-YOLOv8n 模型作为前端,先对芯片整体进行识别,之后针对不同类型芯片设计不同的图像处理模块进行识别定位,具体流程如下。

在 L-YOLOv8n 模型成功识别芯片整体的基础上,将识别到的芯片整体作为 ROI,采用图像处理技术实现 pad 的精确分割与定位。以 BGA 芯片为例,首先,对 ROI 进行图像增强和灰度化等处理,以降低计算复杂度并突出 pad 区域的轮廓特征。随后,采用滤波算法对图像进行平滑处理,以抑制噪声干扰,保留 pad 区域轮廓的边缘信息。接着,利用自适应阈值算法对图像进行二值化处理,以解决光照不均匀和背景复杂度高的问题。最后,通过 Canny 边缘检测算法提取 pad 区域的轮廓信息,并结合广义霍夫变换算法获取 pad 区域的中心点坐标,如图 7 所示。

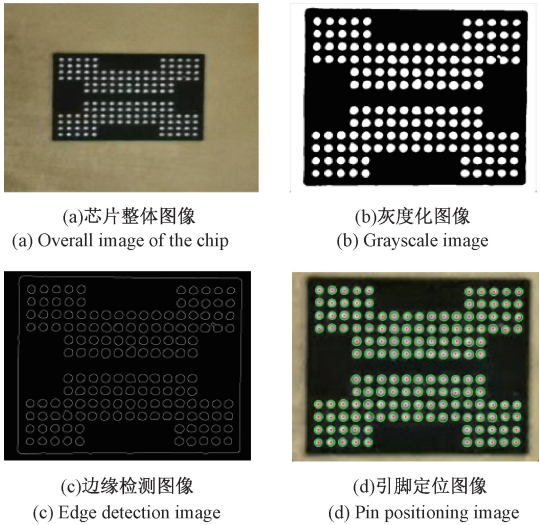


图 7 芯片封装 pad 识别与定位流程

Fig. 7 Chip packaging pad detection and position process diagram

在实现芯片封装 pad 的视觉识别与定位后,对 pad 的位置信息与深度信息进行提取。通过计算 pad 轮廓的质心得到 pad 中心点的二维坐标信息,并求出其在双目摄像头中的视差,之后通过立体匹配算法确定特征点在左、右摄像头中对应的像素坐标位置,最后根据透视变换与三角测量即可得到 pad 的深度信息,如图 8 所示。

2.4 对比与分析

目前,学者们对芯片缺陷检测的研究成果较多,本文从是否能识别多种封装芯片类型、模型体积、识别精度等方面与文献[18-22]进行了对比,结果如表 2 所示。文

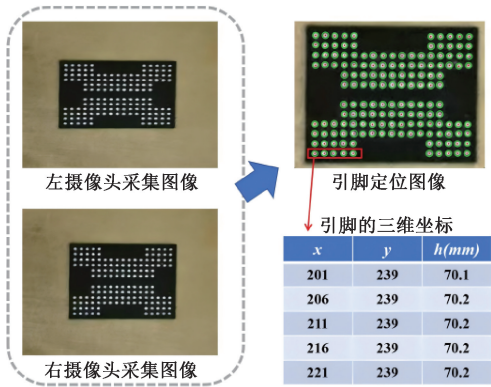


图 8 芯片封装 pad 定位结果

Fig. 8 Chip packaging pad positioning result diagram

献[18]提出一种基于改进 YOLOv7 模型的芯片封装表面缺陷检测方法,可以实时检测多种封装类型的芯片,其 mAP@0.5 为 85.4%,mAP@0.5:0.95 为 56.8%,但无法对 pad 进行识别且检测准确性不高,同时其数据集为 2 919 张图像,训练成本过高。文献[19]提出一种基于 YOLOx 改进算法的 QFN 芯片表面缺陷检测方法,模型的 mAP 为 98.6%,单张检测速度为 39 ms,但无法对其他类型芯片进行检测,同时其数据集较大。文献[20]提出一种基于 YOLOv4-tiny 算法的快速低功耗多目标检测系统,模型的 mAP 为 89.3%,对一张图像的检测速度为 0.46 s,但只能对 SOP 封装的芯片进行检测。文献[21]针对印刷电路板小目标缺陷检测任务,提出一种基于改进 YOLOv8s 的轻量级目标检测算法,其模型较 YOLOv8s 原模型参数量降低 81.5%,计算量降低 21.3%,模型大小降低 72.3%,mAP 提升 3.0%,有效降低了算法的计算成本,便于实际应用部署。文献[22]提出一种基于小样本图像分类的芯片引脚缺陷检测方法,其正确率为 99.2%,检测准确度较高,且只需要采集 20 张图片,但只能对 SOP 封装的芯片 pad 进行识别,无法对其他封装类型的芯片 pad 进行识别,且检测一张图像的时间为 1.86 s,检测速度较慢。与上述方法相比,本文方法具有以下优势:首先,仅需采集 10 张图像,相较于传统方法需要大量图像采集和数据标注,显著降低了人工标注的工作量和时间成本。其次,支持多种芯片封装 pad 的识别,能够满足 CDM ESD 测试中对不同芯片中所有或特定 pad 的精确测试需求,具有较强的适应性和灵活性。此外,本文方法在模型训练过程中的计算资源消耗较低,且模型体积小,便于在实际应用中进行快速部署。更为重要的是,在检测速度和检测精度上达到了较好的平衡,芯片类型的检测速度为 6.7 ms,整体检测时间为 1.53 s,同时保持了高达 99.5%的精度,最后,能够输出每个 pad 的三维坐标信息,在芯片的 CDM ESD 测试中具有较高的应用价值。

表 2 功能与参数对比

Table 2 Comparison of functions and parameters

来源	可识别多种芯片封装	可识别 pad 区域	输出坐标信息	数据集图像数量	模型体积/MB	每张图像的检测时间	识别精度/%
文献[18]	√	×	×	2 919	12. 6	16. 6 ms	85. 4
文献[19]	×	×	×	2 274	10. 2	39 ms	98. 6
文献[20]	×	√	×	50	—	0. 46 s	89. 3
文献[21]	×	×	×	693	6. 7	9. 6 ms	96. 2
文献[22]	×	√	√	20	—	1. 86 s	99. 2
本文方法	√	√	√	10	5. 5	1. 53 s	99. 5

注:√表示具有该功能;×表示没有该功能

3 基于双目视觉的 CDM ESD 测试实验

3.1 CDM ESD 测试平台

实验平台如图 9 所示,包括双目摄像头、示波器、上位机和实验室自研的一台 CDM ESD 测试仪器^[23]。

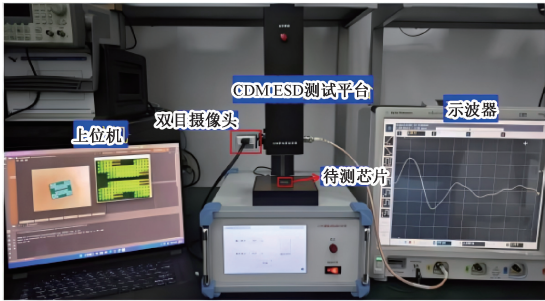


图 9 实验平台

Fig. 9 Experimental platform

国内的 CDM ESD 测试平台仍以传统的人工进行测试,其测试耗时长、效率低、精度低,无法应对大规模的芯片生产测试。国外的 CDM ESD 测试平台自动化程度较高,但其测试前的准备环节高度复杂,系统在执行测试任务前,需预先导入待测器件的三维结构版图,并完成坐标系标定、探针路径规划、放电参数校准等。不同仪器的相关参数对比如表 3 所示。

表 3 不同测试仪器间的参数对比

Table 3 Comparison of parameters between different testing instruments

仪器名称	识别方式	精度/ μm
DFJD401(国产)	人工	—
HED-C5000R(日本)	摄像头观测标定	± 50
ES640(美国)	导入结构版图	± 6
CDM ESD 仪器(无摄像头)	人工	—
CDM ESD 仪器(本文,带有双目摄像头)	双目摄像头识别定位	± 5

这些繁琐的准备工作不仅延长了测试周期,增加了

操作难度,更限制了系统对多样化测试场景的快速响应能力。日本与美国等企业生产的 CDM ESD 测试系统集成有摄像头模块,但其不具备智能识别的功能,其摄像头在测试中的功能是观察与校准。本文实验平台在自动化测试的基础上,部署了双目摄像头与识别算法,可实时识别芯片类型,定位芯片中的每个 pad 并输出其三维坐标信息,极大地减少了测试前的准备工作,提高了测试效率。

3.2 模型训练

在模型训练前,考虑到双目摄像头的参数特性,对输入图像进行规格统一,将其尺寸设定为 640×480 pixels;批量大小设置为 16,充分利用 GPU 显存,同时保证每次梯度更新的稳定性与效率;学习率设置为 0.001;动量设置为 0.937;权重衰减设置为 0.000 5,防止模型过拟合,提升泛化能力;训练周期设置为 100,确保模型充分学习数据集特征,并通过早停机制防止过拟合,具体参数如表 4 所示。

表 4 数据训练参数

Table 4 Data training parameter

参数名	参数值
输入图像尺寸/pixels	640×480
批量大小	16
学习率	0.001
动量	0.937
衰减权重	0.000 5
训练周期	100

3.3 识别测试与分析

为验证本文模型的实用性与泛化能力,在单芯片样本数量梯度递减的条件下开展系统性训练。训练结果如表 5 所示。由表 5 可知,即便在单芯片样本数量仅有 10 张的极端小样本训练条件下,模型的 mAP@0.5 仍能稳定保持在 99%以上,突破了传统模型对大规模数据的依赖,显著降低了数据采集与标注成本,在样本稀缺的应用场景中展现出独特优势。

L-YOLOv8n 模型对不同封装类型的芯片均能实现精准识别,其识别结果如图 10 所示。

表 5 不同样本数量下 L-YOLOv8n 模型识别精度对比
Table 5 L-YOLOv8n model under different sample sizes comparison of recognition accuracy

样本图像数量	训练时间/h	mAP@ 0. 5/%	mAP@ 0. 5; 0. 95/%
5	0. 05	94. 5	82. 1
10	0. 08	99. 5	87. 7
20	0. 10	99. 5	92. 0
40	0. 14	99. 5	93. 5
80	0. 20	99. 5	95. 6

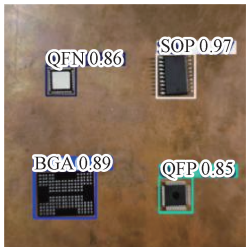


图 10 测试识别结果
Fig. 10 Test recognition result chart

结果显示,模型不会受到芯片外观形态差异的影响,展现出卓越的鲁棒性,能够有效应对复杂多变的实际应用场景,为多样化的芯片识别任务提供了可靠保障。同时,本次训练图像全部通过手机拍摄获取,测试中通过部署双目摄像头进行实时识别,整个过程无需依赖专业设备与复杂环境,具备低成本、高效能的显著优势,数据采集与模型部署更加灵活高效,为 CDM ESD 测试提供了高性价比的智能化提升路径,极大降低了 CDM ESD 测试难度。

3.4 实例验证

以一个型号为 29F16B08LCMF3 的 BGA 芯片作为待测芯片,结合双目识别模块进行 CDM ESD 测试实验,将待测芯片倒放于测试平台上,如图 11 所示。

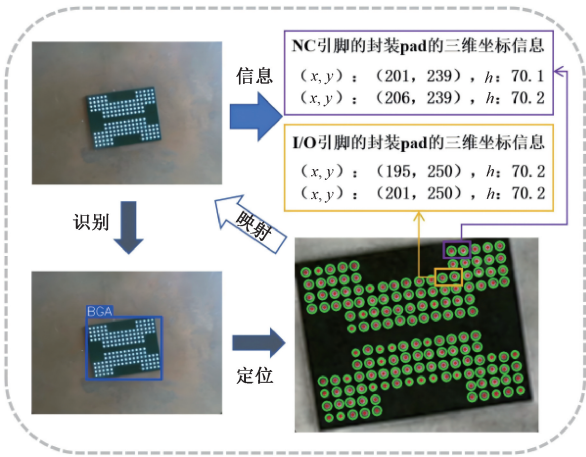


图 11 实验过程
Fig. 11 Experimental procedure

实验结果表明,本方法可以完成封装 pad 的快速识别与定位,获取每个封装 pad 的三维坐标信息,并将 pad 的三维坐标信息发送给 CDM ESD 测试系统的单片机中,控制步进电机带动探针精准趋近每个封装 pad,完成测试探针与封装 pad 的快速对齐,具体实验测试流程如下: 1) 水平方向快速对齐:通过调节摄像头高度、拍摄直尺等操作将二维图像的像素坐标系转换为二维图像的物理坐标系,使“1 像素点”对应实际距离“0.1 mm”,“1 像素点”描述的是双目摄像头自身的图像坐标系,在检测定位 pad 时对原图像进行了插值放大与映射缩小,因此“1 像素点”包含多个像素点,同时因待测芯片 pad 的最小尺寸为 0.2 mm,小于“1 像素点”对应的物理距离,所以该方法减小了检测定位误差,提高了准确性;在双目摄像头与测试探针之间的水平距离固定且已知的情况下,利用双目摄像头中心点位置定位探针的当前坐标,只需将二维图像的物理坐标信息与探针的当前坐标进行计算,转化为步进电机的移动步长(即图像物理坐标信息与步进电机步距的映射关系),再根据采用的步进电机 0.1 mm 对应 10 个脉冲的特性,电机通过脉冲驱动在 X、Y 轴方向移动,即可完成水平对齐,精度为 0.01 mm。2) 垂直方向快速对齐:深度信息 h 即垂直电机的移动高度,其通过坐标系间的转化关系与三角测量原理,结合 2 个平行相机之间的基线距离 b 和相机的焦距 f 求出,将其转化为步进电机 Z 轴的移动量,即可完成垂直对齐。整个“探针-封装 pad 的快速对齐”过程通过快速识别定位封装 pad 的三维坐标信息到电机移动距离的转换和步进电机的高频响应(1 500 Hz)及闭环微调带动测试探针趋近封装 pad,实现了平均耗时小于 100 ms 的快速对齐,且水平对齐精度为 0.01 mm,垂直对齐精度为 0.1 mm,满足 CDM ESD 测试需求。

当充电电压为 500 V 时,对待测芯片封装 pad 进行 CDM ESD 测试,实验得到的放电电流波形均符合 ESDA/ JEDEC JS-002 标准要求^[24],其中部分 pad 的放电电流如图 12 所示。

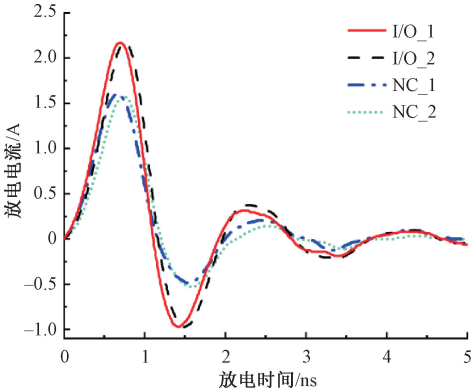


图 12 芯片封装 pad 的 CDM 放电电流
Fig. 12 CDM discharge current diagram of chip packaging pad

作为不同功能引脚封装 pad 的放电电流存在差异,因此对相关芯片进行设计时,应考虑其内部电路的构造,针对不同功能的引脚来设计不同的 ESD 防护方案。

4 结 论

针对 CDM ESD 测试中探针与芯片封装 pad 快速定位的关键难题,提出并验证了结合双目视觉系统识别的探针-封装 pad 快速对齐方法,为 CDM ESD 测试提供了解决方案。构建了一套针对芯片封装的图像数据集和轻量化的 L-YOLOv8n 模型,在小样本训练条件下,对 BGA、SOP 等多种封装芯片的识别精度稳定在 99% 以上,突破了传统模型对大规模数据的依赖;结合图像处理、立体匹配与三角测量技术,实现了封装 pad 三维坐标的精准提取。所提方法无需人工干预探针与 pad 对齐过程,仅通过双目摄像头与运动控制模块即可完成全流程自动化操作,显著降低了测试耗时与人为误差。实验验证结果表明,基于所提方法的 CDM ESD 测试平台可精准复现符合 ESDA/JEDEC 标准的放电波形,且根据不同功能引脚的放电特性差异为器件静电防护设计提供了量化依据。所提方法不仅解决了 CDM ESD 测试中探针定位的效率与精度问题,更通过智能、自动化的处理体系简化了测试流程,为大规模集成电路的自动化质量检测提供了技术支撑。

参考文献

- [1] 张岩,白晓宇,钱禹行,等. 静电放电电磁脉冲场对针板间隙流注放电的影响分析[J]. 科学技术与工程, 2022, 22(24): 10395-10401.
ZHANG Y, BAI X Y, QIAN Y X. Study on the influence of electrostatic electromagnetic pulse field on needle plate gap discharge[J]. Science Technology and Engineering, 2022, 22(24): 10395-10401.
- [2] MAGHLAKELIDZE G, SHEN L, GOSSNER H, et al. IC pin modeling and mitigation of ESD-Induced soft failures [J]. IEEE Transactions on Electromagnetic Compatibility, 2020, 63(2): 375-383.
- [3] HUANG Y C, KER M D, et al. Investigation of CDM ESD protection capability among power-rail ESD clamp circuits in CMOS ICs with decoupling capacitors [J]. IEEE Journal of the Electron Devices Society, 2022, 11: 84-94.
- [4] 江徽,唐震,王倩倩,等. 器件级带电器件模型静电放电测试标准分析及应用[J]. 电子技术应用, 2025, 51(4): 35-39.
JIANG H, TANG ZH, WANG Q Q, et al. Analysis and application of electrostatic discharge testing standards for device level charged device models[J]. Application of Electronic Technique, 2025, 51(4): 35-39.
- [5] 郭德华,高志良,何积浩,等. 静电放电测试模型标准现状的分析研究[J]. 中国标准化, 2021(24): 43-53.
GUO D H, GAO ZH L, HE J H, et al. Analysis and research on the current situation of standards for electrostatic discharge test models [J]. China Standardization, 2021(24): 43-53.
- [6] ZHAO X, WANG L, ZHANG Y, et al. A review of convolutional neural networks in computer vision [J]. Artificial Intelligence Review, 2024, 57(4): 99.
- [7] 杨永跃,夏远超. PCB 缺陷检测深度学习算法的精度改进[J]. 电子测量与仪器学报, 2023, 37(5): 11-19.
YANG Y Y, XIA Y CH. Accuracy improvement of deep learning algorithm for PCB defect detection[J]. Journal of Electronic Measurement and Instrumentation, 2023, 37(5): 11-19.
- [8] ZHANG W, ZHOU F, LIU Y, et al. Precise calibration of binocular vision system based on oblique cone projection model [J]. IEEE Sensors Journal, 2023, 24(1): 437-448.
- [9] 张艳,王宇. 基于视觉里程计的室内位姿测量技术研究[J]. 电子测量与仪器学报, 2022, 36(6): 73-81.
ZHANG Y, WANG Y. Design and implementation method of a visual odometer[J]. Journal of Electronic Measurement and Instrumentation, 2022, 36(6): 73-81.
- [10] TERVEN J, CORDOVA-ESPARZA D M, ROMER-GONZALEZ J A. A comprehensive review of YOLO architectures in computer vision: From YOLOv1 to YOLOv8 and YOLO-nas [J]. Machine Learning and Knowledge Extraction, 2023, 5(4): 1680-1716.
- [11] VARGHESE R, SAMBATH M. Yolov8: A novel object detection algorithm with enhanced performance and robustness [C]. 2024 International Conference on Advances in Data Engineering and Intelligent Computing Systems (ADICS). IEEE, 2024: 1-6.
- [12] SOHAN M, SAI RAM T, RAMI REDDY C V. A review on yolov8 and its advancements [C]. International Conference on Data Intelligence and Cognitive Informatics. Springer, Singapore, 2024: 529-545.
- [13] 杨阳,杨帅,闫敏,等. 基于 UDD-YOLO 的边缘端绝缘子放电严重程度评估算法[J]. 电子测量与仪器学报, 2024, 38(1): 219-227.
YANG Y, YANG SH, YAN M, et al. UDD-YOLO based edge-end insulator discharge severity assessment algorithm [J]. Journal of Electronic Measurement and

- Instrumentation, 2024, 38(1): 219-227.
- [14] HAO X Y, LI T. Lightweight small target detection algorithm based on YOLOv8 network improvement [J]. IEEE Access, 2025, 13: 14051-14062.
- [15] YANG G, WANG J, NIE Z, et al. A lightweight YOLOv8 tomato detection algorithm combining feature enhancement and attention [J]. Agronomy, 2023, 13(7): 1824.
- [16] 刘丽, 张硕, 白宇昂, 等. 改进 YOLOv8 的轻量级军事飞机检测算法 [J]. 计算机工程与应用, 2024, 60(18): 114-125.
- LIU L, ZHANG SH, BAI Y A, et al. Improved lightweight military aircraft detection algorithm of YOLOv8 [J]. Computer Engineering and Applications, 2024, 60(18): 114-125.
- [17] 黄志海, 邓耀华, 吴光栋. IC 器件表面缺陷多光谱图像特征融合检测方法 [J]. 仪器仪表学报, 2024, 45(9): 24-33.
- HUANG ZH H, DENG Y H, WU G D. Multispectral image feature fusion method for detecting surface defects in IC devices [J]. Chinese Journal of Scientific Instrument, 2024, 45(9): 24-33.
- [18] CAO Y, NI Y, ZHOU Y, et al. An auto chip package surface defect detection based on deep learning [J]. IEEE Transactions on Instrumentation and Measurement, 2023, 73: 1-15.
- [19] 杨桂华, 吴振生, 杨子康. 基于 YOLOx 的 QFN 芯片表面缺陷检测技术研究 [J]. 传感器与微系统, 2025, 44(3): 46-49.
- YANG G H, WU ZH SH, YANG Z K. Research on QFN chip surface defect detection technology based on YOLOx [J]. Transducer and Microsystem Technologies, 2025, 44(3): 46-49.
- [20] CHEN S, LAI W, YE J, et al. A Fast and low-power detection system for the missing pin chip based on YOLOv4-Tiny algorithm [J]. Sensors, 2023, 23(8): 3918.
- [21] 王天洋, 刘路, 王太勇, 等. 基于改进 YOLOv8s 的轻量级 PCB 缺陷检测算法 [J]. 电子测量与仪器学报, 2025, 39(3): 44-52.
- WANG T Y, LIU L, WANG T Y, et al. Lightweight PCB defect detection algorithm based on improved YOLOv8s [J]. Journal of Electronic Measurement and Instrumentation, 2025, 39(03): 44-52.
- [22] 吉训生, 李键升, 董越. 基于小样本图像分类的芯片引脚缺陷检测方法 [J]. 激光杂志, 2023, 44(12): 56-62.
- JI X SH, LI J SH, DONG Y. Research on automatic detection of pin defects of small sample SOP chips [J]. Laser Journal, 2023, 44(12): 56-62.
- [23] XIA M F, WAN F Y, RAVELO B, et al. Charged device model ESD sensitivity tester design and application [J]. IEEE Transactions on Instrumentation and Measurement, 2025, 74: 1-13.
- [24] ANSI/ESDA/JEDEC. ESD JS-002-2022, joint standard for electrostatic discharge sensitivity testing, Charged Device Model (CDM) -device level [S]. Rome, N. Y.: EOS/ESD Association, 2022.

作者简介



魏继晨, 2021 年于南京信息工程大学获得学士学位, 现为南京信息工程大学硕士研究生, 主要研究方向为静电放电。

E-mail: 202312180003@nuist.edu.cn

Wei Jichen received his B. Sc. degree from Nanjing University of Information Science and Technology in 2021. He is now a M. Sc. candidate at Nanjing University of Information Science and Technology. His main research interests include electrostatic discharge.



万发雨 (通信作者), 2011 年于法国鲁昂大学获博士学位, 现为南京信息工程大学电子与信息工程学院副院长、教授、博士生导师, 主要研究方向为集成电路电磁兼容、静电放电、电磁危害效应以及微波电路。

E-mail: fayu.wan@nuist.edu.cn

Wan Fayu (Corresponding author) received his Ph. D. degree from the University of Rouen in France in 2011. He currently serves as Vice Dean, Professor, and Ph. D. supervisor at the School of Electronic and Information Engineering, Nanjing University of Information Science and Technology. His main research interests include electromagnetic compatibility of integrated circuits, electrostatic discharge, electromagnetic hazard effects, and microwave circuits.