

DOI: 10.13382/j.jemi.B2508400

# 超低 PN 序列速率的模拟信息转换器设计\*

刘彬 钱慧

(福州大学物理与信息工程学院 福州 350000)

**摘要:**模拟信息转换器(analog-to-information converter, AIC)是一种突破 Nyquist 率采样限制的新兴压缩采样方法。经典的 AIC 采用 Nyquist 转换速率的伪随机(pseudo-random, PN)序列对输入信号进行混频,通过全频带展开稀疏信号提取其低频有效信息达到降采样的目的。然而,在无线通信应用中,信号具有典型带通特性。经典 AIC 因 PN 转换速率过高,不仅存在显著的采样冗余,更面临严重的非理想效应,导致重构质量大幅下降。针对上述问题,以带通采样理论为基础,提出以信号的实际有效带宽,而非最高频率为基准的超低速率 PN 序列设计方法,并以此为基础构建了一种新型带通随机解调(random demodulation, RD) AIC 架构。该架构以 Sigma Delta 模数转换器(analog-to-digital converter, ADC)为核心,通过降低 PN 序列切换速率,有效规避了由 PN 序列高速切换引起的非理想效应,在保证带通信号信息完整性的同时,显著提高了 AIC 的压缩比和重构信噪比(reconstruction signal-to-noise ratio, RSNR)。实验结果表明,在输入信号有效频率范围为 780~790 kHz 的条件下,所提出带通 AIC 将 PN 序列的转换速率降低至 52 kHz,采样压缩比达到 30,平均 RSNR 达到 68 dB。相较于当前最新的 RD Sigma Delta AIC 设计,所提出架构将采样压缩比提高了 7 倍,RSNR 提升了 14.6 dB。

**关键词:**模拟信息转换器;随机解调;带通采样;Sigma Delta ADC

**中图分类号:** TN702 **文献标识码:** A **国家标准学科分类代码:** 510.1010

## Design of analog-to-information converter with ultra-low PN sequence rate

Liu Bin Qian Hui

(College of Physics and Information Engineering, Fuzhou University, Fuzhou 350000, China)

**Abstract:** An analog-to-information converter (AIC) is an emerging method for compressive sampling that overcomes the limitations imposed by the Nyquist rate. The classical AIC employs a pseudo-random (PN) sequence at the Nyquist conversion rate to mix the input signal, then down-samples it by spreading the sparse signal across the entire frequency band, enabling the extraction of low-frequency information. However, in wireless communications applications, signals are often bandpass. The excessively high PN conversion rate leads to excessive sampling redundancy and significant non-ideal effects, degrading the quality of the reconstructed signal. To address these issues, this paper proposes a new design method for ultra-low-rate PN sequences based on bandpass sampling theory. This method uses the actual bandwidth of the input signal rather than its maximum frequency to determine the PN sequence rate. Based on this method, we constructed a novel bandpass random demodulation (RD) AIC architecture that employs a Sigma Delta ADC as its core component. By decreasing the PN sequence switching rate, the architecture effectively minimizes non-ideal effects associated with high-speed PN switching, ensuring the integrity of bandpass signal information while significantly improving the compression ratio and the reconstruction signal-to-noise ratio (RSNR). Experimental results show that for an input signal with a frequency range of 780~790 kHz, the proposed bandpass RD AIC can lower the PN sequence conversion rate to 52 kHz. This advancement achieves a sampling compression ratio of 30 and an average RSNR of 68 dB. Compared with the latest RD Sigma Delta AIC design, the proposed architecture improves the sampling compression ratio by 7 times and enhances the RSNR by 14.6 dB.

**Keywords:** analog-to-information converter; random demodulation; bandpass sampling; Sigma Delta ADC

收稿日期:2025-05-21 Received Date: 2025-05-21

\* 基金项目:国家自然科学基金面上项目(62371134)资助

## 0 引言

模拟信息转换器 (analog-to-information converter, AIC) 是一种基于压缩感知 (compressed sensing, CS) 理论的 Sub-Nyquist 率模数转换器 (analog-to-digital converter, ADC)。它利用信号的稀疏特性,即在特定变换域中仅有少量非零系数,通过低于 Nyquist 率的采样速率对稀疏信号进行采样,并借助重构算法恢复 Nyquist 率采样样本。近年来,研究学者已陆续提出了多种 AIC 架构<sup>[1-3]</sup>,主要包括随机解调 (random demodulation, RD)、预积分随机解调 (random modulation pre-integrator, RMPI) 以及宽带调制转换器 (modulated wideband converter, MWC)。AIC 在便携式穿戴设备、视觉传感器和射频信号采集等领域展现出广泛的应用前景。

目前,主流 AIC 架构一般首先采用 Nyquist 速率的 PN 序列对信号进行混频处理,将信号稀疏频谱在整个 Nyquist 率频带上进行展宽,然后再利用积分器或滤波器压缩信号频带<sup>[4-5]</sup>。然而,在无线通信等实际应用场景中<sup>[6]</sup>,AIC 处理的信号多为带通信号,这使得现有架构普遍面临着 PN 序列转换速率过高的问题。研究表明,高速 PN 序列会给 AIC 系统带来一系列显著的非理想效应,从而影响 AIC 系统的重构性能。具体的非理想特性主要包括如下 3 个方面<sup>[7-8]</sup>:1) 超高速 PN 序列容易产生波形失真,PN 序列最大变换速率受限于晶体管的开关速度、布线延迟等物理特性,当 PN 序列切换速率过高时,波形极性无法瞬时切换,出现波形失真,导致后续积分器或滤波器无法获取足够的信号能量;2) PN 序列速率提升会直接增加混频开关的切换频率,导致电路功耗和噪声水平上升;3) 超高速切换会加剧混频信号的非线性特性,并产生更大的时钟抖动噪声,这不仅会恶化混频信号的非线性,还会降低所获取观测向量的精度。针对 RD-AIC 系统在无线通信应用中面临需要高速切换的 PN 序列的问题,本文以带通采样理论为基础,以信号实际有效带宽为依据,通过优化选择 PN 序列的所需转换速率与采样压缩比,提出了一种基于 Sigma Delta ADC 的新型带通 RD-AIC 架构。2012 年, Bai 等<sup>[9]</sup> 研究学者探索了基于带通采样的 AIC 设计。该研究采用多通道 RMPI 架构,通过多通道 PN 序列并行混频对输入信号进行频谱重排,然后进行压缩及采样。虽然有效降低了每个通道上 PN 序列的转换速率,但是却带来了并行采样支路之间的失配问题,导致系统复杂度过高<sup>[10-11]</sup>。截止目前,尚未有面向实际物理系统的带通 RD-AIC 设计方案。

本文的主要创新工作在于,通过结合带通采样定理<sup>[12]</sup>,提出了基于超低转换速率 PN 的单通道带通 RD-AIC 架构。通过建立 RD-AIC 系统的频域分析模型,揭示

PN 序列转换频率与稀疏信号频域混叠的内在关联。在保证信号可重构性的前提下,确定带通 RD-AIC 系统的最优 PN 序列转换频率及 Sub-Nyquist 采样率。以增量式 Sigma Delta ADC 为基础,完成了整体架构的电路级实现,有效提升了所提系统的可行性与实用性。

## 1 随机解调模拟信息转换器

### 1.1 随机解调模拟信息转换器基本原理

经典的 RD-AIC 架构如图 1 所示,主要由基于 PN 序列的混频器、积分器和 Sub-Nyquist 率 ADC 组成<sup>[13-14]</sup>。对于一个带宽为  $W/2$ , 频域稀疏度为  $K$  的连续时间信号  $f(t)$ , RD-AIC 首先利用一个转换速率为  $W$  的 PN 信号对输入信号进行混频,然后再利用一个积分时间为  $1/M$  ( $M = W/R$ ,  $R$  为系统压缩比) 的积分器压缩信号频带,最后利用采样速率为  $f_s$  的 ADC 对压缩后信号进行采样,获得离散时间样本  $y(m)$ 。

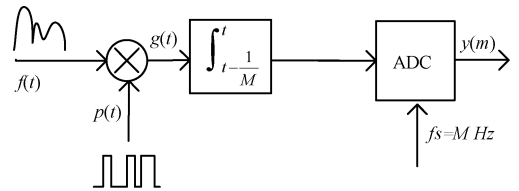


图 1 RD-AIC 架构

Fig. 1 The architecture of RD-AIC

RD-AIC 的基础时域信号处理过程如下。

#### 1) 输入信号模型

现有 RD-AIC 一般利用离散多音信号对输入信号建模。参考文献<sup>[15]</sup>可将输入信号表示为:

$$f(t) = \sum_{\omega \in \Omega} a_{\omega} e^{-2\pi i \omega t} \quad (1)$$

式中:  $\Omega$  是属于集合  $\{0, \pm 1, \dots, \pm(W/2 - 1), W/2\} \cap \Omega \subset [\Omega_L, \Omega_H]$  的集合的整数频率。

由于 CS 是一种面向离散时间信号的理论,因此需要建立离散时间域等效采样模型。定义  $t_n = n/W$  ( $n = 0, 1, \dots, W - 1$ ) 代表 Nyquist 率时间样点,参考文献<sup>[10]</sup>可将连续时间信号  $f(t)$  等效表示为 Nyquist 离散时间样本  $x_n$ , 如式(2)所示。

$$x_n = \sum_{\omega \in \Omega} a_{\omega} \left[ \frac{e^{-2\pi i \omega / W} - 1}{2\pi i \omega} \right] e^{-2\pi i \omega t_n} \quad (2)$$

式中:  $t_n = n/W$ , 代表 Nyquist 率时间样点,  $n = 0, 1, \dots, W - 1$ 。令  $s_{\omega} = a_{\omega} \left[ \frac{e^{-2\pi i \omega / W} - 1}{2\pi i \omega} \right]$ , 于是式(2)可以改写为:

$$x_n = \sum_{\omega \in \Omega} s_{\omega} e^{-2\pi i \omega n / W} \quad (3)$$

由于  $f(t)$  的稀疏度为  $K$ , 因此  $\{a_{\omega}\}_{\omega \in \Omega}$  中有且仅有

$K$  个非零值,那么  $\{s_\omega\}_{\omega \in \Omega}$  也仅有  $K$  个非零值。

故输入信号的离散形式可以表示为:

$$\mathbf{x} = \mathbf{F}\mathbf{s} \quad (4)$$

式中:  $\mathbf{x}$  和  $\mathbf{s}$  分别是由基本元素  $x_n$  和  $s_\omega$  组成的长度为  $W$  的向量;  $\mathbf{F}$  为  $W \times W$  的傅里叶基矩阵,其第  $n, \omega$  个元素

$$F_n = \frac{1}{\sqrt{W}} [e^{-2\pi i n \omega / W}]_{n, \omega}。$$

### 2) 观测矩阵模型

依据图 1 构建 RD-AIC 的等效离散时间域处理模型。首先,将随机解调模块处理表示为输入序列  $\mathbf{x}$  与 PN 序列相乘,其输出定义为  $\mathbf{g} = \mathbf{D}\mathbf{x}$ 。此处,  $\mathbf{D}$  为由  $\{\pm 1\}$  所组成 PN 序列  $\{p_n\}_{n=0}^{W-1}$  构成的对角矩阵,即:

$$\mathbf{D} = \begin{bmatrix} p_0 & & & \\ & p_1 & & \\ & & \mathbf{O} & \\ & & & p_{W-1} \end{bmatrix}_{W \times W} \quad (5)$$

于是,将积分器表示为一个  $M \times W$  的矩阵  $\mathbf{H}$ , 即:

$$\mathbf{H} = \begin{bmatrix} \overbrace{\mathbf{I}\mathbf{I}\cdots\mathbf{I}}^R & \mathbf{0}\cdots\mathbf{0} & \mathbf{0}\cdots\mathbf{0} \\ \mathbf{0}\cdots\mathbf{0} & \ddots & \mathbf{0}\cdots\mathbf{0} \\ \mathbf{0}\cdots\mathbf{0} & \mathbf{0}\cdots\mathbf{0} & \overbrace{\mathbf{I}\mathbf{I}\cdots\mathbf{I}}^R \end{bmatrix} \quad (6)$$

RD-AIC 的观测矩阵  $\mathbf{M}$  可以表示为:

$$\mathbf{M} = \mathbf{H}\mathbf{D} \quad (7)$$

经过采样速率为  $T_s = 1/M$  的 ADC,可以得到离散样本  $y(m), m = 0, 1, \dots, M - 1$ 。定义 RD-AIC 输出  $y$  为一个长度为  $M$  的观测向量,依据式(5)~(7)可以得到观测向量为:

$$\mathbf{y} = \mathbf{H}\mathbf{D}\mathbf{x} = \mathbf{H}\mathbf{D}\mathbf{F}\mathbf{s} = \Phi\mathbf{s} \quad (8)$$

### 3) 信号重构

在 CS 理论中,信号重构主要通过求解式(9)获得  $\hat{\mathbf{s}}$ 。

$$\hat{\mathbf{s}} = \operatorname{argmin} \|\mathbf{v}\|_0, \Phi\mathbf{v} = \mathbf{y} \quad (9)$$

式中:  $\|\cdot\|_0$  为  $l_0$  范数。由于式(8)是一个 NP 难问题,现有算法一般将其简化为  $l_1$  范数或者  $l_2$  进行求解。由于在现有的各类重构算法中,OMP 算法具有实现难度较低、结构简单、计算效率高等特点,是目前 RD-AIC 中普遍采用的重构算法。因此,本文也主要采用 OMP 算法进行重构。

### 1.2 面向带通信号的 RD-AIC 参数分析

目前,AIC 已被应用于射频通信系统的采样场景中,而这类射频通信系统主要处理带通信号。如图 2 所示,带通频域稀疏信号通常具有块稀疏特性,信号有效带宽  $B = \Omega_H - \Omega_L$ ,且该信号的稀疏度为  $K_1 + K_2 + K_3$ 。此时,若采用传统 RD-AIC 采样规则,PN 序列的转换速率必须大

于最高频率  $\Omega_H$  的 2 倍。而实际上,输入信号包含大量的“空白”频段  $[0, \Omega_L]$ 。显然,以信号实际有效带宽  $B$  为依据,可以有效降低 PN 序列的转换速率。因此,本文考虑结合带通采样基本理论,探索带通 AIC 架构。

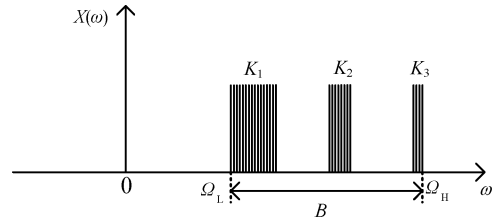


图 2 带通稀疏信号频谱

Fig. 2 Spectrum of bandpass sparse signal

## 2 带通模拟信息转换器理论分析与架构设计

### 2.1 带通随机解调模拟信息转换器基本原理

考虑现有无线通信频域稀疏信号的块稀疏特性,将信号均匀分割为带宽为  $q$  的  $L = (\Omega_H - \Omega_L)/q$  个子带。于是,将输入信号式(1)可改写为:

$$f(t) = \sum_{l=0}^{L-1} z_l(t) \quad (10)$$

式中:  $z_l(t) = \sum_{\omega_l \in \Omega_l} a_{\omega_l} e^{-j2\pi\omega_l t}$ 。该信号的频域由  $L$  个子带组成,可以表示为:

$$F(f) = \sum_{l=0}^{L-1} Z_l(f - lq) \quad (11)$$

式中:  $Z_l(f)$  是  $z_l(t)$  的连续时间傅里叶变换。

为分析随机序列转换速率  $T_p$  对于混频输出信号  $g(t)$  的频域搬移特性,需分析 RD-AIC 的频域特性。依据随机序列  $p(t)$  的周期性,将其表示为傅里叶级数展开的形式,即:

$$p(t) = \sum_{i=-\infty}^{\infty} c_i e^{j\frac{2\pi}{T_p} i t} \quad (12)$$

式中:  $c_i$  是  $p(t)$  的傅里叶级数展开系数。因此,混频输出信号  $g(t)$  的傅里叶变换可表示为:

$$G(f) = \int_{-\infty}^{\infty} x(t) \left( \sum_{i=-\infty}^{\infty} c_i e^{j\frac{2\pi}{T_p} i t} \right) e^{-j2\pi f t} dt = \sum_{i=-\infty}^{\infty} c_i \int_{-\infty}^{\infty} x(t) e^{-j2\pi(f - \frac{i}{T_p}) t} dt = \sum_{i=-\infty}^{\infty} c_i X(f - if_p) \quad (13)$$

由于积分器的理想冲激响应为时域矩形窗,即:

$$h(t) = \operatorname{rect}(2Mt - 1) \quad (14)$$

式中:  $\operatorname{rect}(\cdot)$  理想矩形窗函数。积分器的频域带宽可以近似表示为  $H_w = M/2$ 。于是,经过积分器处理后的信号为:

$$G_h(\omega) = H(\omega)G(\omega) \quad (15)$$

式中:  $H(\omega) = \frac{1}{M} \text{sinc}\left(\frac{2\pi\omega}{2M}\right) e^{-j\omega}$  表示积分器的频域系统传输函数。系统输出样本  $y(m)$  的离散傅里叶变换为:

$$Y(k) = \sum_{m=0}^{M-1} \sum_{i=-l_0}^{l_0} c_i H(k-m) X\left(k - i \frac{\omega_p}{\omega_s} - m\right) \quad (16)$$

令  $l_s = 2l_0 - 1$  表示令带通 RD-AIC 可以成功重构多带信号的最小整数。

### 2.2 带通采样频率与 PN 序列速率选取

若取  $L = 3, \Omega_L = 4q$ , 即带通信号的子带个数为 3, 且带通信号的最低频率  $\Omega_L$  到零频率处的距离为 4 个单位长度。以 RD-AIC 的采样率  $f_s = 5q$  为例, 子带信号分布不同的 3 种情况下, 带通信号频谱搬移的情况如图 3 所示。

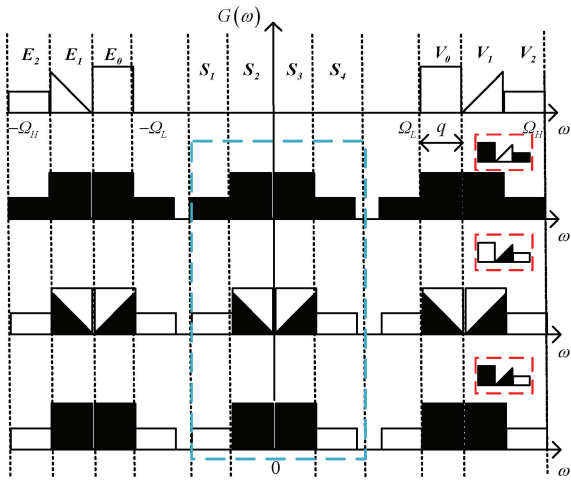


图 3 带通采样频谱  
Fig. 3 Bandpass sampling spectrum

图 3 中,  $V_i$  代表正半轴的各个子代,  $E_i$  代表负半轴的各个子代,  $S$  表示每个混叠簇的总长度; 其中黑色区域表示子代内存在信号, 白色区域表示子代内无信号。该信号经积分器(可视为低通滤波器)处理后, 得到的结果如图 3 中蓝色框内的信号所示。因此, 可通过方程组描述图中 3 种情况下不同子带分布情况下对应的混叠情况。具体如式(17)~(19)所示。

$$\begin{bmatrix} S_1 \\ S_2 \\ S_3 \\ S_4 \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_0 \\ V_1 \\ V_2 \end{bmatrix} + \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} E_0 \\ E_1 \\ E_2 \end{bmatrix} \quad (17)$$

$$\begin{bmatrix} S_1 \\ S_2 \\ S_3 \\ S_4 \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_0 \\ V_1 \\ V_2 \end{bmatrix} + \begin{bmatrix} 0 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} E_0 \\ E_1 \\ E_2 \end{bmatrix} \quad (18)$$

$$\begin{bmatrix} S_1 \\ S_2 \\ S_3 \\ S_4 \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_0 \\ V_1 \\ V_2 \end{bmatrix} + \begin{bmatrix} 0 & 0 & 0 \\ 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} E_0 \\ E_1 \\ E_2 \end{bmatrix} \quad (19)$$

通过求解方程组就可以得到原始带通信号的所有信息。

由上述分析可知, 带通采样可根据信号的有效带宽进行采样, 同时保留原始带通信号的信息, 这使得 PN 序列的切换也可依据信号的有效带宽进行。在信号的奈奎斯特率远大于其有效带宽的应用场景中, 该方法可显著降低 RD-AIC 的采样率与 PN 序列速率。

本文根据上述理论分析, 设定信号的有效带宽  $B$  为 10 kHz, 下限截止频率  $\Omega_L$  为 780 kHz, 上限截止频率  $\Omega_H$  为 790 kHz, 带通采样频率为 26 kHz, ADC 的过采样率  $M$  为 128, 因此 ADC 的采样率为 3.328 MHz。PN 序列的切换速率为 52 kHz, 远低于信号的奈奎斯特率 1.58 MHz。

### 2.3 带通模拟信息转换器架构设计

根据上述理论分析, 本文提出的带通模拟信息转换器系统架构如图 4 所示, 该架构由带通压缩混频单元以及二阶增量式 Sigma Delta 调制器组成。

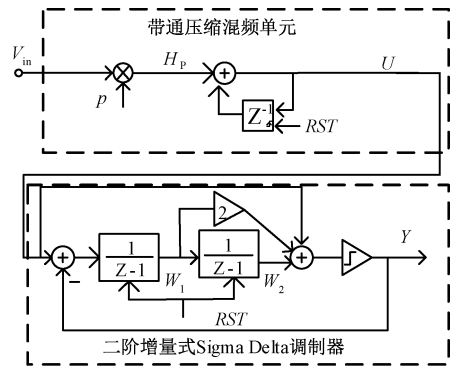


图 4 带通 AIC 系统架构

Fig. 4 Bandpass AIC system architecture

图 4 中, 带通压缩混频单元负责实现信号混频与压缩功能, 从而得到观测向量。带通混频输出表示为  $H_p$ , 且  $H_p[n] = v_{in}[n] \cdot p_n$ , 其中  $p_n$  在一个周期内为常数。

根据图 4 可以得到积分信号  $U$  与混频信号  $H_p$  之间的传递关系可以表示为:

$$U[n] - U[n-1] = \sum_{k=0}^{n-1} H_p[k] \quad (20)$$

将式(20)转换到  $z$  域, 可以得到  $U$  与  $H_p$  之间的信号传递函数  $H_{HP}$  为:

$$H_{HP}(z) = \frac{U(z)}{H_p(z)} = \frac{z^{-1}}{(1-z^{-1})P_n} \quad (21)$$

之后, 积分输出信号  $U$  被二阶增量式 Sigma Delta ADC<sup>[16]</sup>

采集并量化,得到观测向量。

根据图4中调制器的积分器输入输出关系,令  $M$  为增量式 Sigma-Delta ADC 的过采样率,那么可以得到积分器输出  $W_1$  的表达式为:

$$W_{1M} = \sum_{i=1}^{M-1} (U[i] - Y[i]) \quad (22)$$

同理可以得到调制器的第2个积分器输出  $W_2$  可以表示为:

$$W_{2M} = \sum_{k=1}^{M-1} \sum_{i=1}^{k-1} (U[i] - Y[i]) \quad (23)$$

根据调制器中量化器的输入输出关系可以得到:

$$U[M] + 2W_{1M} + W_{2M} + E[M] = V[M] \quad (24)$$

式中:  $E[M]$  为  $U$  的量化误差。将式(22)和(23)代入式(24)中可以得到调制器环路满足方程:

$$U[M] + 2 \sum_{i=1}^{M-1} U[i] + \sum_{k=1}^{M-1} \sum_{i=1}^{k-1} U[i] + E[M] = V[M] + 2 \sum_{i=1}^{M-1} Y[i] + Y[M] \quad (25)$$

又因为  $U$  在一个量化周期内保持不变,故式(25)可以化简为:

$$U = \frac{2}{M(M+1)} \sum_{k=1}^M \sum_{i=1}^k Y[i] - \frac{2}{M(M+1)} \cdot E[i] \quad (26)$$

因此可以得到调制器输入  $U$  与调制器输出  $Y$  之间的传递函数为:

$$U(z) = \frac{2}{M(M+1)} \left( \frac{Y(z)}{(1-z^{-1})^2} - z^{-M} E(z) \right) \quad (27)$$

将式(27)联立式(21)可以得到:

$$V_{in}(z) = \frac{2}{M(M+1)} \cdot \left[ \frac{z^{-1}}{(1-z^{-1})} \right]^{-1} \cdot \left[ \frac{Y(z)}{(1-z^{-1})^2} - z^{-M} E(z) \right] \quad (28)$$

从式(28)可以看出,调制器对混频信号的量化误差的大小由调制器的过采样率  $M$  决定,过采样率  $M$  越大,其观测向量精度越高,信号的重构精度也越高。

### 3 带通模拟信息转换器电路设计

#### 3.1 整体电路设计

本文的整体电路结构如图5所示。图5中,带通压缩混频电路用于实现对输入信号的混频和积分操作,随后,采样保持电路对采集到的混频信号进行保持处理,从而使得二阶增量式 Sigma Delta ADC 可以对其进行高精度量化。开关  $P$  和  $N$  实现混频功能,由线性反馈移位寄存器生成的伪随机序列控制。开关  $D_1$  和  $D_2$  及其延时时钟  $D_{1e}$  和  $D_{2e}$  实现对混频后的信号采样及其压缩的功能。采样结束后是信号压缩的过程,且在  $D_3$  为高电平的时候进行压缩操作。当  $D_3$  为高电平的时候,  $C_{S1}$  和  $C_{S2}$  为并联状态,从而实现了将信号相加的操作,进而实现了压缩过程。信号压缩后通过由运放组成的保持模块实现压缩信号稳定的功能,便于后续精准量化。 $RST\_SH$  表示采样保持电路的复位时钟,用于清除上一次的压缩结果,这可以防止两次量化相互干扰引起的量化误差出现,从而可以得到每个压缩信号的高精度量化结果,再根据比较器最终的量化结果得到的数字码流就可以得到高精度的观测向量和重构信号。最后,将观测向量送入重构算法中即可得到原始信号。

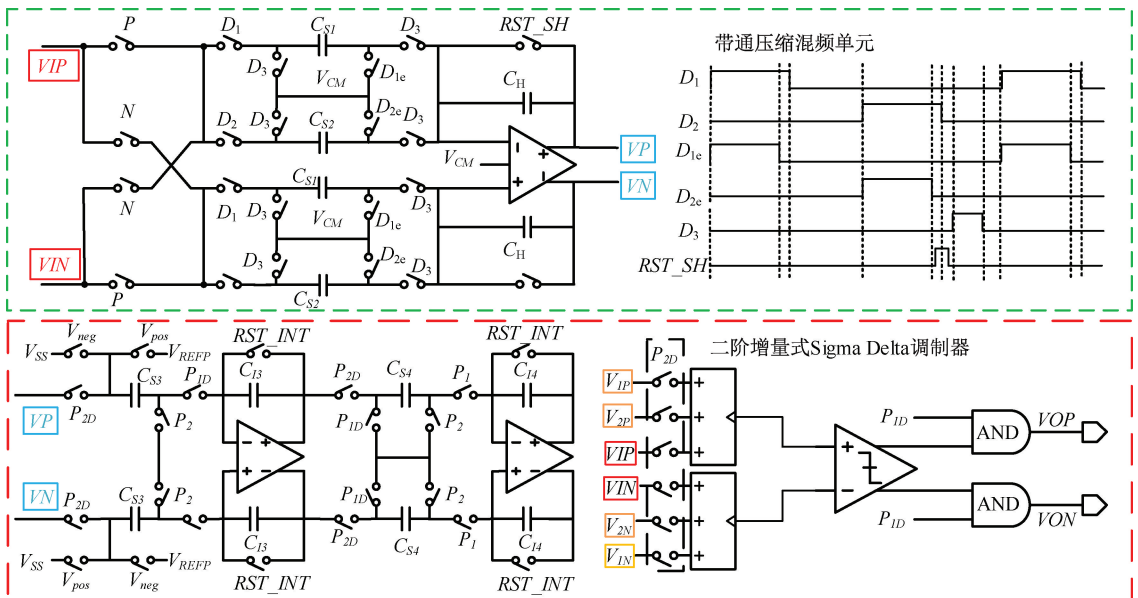


图5 整体电路结构设计  
Fig. 5 Design of the overall circuit structure

为简化分析,假设伪随机序列 PN 在第 1 次采样和第 2 次采样的值分别为 1 和 -1, 得到其输入输出关系如式(29)所示。

$$VP - VN = \frac{1}{C_H} [C_{s1}VIP1 - C_{s3}VIN1 + C_{s2}VIN2 - C_{s4}VIP2 + (C_{s3} + C_{s4} - C_{s2} - C_{s1})V_{cm}] \quad (29)$$

令  $C_{s1}$ 、 $C_{s2}$ 、 $C_{s3}$ 、 $C_{s4}$ 、 $C_H$  4 个电容大小相等。故式(29)可以化简为:

$$VP - VN = (VIP1 - VIN1) + (VIN2 - VIP2) \quad (30)$$

从式(30)可以明显看出,该压缩电路实现了信号的混频与压缩功能。

本文设计的增量式 Sigma Delta ADC 电路将压缩后的离散样本转换为数字码流,由此得到观测向量并进行信号重构,从而恢复出原始的基带信号。 $P_1$  和  $P_2$  是一对非交叠时钟,图 5 中  $P_{1D}$  和  $P_{2D}$  分别是  $P_1$  和  $P_2$  的延迟时钟。 $P_2$  表示积分器的采样相位时钟, $P_1$  表示积分器的积分相位时钟。 $RST\_INT$  表示增量式 Sigma-Delta ADC 中两级积分器的复位时钟。整体调制器的噪声传递函数如式(31)所示。

$$NTF(z) = \frac{(1 - z^{-1})^2}{1 - 1.255z^{-1} + 0.4415z^{-2}} \quad (31)$$

### 3.2 关键模块电路指标与非理想因素分析

在本文所设计的带通 RD-AIC 中,其主要的重构信噪比受限于调制器的精度。本文的设计目标是实现大于 11 bits 的重构信噪比。为了达到这一目标,调制器电路中的运算放大器和比较器必须满足特定的性能要求。运放的有限增益、单位增益带宽以及比较器的速度均对整体性能具有显著影响。

#### 1) 运放有限增益误差

理想积分器的传递函数可表示为:

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (32)$$

由于运算放大器增益是有限的,实际传递函数如式(33)所示。

$$H(z) = \frac{C_1}{C_2} \times \frac{\frac{A}{1 + A + C_1/C_2} z^{-1}}{1 - \frac{1 + A}{1 + A + C_1/C_2} z^{-1}} \quad (33)$$

式中:  $C_1$  和  $C_2$  分别为采样电容和积分电容;  $A$  为运放的直流增益。由于运放有限增益导致 NTF 零点位置偏移,随着运放增益减小,NTF 的零点位置离直流点越远,因此造成调制器低频噪声增加,抑制了调制器整体性能。经 MATLAB 建模验证确定本次设计运放的直流增益需 > 70 dB。

#### 2) 单位增益带宽

放大器的单位增益带宽决定了放大器的时间常数,

也就决定了放大器要稳定到某个特定的精度所需要的时间。在开关电容电路积分器中,放大器的线性建立时间  $t_s$  与 ADC 分辨率的关系应满足式(34)。

$$\frac{1}{2^N} \geq e^{-\frac{t_s}{\tau}} \quad (34)$$

式中:  $\tau = 1/(2\pi GBW)$ ,  $\tau$  表示时间常数,  $GBW$  表示运放的增益带宽积;  $N$  为 ADC 目标精度,本文设计的精度为 11 bits。

当运算放大器应用在开关电容电路中时,输出应该在至少 1/2 采样时钟内稳定,本文设计运放在导通时间的 1/4 内完成建立,即  $t_s = T_s/4$ 。因此可以得到  $GBW$  应满足  $GBW \geq 4Nf_s$ ,故可以得到本文设计的运放应满足增益带宽积  $GBW \geq 23.3$  MHz。

#### 3) 比较器延时

在调制器中,比较器的延时应小于采样周期,这样才能保证在下次采样时钟到达前完成当前的量化操作,由于调制器的采样率为 3 328 kHz,故比较器延时应 < 300 ns。综合考虑功耗和速度,本文设计选择两级全动态比较器作为调制器中量化器的实现方式,选择 PMOS 管作为输入差分对管,有助于降低闪烁噪声,同时该结构也能在一定程度上抑制输出回踢噪声。

由上述分析可以得到运算放大器和比较器的关键性能指标及其测试结果如表 1 所示。

表 1 关键电路指标

Table 1 Key circuit metrics

非理想特性	指标	测试结果
运放直流增益/dB	>70	83.74
GBW/MHz	>23.3	28
比较器延时/ns	<300	0.512 5

## 4 仿真结果

### 4.1 系统仿真流程

基于 SMIC 40 nm CMOS 工艺,本文在 Cadence Virtuoso 仿真平台中搭建了整体电路的仿真原理,并进行了版图绘制以及对整体电路进行后仿真验证,本文的整体电路版图设计如图 6 所示。随后,运用 Spectre 仿真工具开展仿真工作。最后,借助 MATLAB 对这些数据进行重构即可得到最终的原始信号。

### 4.2 单频点信号仿真

在 780~790 kHz 范围内随机选取一个频率,开展稀疏度为 1 的仿真实验,信号幅值设定为 1 V。本次实验选定的频率为 787 kHz。将输出的数字码流传输至 MATLAB 进行处理,生成观测向量。原始信号的时域与频域特性与重构信号的时域与频域特性如图 7 所示。

本文选用重构信噪比<sup>[17]</sup> (reconstruction signal-to-

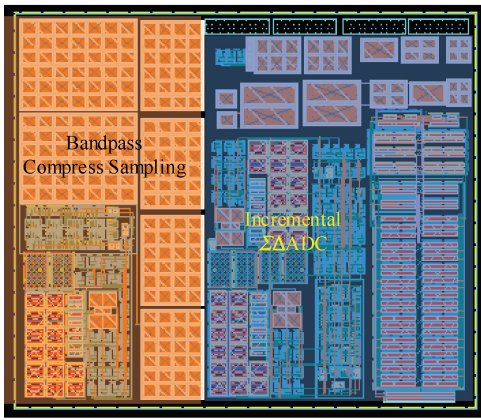


图 6 整体电路版图  
Fig. 6 Overall circuit layout

noise ratio, RSNR) 作为衡量重构信号质量的指标,其计算公式为:

$$RSNR = 10\log\left(\frac{\|x\|_2^2}{\|x - \hat{x}\|_2^2}\right) \quad (35)$$

式中:  $x$  和  $\hat{x}$  分别表示原始信号和重构信号。根据重构结果得到其 RSNR 为 68.1 dB。

### 4.3 多频点信号仿真

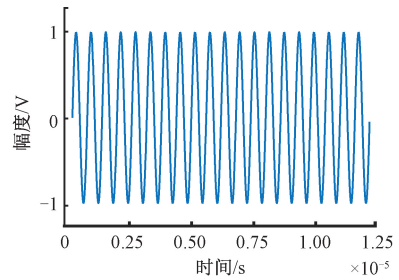
为更准确地模拟带通稀疏信号,本文在 780 ~ 790 kHz 频带内进行信号合成。设定参数  $q=2, L=5$ ,将频带均匀划分为 5 个子带,其中前 4 个子带中存在信号。在每个有信号的子带内随机选取两个频点,共生成稀疏度为 8 的输入信号用于仿真实验。所有信号幅值均设定为 0.125 V,原始信号的时域与频域特性与重构信号的时域与频域特性如图 8 所示。由于二阶增量式 Sigma Delta ADC 的精度是有限的,因此重构后的信号在频域上的噪声相比于重构前的信号有所增加。从图 8 可以看出,当输入信号为包含 5 个子带的带通稀疏信号时,带通 AIC 仍然能够有效重构出原始基带信号。然而,由于稀疏度由 1 增加到了 8,RSNR 略有降低,为 68 dB。但是,与单频点信号相比,RSNR 精度仅损失了 0.1 dB。

实验结果表明,本文提出的基于 Sigma Delta ADC 的带通模拟信息转换器架构无需奈奎斯特率的高速伪随机信号便能完成对带通信号的压缩采样以及重构出原始基带信号。RSNR 与 ADC 的分辨率  $N$  之间的关系如式 (36) 所示,由此可知本文设计的带通模拟信息转换器重构精度  $>11$  bits。

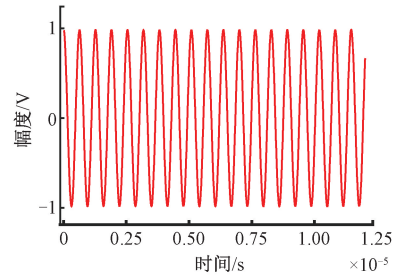
$$RSNR = 6.02N + 1.76 \quad (36)$$

### 4.4 工作对比

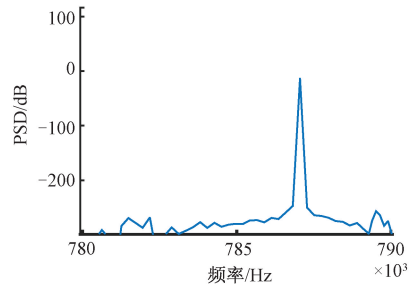
本文所提架构与现有工作的对比如表 2 所示。相较于文献[18-19],本文在远低于信号 Nyquist 率的伪随机序列速率下,实现了信号的压缩混频与高精度重构,并将



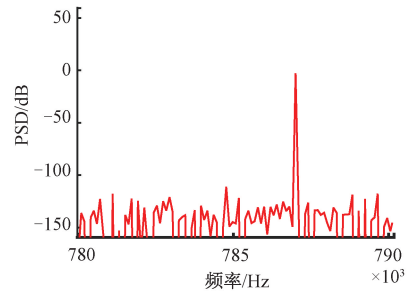
(a) 输入信号时域图  
(a) Time domain diagram of input signal



(b) 重构信号时域图  
(b) Time domain diagram of reconstructed signal



(c) 输入信号频域图  
(c) Frequency domain diagram of input signal



(d) 重构信号频域图  
(d) Frequency domain diagram of reconstructed signal

图 7 单频点信号输入仿真结果

Fig. 7 Simulation results of single frequency point signal input

RD-AIC 与带通采样理论结合,显著提升了系统的重构精度。此外,与文献[9,18-19]仅完成系统级建模不同,本文进一步完成了完整的电路级实现与验证,充分证明了所提架构的可行性与实用性。相比于文献[20]所采用的纯增量型结构,本文提出的带通采样 RD-AIC 架构具备更宽频带的信号处理能力,同时整体功耗更低。与文献[21]基于高 Q 值谐振器的传统带通 Sigma-Delta ADC

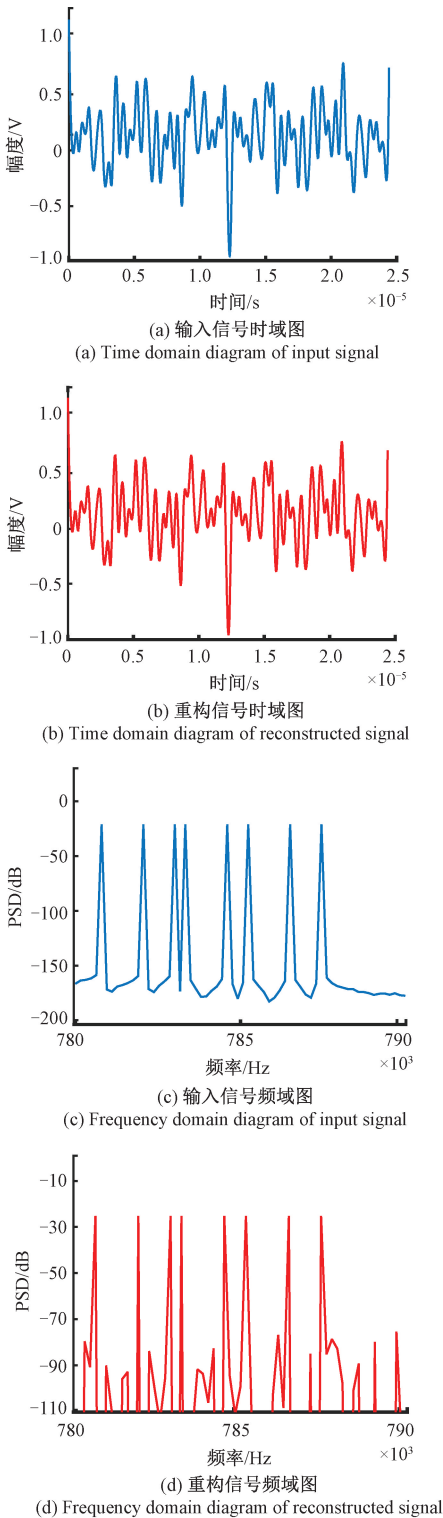


图 8 多频信号输入仿真结果

Fig. 8 Simulation results of multi frequency signal input

相比,本文结构采用易于集成且对元件失配不敏感的分器,无需构建高精度谐振网络,结构更简洁、实现复杂度显著降低;同时,本文架构中 Sigma-Delta ADC 及随机

解调模块的时钟频率较低,开关损耗与动态功耗得到有效控制,因而在功耗方面具备明显优势。通过与文献[21]对比可以看出本文的重构精度也更有优势。

表 2 本文设计的带通 RD-AIC 和其他研究的对比

Table 2 Comparison of the bandpass RD-AIC designed in this paper with other studies

参数	文献[9]	文献[19]	文献[20]	文献[21]	本文
架构	BP-RDAIC	ISDM-RDAIC	ISDM	BP-SDM	BP-RDAIC
工艺/nm	无	无	180	180	180
最大压缩比	10	4	0	0	30
电源电压/V	无	无	1.8	1.8	1.8
信号带宽	20 MHz	250 Hz	20 kHz	1 MHz	10 kHz
最大信号频率	1.62 GHz	250 Hz	20 kHz	1 MHz	790 kHz
重构信噪比/dB	10.0	53.3	100.9	60.7	68.1
有效位数/bits	1.3	8.5	16.5	9.8	11.0
功耗/ $\mu$ W	无	无	828	2 000	484.3

### 5 结 论

本文详细阐述了带通 AIC 的基本原理,并针对传统 AIC 中 PN 序列信号速率过高的问题,提出了一种基于带通采样定理的 AIC 设计方法。在此基础上,本文设计了一种基于 Sigma Delta ADC 的带通 AIC 架构。通过深入分析带通 AIC 的工作流程,对所提方案进行了电路级仿真验证。实验结果表明,所提出的架构能够在远低于奈奎斯特速率的 PN 信号速率下,实现良好的信号重构效果,同时显著提高了带通 AIC 的最大压缩比。

### 参考文献

[ 1 ] ENTESARI K, SEPIDBAND P. Spectrum sensing: Analog (or partially analog) CMOS real-time spectrum sensing techniques [ J ]. IEEE Microwave Magazine, 2019, 20(6) : 51-73.

[ 2 ] AJAMIAN T, MOUSSAOUI S, DUPRET A. Breaking nyquist limitations in reflectometry-based wire diagnosis systems by compressive sampling [ J ]. IEEE Instrumentation & Measurement Magazine, 2019, 22(4) : 3-9.

[ 3 ] YAZICIGIL R T, HAQUE T, KINGET P R, et al. Taking compressive sensing to the hardware level: Breaking fundamental radio-frequency hardware performance tradeoffs [ J ]. IEEE Signal Processing Magazine, 2019, 36(2) : 81-100.

[ 4 ] LIU J L, ALLSTOT D J. Compressed sensing  $\Sigma - \Delta$  modulators and recovery algorithm for multi-channel bio-signal acquisition [ C ]. 2021 IEEE International Symposium on Circuits and Systems (ISCAS). IEEE, 2021: 1-4.

[ 5 ] GUO W J, KIM Y, TEWFIK A H. et al. A fully passive compressive sensing SAR ADC for low-power wireless

- sensors[J]. IEEE Journal of Solid-State Circuits, 2017, 52(8): 2154-2167.
- [6] DAPONTE P, DE VITO L, RAPUANO S, et al. Analog-to-information converters in the wideband rf measurement for aerospace applications; Current situation and perspectives [J]. IEEE Instrumentation & Measurement Magazine, 2017, 20(1): 20-28.
- [7] HARMS A, BAJWA W U, CALDERBANK R. A constrained random demodulator for sub-Nyquist sampling [J]. IEEE Transactions on Signal Processing, 2012, 61(3): 707-723.
- [8] LADAROLA G, DAPONTE P, DE VITO L, et al. On the effects of PRBS non-idealities in signal reconstruction from AICs [J]. IEEE Transactions on Instrumentation and Measurement, 2023, 72: 1-11.
- [9] BAI L, ROY S. Compressive spectrum sensing using a bandpass sampling architecture [J]. IEEE Journal on Emerging and Selected Topics in Circuits and Systems, 2012, 2(3): 433-442.
- [10] BYAMBADORJ Z, ASAMI K, YAMAGUCHI T J, et al. Theoretical analysis of noise figure for modulated wideband converter [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 67(1): 298-308.
- [11] BYAMBADORJ Z, ASAMI K, YAMAGUCHI T J, et al. A calibration technique for simultaneous estimation of actual sensing matrix coefficients on modulated wideband converters [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(12): 5561-5573.
- [12] VAUGHAN R G, SCOTT N L, WHITE D R. The theory of bandpass sampling [J]. IEEE Transactions on Signal Processing, 1991, 39(9): 1973-1984.
- [13] 宋欣欣, 钱慧. 一种基于 LPTV 的开关电容模拟信息转换器设计 [J]. 电子测量与仪器学报, 2020, 34(5): 165-173.
- SONG X X, QIAN H. Design of switched capacitor analog-to-information converter based on LPTV [J]. Journal of Electronic Measurement and Instrumentation, 2020, 34(5): 165-173.
- [14] 池博浩, 江浩, 钱慧, 等. 用于心电信号的能量最大化模拟信息转换系统 [J]. 仪器仪表学报, 2021, 42(3): 213-220.
- CHI B H, JIANG H, QIAN H, et al. Energy maximization analog-to-information converter system for ECG signal [J]. Chinese Journal of Scientific Instrument, 2021, 42(3): 213-220.
- [15] TROPP J A, LASKA J N, DUARTE M F, et al. Beyond nyquist; Efficient sampling of sparse bandlimited signals [J]. IEEE Transactions on Information Theory, 2009, 56(1): 520-544.
- [16] TAN Z C, CHEN C H, CHAE Y, et al. Incremental delta-sigma ADCs; A tutorial review [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(12): 4161-4173.
- [17] SILVA V M L, SOUZA C P, FREIRE R C S, et al. Novel IEEE-STD-1241-based test methods for analog-to-information converter [J]. IEEE Transactions on Instrumentation and Measurement 2019, 69(4): 1609-1619.
- [18] WANG H T, LEON-SALAS W D. An incremental sigma delta converter for compressive sensing applications [C]. 2011 IEEE International Symposium of Circuits and Systems (ISCAS). IEEE, 2011: 522-525.
- [19] LIU J L, ALLSTOT D J. Compressed sensing  $\Sigma$ - $\Delta$  modulators and a recovery algorithm for multi-channel wireless bio-signal acquisition [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2023, 70(4): 1429-1438.
- [20] FANG L R, ZHANG S W, ZENG X Y. An 828- $\mu$ W 100.9-dB SNDR 20-kHz BW zoom-linear-exponential incremental ADC with split positive feedback and duty-cycle amplifier [J]. IEEE Solid-State Circuits Letters, 2024, 8: 1-4.
- [21] ZHANG M L, CAI Q S, YANG Z Y, et al. A 1-MHz-bandwidth Gm-C-based quadrature bandpass sigma-delta modulator achieving  $-153.7$  dBFS/Hz NSD with background calibration [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(3): 909-919.

## 作者简介



刘彬, 2023 年于江西理工大学获得学士学位, 现为福州大学硕士研究生, 主要研究方向为信号采集、集成电路等。

E-mail: 18779937876@163.com

**Liu Bin** received his B. Sc. degree from

Jiangxi University of Science and Technology University in 2023. Now he is a M. Sc. candidate at Fuzhou University. His main research interest includes acquisition of signal and integrated circuit, et al.



钱慧 (通信作者), 2012 年于福州大学获得博士学位, 现为福州大学副教授, 博士生导师, 主要研究方向为下一代采样理论、新型模数转换器架构以及电路与系统设计等。

E-mail: qianhui@fzu.edu.cn

**Qian Hui** (Corresponding author) received her Ph. D. degree from Fuzhou University in 2012. Now she is an associate professor and a Ph. D. supervisor at Fuzhou University. Her main research interests include next-generation sampling theory, novel analog-to-digital converter architectures, and circuit and system design, et al.