

DOI: 10.13382/j.jemi.B2508378

# 面向时间寄存器型模拟时域电路的自动校准电路\*

翁毅钦<sup>1</sup> 方宇龙<sup>1</sup> 钟杨源<sup>2</sup> 吴雨帆<sup>1</sup> 阴亚东<sup>1</sup>

(1. 福州大学物理与信息工程学院 福州 350116; 2. 福建省福芯电子科技有限公司 福州 350100)

**摘要:**基于时间寄存器的模拟时域信号处理电路(简称为模拟时域电路)是当前研究热点,具有低功耗、抗干扰能力强等优点,但仍存在时间寄存器溢出问题。提出并验证了一种自动校准电路,可有效解决模拟时域电路因工艺-电压-温度(PVT)造成的时间寄存器溢出问题。该电路主要由时间寄存器、数字控制算法、时间误差检测器和可编程电流源构成。其利用数字控制算法并结合时间误差检测器能够实时检测时间寄存器存在溢出风险;当检测到存在溢出风险时,将其自适应地修改可编程偏置电流以调整时间寄存器中电容放电速度从而消除风险。该校准电路采用SMIC 0.18  $\mu\text{m}$  CMOS工艺进行设计和流片。芯片测试结果表明,未使用该校准电路时,温度和电源电压波动时时间寄存器存在溢出风险,造成了模拟时域信号时序偏差大于15%;当使用该校准电路时,时间寄存器可保持稳定,时序偏差小于1%。该设计可集成至时间-数值转换器和全数字锁相环等模拟时域信号处理电路中以提升电路鲁棒性。

**关键词:**时间寄存器;自动校准;PVT变化;模拟时域信号处理电路

**中图分类号:**TN432 **文献标识码:**A **国家标准学科分类代码:**510.2010

## Automatic calibration circuit for time register-based analog time-domain circuits

Weng Yiqin<sup>1</sup> Fang Yulong<sup>1</sup> Zhong Yangyuan<sup>2</sup> Wu Yufan<sup>1</sup> Yin Yadong<sup>1</sup>

(1. Department of Physics and Information Engineering, Fuzhou University, Fuzhou 350116, China;

2. Fujian Fuxin Electronics Technology Co., Ltd., Fuzhou 350100, China)

**Abstract:** The analog time-register-based time-domain signal processing circuit (refer as analog time-domain circuits for short) is a current research hotspot, featuring lots of merits such as low power consumption and strong anti-interference ability. However, it suffers the time register-overflowing issue. This paper proposes and verifies an automatic calibration circuit that can effectively solve the problem of time register overflow caused by process-voltage-temperature (PVT) variations in analog time-domain circuits. The circuit mainly consists of a time register, a digital control algorithm, a time error detector, and a programmable current source. By using the digital control algorithm in combination with the time error detector, it can detect in real time whether the time register is at risk of overflow. When an overflow risk is detected, it will adaptively modify the programmable bias current to adjust the capacitor discharging speed in the time register therefore eliminate the risk. The calibration circuit is designed and fabricated using the SMIC 0.18  $\mu\text{m}$  CMOS process. The chip test results show that, without using this calibration circuit, when the temperature and power supply voltage fluctuate, the time register bears the overflowing risk and a time deviation of the analog time-domain signal greater than 15% is observed. When using this calibration circuit, the time register runs stably, and the time deviation is less than 1%. This design can be integrated into kinds of analog time-domain signal processing circuits such as time-to-digital converters and all-digital phase-locked loops, to enhance their robustness.

**Keywords:** time register; automatic calibration; PVT variation; ATDSPC

收稿日期:2025-05-14 Received Date: 2025-05-14

\* 基金项目:福建省工业引导性(重点)项目(2024H0006)、福建省对外合作项目(2020I0005)、福建省高校产学研合作项目(2020Y4017)资助

## 0 引言

时间域信号处理(time-domain processing, TDP)电路是近几年出现的新型数模混合电路<sup>[1-5]</sup>。研究表明, TDP电路兼具数字电路和模拟电路优点。一方面, 其内部信号为数字脉冲信号, 因此不仅具有较好的抗干扰能力且其信号的处理可几乎由数字电路完成。另一方面, 其信号采用脉冲宽度来表征信息, 由于其所传递和处理的信息可为未经量化的模拟量, 因此还可有效地避免数字量化导致的信息失真。时间寄存器(time register, TR)是近几年业界内常见 TDP 电路<sup>[6-11]</sup>的基础单元之一。当前业界报道了众多基于时间寄存器的 TDP 电路, 例如时域滤波器<sup>[12]</sup>、集成算法电路(time register and arithmetic circuit, TRAC)<sup>[13]</sup>、间歇式锁频环<sup>[14]</sup>、FSK (frequency-shift keying) 解调器<sup>[15]</sup>等, 这些设计均取得了不错的使用效果。虽然时间寄存器型 TDP 电路已被证明具有较好抗工艺-电压-温度(process, voltage, and temperature, PVT)变化的鲁棒性, 常规设计往往能承受 10%~20% 的 PVT 变化<sup>[14-15]</sup>。然而随着时域处理技术的发展, 业界对时间寄存器的 PVT 抑制能力提出了更高要求, 以满足高精度时间-数字转换器<sup>[16]</sup>等应用需求。为了满足 PVT 抑制能力要求, 当前 TDP 设计往往需要牺牲信号输入范围、运行速度等性能而进行折中。另一些设计则采用锁相环(phase-locked loop, PLL)、DLL (delay-locked loop)、全数字锁相环(all-Digital delay-locked loop, ADLL)等技术对电路进行校准以提升抗 PVT 能力<sup>[17-19]</sup>。然而这些校准方案往往难以完美适配时间寄存器电路, 存在电路复杂、芯片面积大、功耗高等问题。有鉴于此, 本文提出了一种简单有效的电容型时间寄存器校准电路。该校准电路不仅能够有效地提高时间寄存器的抗 PVT 性能, 同时还具有低功耗、小面积等优势。采用 SMIC CMOS 0.18  $\mu\text{m}$  工艺完成了校准电路设计和流片验证。芯片测试结果显示, 当校准电路开启时, 时间寄存器抗 PVT 能力得到了有效提升。

## 1 基于时间寄存器的 TDP 电路抗 PVT 分析

### 1.1 TDP 电路的抗 PVT 变化分析

时间寄存器是 TDP 电路中的关键功能模块, 一个 TDP 电路<sup>[13-16, 20-21]</sup>通常包含多个 TR 模块。文献<sup>[13]</sup>的 TRAC 由 4 个 TR 模块构成; 在 FSK 解调器的设计中, 文献<sup>[14]</sup>采用 6 个脉宽比较器实现了对时域信号的精确鉴别, 该脉宽比较器基于两个相同的 TR 电路实现; 文献<sup>[20]</sup>提出的 II 型锁相环(FLL)利用时间加法器实现时域微分与积分运算, 其中每个加法器均包含两个 TR

模块。研究表明, 这种基于多个时间寄存器实现的 TDP 电路展现出显著的抗 PVT 特性, 其输出结果仅与输入的时域信息有关。

脉宽比较器电路<sup>[15]</sup>如图 1(a)所示。该电路的核心组成为两个 TR 模块, 其输出信号 QA 和 QB 为两个时间寄存器输出信号,  $T_{OUT}$  为两个时间寄存器输出信号上升沿的时间间隔, 仅与输入信号  $T_{CKA}$  和  $T_{CKB}$  有关。TR 模块的电路示意图如图 1(b)所示, 与文献<sup>[22-23]</sup>类似, 该 TR 电路主要包含电容、比较器、开关管、偏置电流源以及一个或门电路。脉宽比较器中关键节点的工作时序图如图 1(c)所示。当复位信号 RST 为低电平时, 电容复位被充电至电源电压  $V_{DD}$ ; 输入信号 (CKA、CKB) 为高电平时电容放电, 电压  $V_{C1}$  与  $V_{C2}$  开始下降, 放电时间由输入信号的脉冲宽度决定; RPC 为高电平时, 两个 TR 中的电容同时放电, 当  $V_{C1}$  和  $V_{C2}$  小于比较器阈值电压时, TR 的输出信号跳变为高电平。假设两个 TR 模块完全相同, 根据电容的电流电压关系可得:

$$T_{CKA} + T_{RA1} = T_{CKB} + T_{RB2} = \frac{(V_{DD} - V_{TH}) \times C}{I_{bias}} \quad (1)$$

式中:  $I_{bias}$  为电容的放电电流;  $C$  为电容容值;  $T_{CKA}$  和  $T_{CKB}$  分别为 CKA 与 CKB 高电平脉冲时间;  $V_{DD}$  为电源电压;  $V_{TH}$  为比较器的阈值电压; TRA1 和 TRB2 分别是 RPC 脉冲信号上升沿与时间寄存器输出信号上升沿的时间差。根据图 1(c)可推导出时间寄存器输出信号 TRO1 和 TRO2 的上升沿时间间隔表达式为:

$$T_{OUT} = T_{RB2} - T_{RA1} = T_{CKA} - T_{CKB} \quad (2)$$

式(2)表明脉宽比较器的输出结果仅与输入的时间信号有关, 而与  $V_{DD}$ 、 $V_{TH}$ 、 $C$ 、 $I_{bias}$  等电路参数无关。这一特性意味着 PVT 变化不会影响脉宽比较器的输出结果。可以看出, 在 TDP 电路设计中, TDP 电路通过对使用时间寄存器, 实现了与 PVT 变化无关的特性, 增强了电路鲁棒性。

### 1.2 时间寄存器的溢出问题分析

由 1.1 节的分析可知, 基于时间寄存器的 TDP 电路输出结果理论上不受 PVT 变化的影响, 具有很高的稳定性。然而, 这一优势的实现必须以时间寄存器模块在 PVT 变化下仍能保持正常工作为前提。实际上, 时间寄存器的工作状态仍会受到 PVT 变化的影响, 当 PVT 变化超出设计容限时, 时间寄存器可能无法正常工作, 导致 TDP 电路功能失效。

时间寄存器的核心工作过程是电容放电, 其放电时间可定量表示为:

$$T_{TRO} = \frac{(V_{DD} - V_{TH}) \cdot C - I_{bias} \cdot T_{CKA}}{I_{bias}} \quad (3)$$

式中:  $C$  为电容的容值;  $V_{DD}$  为电源电压;  $V_{TH}$  为比较器阈值电压;  $I_{bias}$  为放电电流。而当 PVT 变化时会直接影响

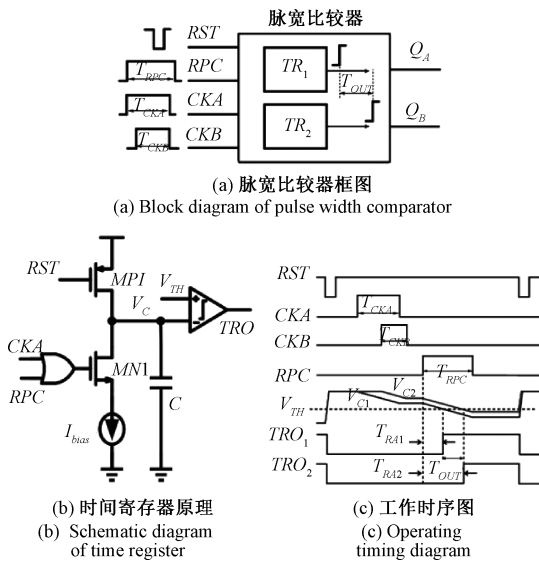


图 1 脉宽比较器工作原理  
Fig. 1 Working principle of pulse width comparator

这些参数,导致时间寄存器的工作异常。时间寄存器溢出问题如图 2 所示,在第 1 个时间周期  $T_1$ ,时间寄存器正常工作;TRO 上升沿落后于 RPC 上升沿。在第 2 个时间周期  $T_2$ ,由于 PVT 发生较大变化,时间寄存器电容放电速度发生明显变化,这可能导致两种溢出问题出现:1) TRO 上升沿先于 RPC 上升沿出现(曲线 a);2) 在 RPC 高电平脉宽期间,电压 VC 仍高于阈值电压  $V_{TH}$ ,TRO 未发生翻转(曲线 b)。这种由于电源电压波动及温度漂移引起的溢出问题将直接导致时间寄存器工作不正常,从而影响整体 TDP 电路的性能和稳定性。

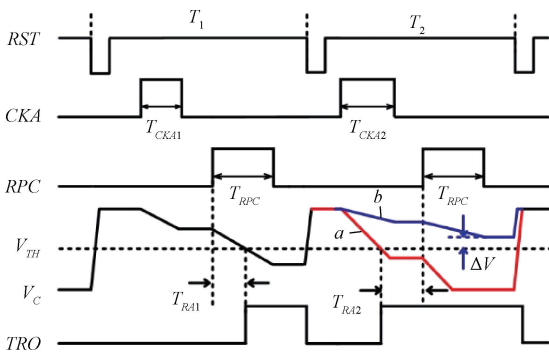


图 2 时间寄存器溢出问题示意图  
Fig. 2 Schematic diagram of time register overflow problem

以  $t_t/27\text{ }^\circ\text{C}/1.8\text{ V}$  时的时间寄存器输出时序为标准,模拟 PVT 变化下输出时序出现的偏差,如图 3 所示,PVT 的变化会引发时间寄存器输出时序的显著改变。

因此,综合上述分析可以看出,基于时间寄存器的 TDP 电路的抗 PVT 能力存在一定的局限性。只有当时间寄存器正常工作,不出现溢出问题时,TDP 电路才能保

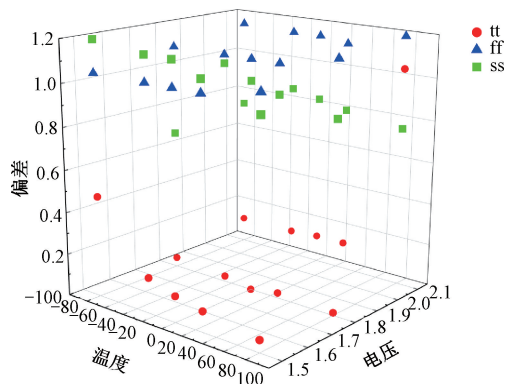


图 3 PVT 波动下时间寄存器仿真  
Fig. 3 Simulated waveforms of the time register under PVT variation

持与 PVT 变化无关的理想特性。出于对功耗、面积和成本等关键设计指标的综合优化考虑,TDP 电路通常避免采用低压差线性稳压器和基准电流源等模拟电路模块,这种设计选择使其在复杂工作环境下的性能稳定性面临严峻挑战。为保障在 PVT 变化下的功能正确,现有的 TDP 电路设计往往采用限制输入范围与降低操作频率以避免溢出问题的发生<sup>[17,24]</sup>,然而这些方案都将不可避免地导致了电路性能下降以及 TDP 电路应用范围的缩小。在性能、面积与功耗的考虑下,本文提出了一种针对内部时间寄存器模块的校准电路。该方案旨在确保时间寄存器在广泛的 PVT 变化下保持可靠工作,并有效防止溢出错误的发生,显著拓宽了其输入信号的动态范围,使基于时间寄存器的 TDP 电路适应更严苛的应用场景,极大地拓展了其应用潜力。

## 2 自动校准电路设计

### 2.1 基本原理

虽然基于时间寄存器的 TDP 电路具有较好的鲁棒性,但 PVT 变化仍然会造成电容总放电时间发生明显变化,从而导致溢出问题出现。当前 TDP 设计往往采用 PLL, DLL, 以及 ADLL 等技术实现校准<sup>[17-19]</sup>。虽然这些方案可对时间域电路进行精确校准,但现有方案往往难以完美适配时间寄存器电路;且存在电路复杂、芯片面积大、功耗高等问题。因此本文针对时间寄存器的工作特点,提出一种低功耗的自动校准电路。图 4(a)所示为本文所述校准电路的电路结构,该电路基于主从时间寄存器结构设计<sup>[25]</sup>。主时间寄存器为校准对象,而从时间寄存器作为监测对象。校准回路由从 TR、两个 D 触发器组成的 TR 电容放电时间误差检测电路、可编程电流源和数字控制模块(digital control technology, DCT)等构成。其原理为,数字控制模块 DCT 在系统时钟 CKS 驱动下,

轮换地产生复位信号 CKR 和放电信号 CKI,其中 CKI 的脉宽等于预定的时间寄存器总放电时间。同时 DCT 输出一 7 bit 的控制字 TRCAL<6:0>,用于确定可编程电流源的输出电流  $I_{CP}$ 。CKR 和 CKI 分别作为时间寄存器复位信号和放电信号;可编程电流  $I_{CP}$  则作为被监测的时间寄存器中的放电电流。在三者的作用下,监测从 TR 的输出信号 TRO 翻转。时间误差检测电路在时钟 CKL 和 CKN 的作用下对 TRO 进行检测;当其 2 bit 输出 SP 等于 2'b11,则表明 TRO 上升沿超前于 CKL 和 CKN 的上升沿;当 SP 为 2'b00,则表明 TRO 上升沿在 CKL 和 CKN 的上升沿之后出现;当 SP 为 2'b10,则表明 TRO 上升沿在两者之间出现。由于 CKI、CKL 和 CKN 均来自于同一时钟 CKS;将 CKI 与 CKL 上升沿之间间隔表示为  $T_{MIN}$  而 CKI 与 CKN 上升沿之间间隔表示为  $T_{MAX}$ 。因此,

SP = 2'b11 表示时间寄存器放电时间  $t_{CP} < T_{MIN}$ ; SP = 2'b00 则表示时间寄存器放电时间  $t_{CP} > T_{MAX}$ ; SP = 2'b10 则表示时间寄存器放电时间  $T_{MAX} > t_{CP} > T_{MIN}$ 。因此 DCT 将根据检测结果调整可编程电流源电流  $I_{CP}$ ,当 SP = 2'b11,则减少放电电流以延长其放大时间;当 SP = 2'b00,则增加放电电流以缩短其放大时间。最终确保 SP = 2'b10 以使电流  $I_{CP}$  固定于  $(T_{MIN}, T_{MAX})$ 。同时,DCT 分别使用了 CKS 的上升沿和下降沿来生成 CKL 和 CKN,因此最终可将时间寄存器放大时间误差控制在约 0.5 个 CKS 周期内。自动校准电路的工作时序如图 4(b) 所示,可推出时间寄存器放电时间范围为:

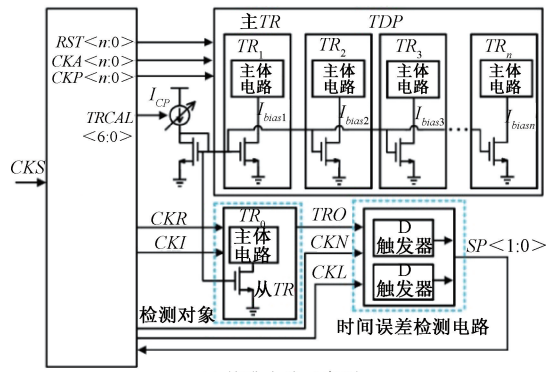
$$T_d - \frac{1}{2}T_{CKS} < t_{CP} < T_d \quad (4)$$

式中: $T_d$  为放大信号 CKI 的脉宽时间; $T_{CKS}$  为系统时钟周期。 $T_d$  参数的确定取决于系统设计要求的输入时间信号,在完成 CKI 脉宽时间  $T_d$  的配置后,再将校准电路中的电流  $I_{CP}$  镜像至待校准的主时间寄存器。该自动校准电路能够对主时间寄存器的放电速度进行实时校正,使其放电时间在 PVT 变化下保持在一个预设的时间范围内,无溢出问题,从而确保了 TDP 电路在复杂环境下的时序稳定性。

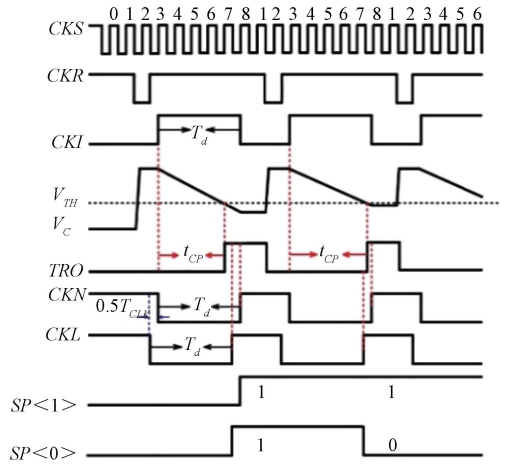
### 2.2 具体电路设计

校准电路的从 TR 电路原理如图 5 所示,MOS 管 M1 与 M2 组成了开关对,分别控制电容的充放电过程;该电路集成了一个 4 bit 数模转换器 (digital-to-analog converter, DAC),DAC 用于产生比较器的阈值电压  $V_{TH}$ ,使  $V_{TH}$  可根据系统需求进行动态调节,增强了电路的适应性;比较器采用内部正反馈型迟滞比较器结构,迟滞效应可提高电路抗干扰能力;M3 ~ M6 构成共源共栅 (Cascode) 电流镜结构,可有效抑制电容电压  $V_C$  变化对电流镜输出电流的干扰,提高了电流源的稳定性和精度。

图 5 中偏置电流  $I_{bias}$  由可编程电流偏置电路产生,



(a) 校准电路示意图  
(a) Calibration circuit



(b) 工作时序图  
(b) Operating timing diagram

图 4 校准电路工作原理

Fig. 4 Working principle of the calibration circuit

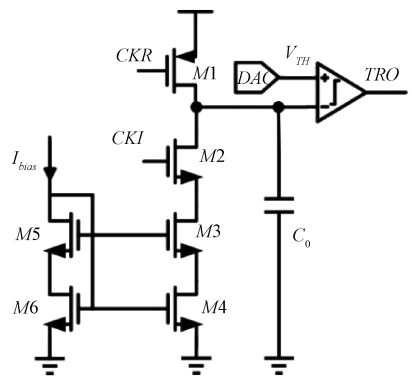


图 5 时间寄存器电路原理

Fig. 5 Time register circuit schematic diagram

如图 6 所示。其中 M1 与 M2 采用二极管连接方式;M3 ~ M5 构成电流镜结构;M6 为开关管,由数字码 TRCAL<6:0>控制。当 TRCAL<6:0>为高电平时,M6 关断;TRCAL<6:0>为低电平时,M6 导通。放大器采用简单的五管 OTA 结构设计,放大器的正输出端电压  $V_x$  由二

级管连接的 PMOS 管串联产生。相较于电阻分压,这种方法可以节省版图面积,降低静态功耗。此外,二极管连接 PMOS 管的栅源电压对电源电压变化不敏感,可以提高电路的抗干扰能力。基于 MOS 管的 IV 特性曲线,可知 M1 与 M2 的漏极电流表达式为:

$$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (|V_{GS}| - |V_{thp}|)^2 \quad (5)$$

M1 和 M2 性能参数完全相同,且栅源电压与阈值电压相等,即  $V_{GS1} = V_{GS2}$  和  $V_{thp1} = V_{thp2}$ 。因此,放大器正端输入电压表达式为:

$$V_x = V_{DD} \times \frac{N}{M + N} \quad (6)$$

式中:  $M$  和  $N$  分别表示相同 PMOS 管的串联级数。假设运算放大器 OTA 满足理想条件,则其正端电压与负端电压可近似认为相等。M3 与 M4 宽长比相等,可推导出该电路的输出电流表达式为:

$$I_{bias} = I_1 + I(n) = \frac{V_{DD}}{R} \times \frac{N}{M + N} + I(n) \quad (7)$$

式中:  $R$  为接地电阻。电流  $I(n)$  的大小由数字信号  $TRCAL < 6: 0 >$  决定。当  $TRCAL < 6: 0 >$  全 0 时,开关管全部打开,电流  $I(n)$  有最大值。

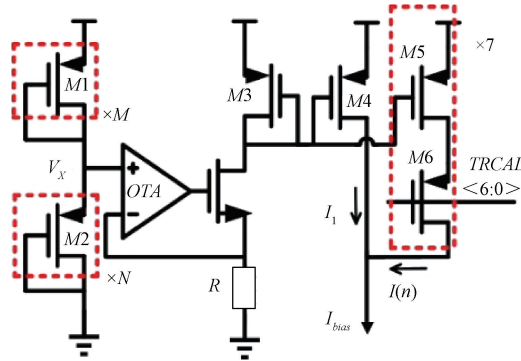


图 6 可编程电流偏置电路

Fig. 6 Programmable current bias circuit

### 3 实验验证

本文所述自动校准电路是作为一款 TDP 电路子模块而进行设计,其将负责实时监测 PVT 变化并自适应地调整 TDP 电路中时间寄存器的放电电流,确保时间寄存器工作正常。最终使用 SMIC 0.18  $\mu\text{m}$  CMOS 工艺完成了流片验证,芯片版图如图 7 所示,其版图面积仅为 0.016  $\text{mm}^2$ 。同时可以看到,芯片采用了星型拓扑布局;其中,校准电路(主 TR)居中放置而其他模拟时域电路(从 TR)则围绕其放置。

为了表示自动校准电路的实时监测和自适应调整效果,实验采用可编程温湿度试验箱与低压差线性稳压器

其他模拟时域电路(从TR)  
校准电路(主TR)

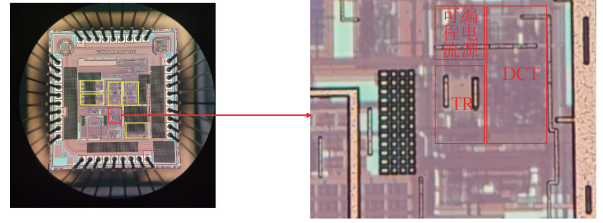


图 7 芯片版图

Fig. 7 Chip layout

(low-dropout regulator, LDO), 构建了针对校准电路的 PVT 变化测试平台如图 8 所示,采用复杂可编程逻辑器件 (complex programmable logic device, CPLD) 产生精确可调的输入时序信号,待测芯片的输出信号使用高速示波器进行采集与测量,旨在系统性地验证电路在温度和电源电压变化条件下的功能稳定性与校准精度。

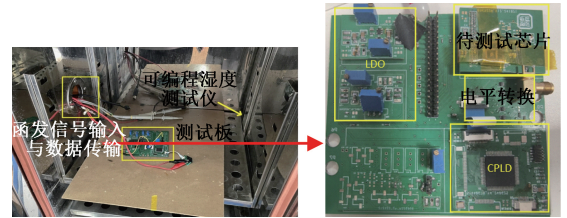


图 8 校准电路的 PCB 电路板及其测试场景

Fig. 8 The PCB board of the proposed calibration circuit and its measurement

本文利用 TDP 电路中某一时间寄存器型减法器作为测试对象,在集成自动校准电路的时间寄存器模块后,时域减法器的输入有效范围 0~300 ns,图 9 所示的为该时间减法器电路结构,其由两个完成相同的 TR 模块和一个异或门电路组成。基于对 TR 的分析可知,时间减法器输出信号时序表达式为:

$$t_{CKO} = t_{CKOA} - t_{CKOB} \quad (7)$$

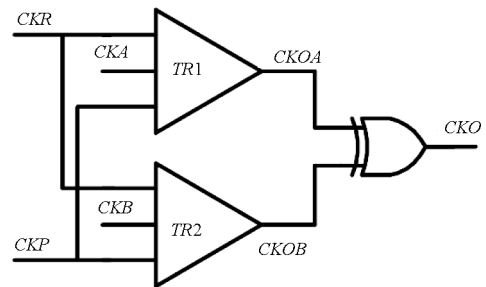


图 9 时间减法器

Fig. 9 Time subtractor

在温度漂移和电源电压波动情况下,对比测试了开

启/关闭自动校准电路时间减法器输出情况,测试结果如图 10 和 11 所示。图 10(a)为禁用校准功能且电源电压为 1.8 V 时,时间减法器工作情况,输入信号  $t_{CKA} = 50$  ns,  $t_{CKB} = 240$  ns, 此时减法器工作正常,  $t_{CKO} = |t_{CKA} - t_{CKB}| = 190$  ns。图 10(b)为电源电压波动下降至 1.2 V 的情况,由于电源电压下降导致时间寄存器总放电缩短而造成时域减法器工作异常,  $t_{CKO} \approx 160$  ns, 偏差约为 15.8%。作为比较,图 10(c)为同样电压波动情况下启用校准功能时的情况。由图 10 可知,自动校准电路能够监测电源电压下降而自适应地减少电容放电电流而确保减法器工作正常,此时  $t_{CKO} \approx 189.2$  ns, 偏差仅为 0.4%。类似地,图 11 为温度发生变化时的测试结果。由图 11(b)可知,当环境温度升高造成放电电流上升,若校准电路关闭则时域减法器结果  $t_{CKO} \approx 76.88$  ns, 偏差高达 60%;由图 11(c)可知,开启自动校准电路时,  $t_{CKO} \approx 190.9$  ns, 偏差小于 0.5%。

图 10 和 11 测试结果有力地证明了本文所述自动校准电路能够有效地提升时间寄存器型时域信号处理电路

的鲁棒性,充分地证明了本文设计达到了预期目标。本文设计与当前同类设计进行综合比较如表 1 所示。需要说明的是,虽然当前一些 TDP 设计未使用校准电路而具备一定抗 PVT 变化能力,然而其往往在输入范围和运算速度方面大打折扣。与采用其他校准电路的同类 TDP 设计相比,本文方案校准精度为 1%,虽然低于现有其他 TDP 校准技术 (<0.5%),但基本能够满足时间寄存器校准要求。相较于现有技术,本文方案在芯片面积、功耗等方面存在明显优势。

表 1 与 TDP 校准电路的性能比较  
Table 1 Performance comparison with the TDP calibration circuit

校准方式	面积/mm <sup>2</sup>	功耗/mW	精度/%
This work	0.016	<18	<1
PLL <sup>[18]</sup>	3*	2	<0.2*
DLL <sup>[17]</sup>	0.03*	6.6	<0.5*
ADDLL <sup>[19]</sup>	0.2*	<20*	<0.5*

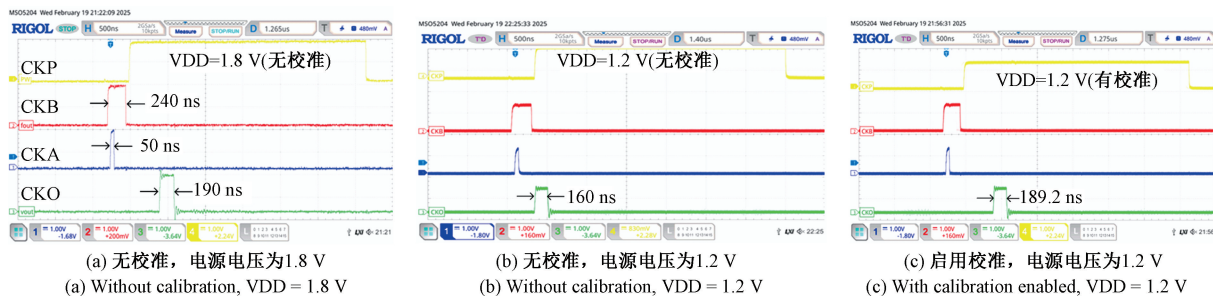


图 10 电源电压变化对输出脉宽  $t_{CKO}$  的影响

Fig. 10 Effect of supply voltage variation on output pulse width  $t_{CKO}$

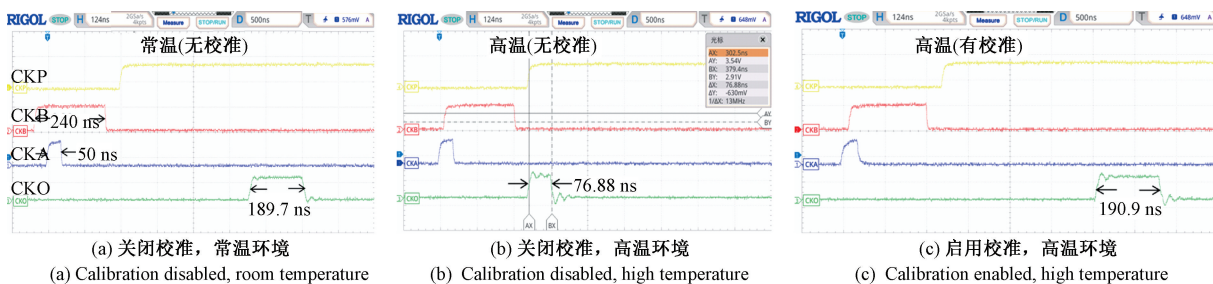


图 11 环境温度变化对输出脉宽  $t_{CKO}$  的影响

Fig. 11 Effect of ambient temperature variation on output pulse width  $t_{CKO}$

## 4 结论

本文提出了一种面向时间寄存器的新型自动校准电路。该电路通过集成数字校准回路,实现了 TR 电容放电速率的动态调节,从而校正时间寄存器的工作状态。

与传统的无校准时间寄存器相比,自动校准电路通过实时补偿 PVT 变化引起的时序偏差,将时间寄存器的时序误差控制在  $\pm 1\%$  以内。校准电路以 SMIC 0.18  $\mu\text{m}$  CMOS 工艺设计实现,标称工作电压为 1.8 V,版图面积仅为 0.016 mm<sup>2</sup>。测试结果表明,自动校准电路能使时间寄存器在宽电压范围和温度变化较大环境下保持正常工作状

态。该校准电路不仅有效解决了常规时间寄存器在复杂工作环境下的溢出问题,而且显著提升了 TDP 电路对 PVT 变化的鲁棒性,为 TDP 电路的可靠运行提供了关键技术支撑。这种全数字化的实现方案简化了电路设计复杂度,更为 TDP 电路提供了一种可扩展、易集成的 PVT 补偿解决方案。

## 参考文献

- [ 1 ] MIYASHITA D, ISHIKAWA T, TAKI M, et al. A 10.4pJ/b (32, 8) LDPC decoder with time-domain analog and digital mixed-signal processing [ C ]. IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC). IEEE, 2013; 420-421.
- [ 2 ] 冀少星. 基于 VCO 的数字化时域模数转换器研究 [ D ]. 西安:西安电子科技大学, 2018.  
JI SH X. Research on VCO-based digital time-domain analog-to-digital converter [ D ]. Xi' an: Xidian University, 2018.
- [ 3 ] RAY S, KINGET P R. A 31-feature, 80nW, 0.53mm<sup>2</sup> audio analog feature extractor based on time-mode analog filterbank interpolation and time-mode analog rectification [ C ]. 2022 IEEE Symposium on VLSI Technology and Circuits ( VLSI Technology and Circuits ). IEEE, 2022; 184-185.
- [ 4 ] PAGKALOS K P, PANETAS-FELOURIS O, KALENTERIDIS V, et al. Analog latch for time-mode PWM signal processing [ C ]. Proceedings of 2023 12th International Conference on Modern Circuits and Systems Technologies ( MOCAS ). IEEE, 2023; 1-4.
- [ 5 ] SAHA S, KAR B, SUR-KOLAY S. A novel architecture for QPSK modulation based on time-mode signal processing [ C ]. Proceedings of the 18th International Symposium on VLSI Design and Test. IEEE, 2014; 1-6.
- [ 6 ] 赵倩,陈杨军. 基于时间模式信号处理的三阶 FIR 滤波器实现 [ J ]. 电子设计工程, 2023, 31(20): 91-95.  
ZHAO Q, CHEN Y J. Implementation of third-order FIR filter based on time-mode signal processing [ J ]. Electronic Design Engineering, 2023, 31 ( 20 ): 91-95.
- [ 7 ] YIN Y, EL-SANKARY K, CHEN Z, et al. An intermittent frequency synthesizer with accurate frequency detection for fast duty-cycled receivers [ J ]. IEEE Access, 2020, 8; 45148-45155.
- [ 8 ] ZIABAKHSH S, GAGNON G, ROBERTS G W. A time-mode LDI-based resonator for a band-pass  $\Delta\Sigma$  TDC [ C ]. Proceedings of 2017 IEEE 60th International Midwest Symposium on Circuits and Systems ( MWSCAS ). IEEE, 2017; 1296-1299.
- [ 9 ] PANETAS-FELOURIS O, VLASSIS S. Time-mode z-1 programmable multiplier [ C ]. Proceedings of 2022 29th IEEE International Conference on Electronics, Circuits and Systems ( ICECS ). IEEE, 2022; 1-4.
- [ 10 ] ZHU G, YUAN F, KHAN G. A 0.13  $\mu\text{m}$  CMOS 5-MHz BW 47-dB SNDR all-digital time-mode first-order  $\Delta\Sigma$  ADC with 3-bit gated VCO quantizer [ C ]. Proceedings of 2015 9th International Conference on Electrical and Electronics Engineering ( ELECO ). IEEE, 2015; 29-32.
- [ 11 ] ZHU K, FENG J, LYU Y. A 336fs rms 0.89mW 200MS/s 5MHz Bandwidth 2-2 MASH  $\Delta\Sigma$  time-to-digital converter with differential time-mode arithmetic units [ C ]. 2020 IEEE International Symposium on Circuits and Systems ( ISCAS ). IEEE, 2020; 1-4.
- [ 12 ] PAGKALOS K P, PANETAS-FELOURIS O, VLASSIS S. A feedforward programmable time-mode comb filter [ C ]. Proceedings of 2024 Panhellenic Conference on Electronics & Telecommunications ( PACET ). IEEE, 2024; 1-4.
- [ 13 ] LEE D, LEE D, LEE T, et al. An integrated time register and arithmetic circuit with combined operation for time-domain signal processing [ C ]. Proceedings of IEEE International Symposium on Circuits and Systems ( ISCAS ). IEEE, 2015; 1830-1833.
- [ 14 ] YIN Y, ZHANG Z, XIAO W, et al. An FLL providing real-time frequency calibration for OOK power oscillator transmitters [ J ]. IEEE Transactions on Circuits and Systems II, 2023, 70(9): 3233-3237.
- [ 15 ] 阴亚东,黄怡涛. 一种基于时间寄存器型脉宽比较器和离散时间微分器的无采样时钟准数字 FSK 解调器 [ J ]. 仪器仪表学报, 2022, 43(8): 147-153.  
YIN Y D, HUANG Y T. A quasi-digital FSK demodulator without sampling clock based on time-registering pulse-width comparator and discrete-time differentiator [ J ]. Chinese Journal of Scientific Instrument, 2022, 43(8): 147-153.
- [ 16 ] KIM K, YU W, CHO S. A 9 bit, 1.12 ps resolution 2.5 b/stage pipelined time-to-digital converter in 65 nm CMOS using time-register [ J ]. IEEE Journal of Solid-State Circuits, 2014, 49(4): 1007-1016.
- [ 17 ] WANG X Y, ZHOU Z Y, LI C L, et al. A 7.9 ps resolution, multi-event TDC using an ultra-low static phase error DLL and high linearity time amplifier for dToF sensors [ C ]. IEEE Custom Integrated Circuits Conference ( CICC ). IEEE, 2024; 1-2.
- [ 18 ] ZHANG C, LINDNER S, ANTOLOVIĆ I M, et al. A 30-frames/s, 252  $\times$  144 SPAD flash LiDAR with 1728 dual-clock 48.8-ps TDCs and pixel-wise integrated

- histogramming [J]. IEEE Journal of Solid-State Circuits, 2019, 54(4): 1137-1151.
- [19] HEJAZI A, WANG X, LI D, et al. A low-power multichannel time-to-digital converter using all-digital nested delay-locked loops with 50-ps resolution and high throughput for LiDAR sensors[J]. IEEE Transactions on Instrumentation and Measurement, 2020, 69 ( 11 ): 9262-9271.
- [20] YIN Y, EL-SANKARY K, CHEN Z, et al. A Type-II analog PLL with time-domain processing[C]. 2021 IEEE International Symposium on Circuits and Systems (ISCAS). IEEE, 2021: 1-5.
- [21] KARMAKAR A, DE SMEDT V, LEROUX P. Pseudo-differential time-domain integrator using charge-based time-domain circuits[C]. 2021 IEEE 12th Latin America Symposium on Circuits and System (LASCAS). IEEE, 2021: 1-4.
- [22] YIN Y D, ZHANG L H. Ultra-low-power FSK demodulator with frequency-offset tolerance [J]. IEEE Transactions on Electrical and Electronic Engineering, 2019, 14: 768-772.
- [23] ZHU K, FENG J, LYU Y, et al. High-precision differential time integrator based on time adder [J]. Electronics Letters, 2018, 54(22): 1268-1270.
- [24] KIM D, KIM K, YU W, et al. A second-order  $\Delta\Sigma$  time-to-digital converter using highly digital time-domain arithmetic circuits [J]. IEEE Transactions on Circuits

and Systems II: Express Briefs, 2019, 66 ( 10 ): 1643-1647.

- [25] ORFEAS P F, VLASSIS S. A novel time register with process and temperature calibration[C]. Proceedings of the 10th International Conference on Modern Circuits and Systems Technologies (MOCASST). IEEE, 2021: 1-4.

## 作者简介



翁毅钦, 2023 年于福州大学获得学士学位, 现为福州大学硕士研究生, 主要研究方向为 CMOS 混合信号集成电路。

E-mail: 1125263214@qq.com

**Weng Yiqin** received his B. Sc. degree from Fuzhou University in 2023. He is now a M. Sc. candidate at Fuzhou University. His main research interest includes CMOS mixed-signal integrated circuits.



阴亚东 (通信作者), 2003 于北京交通大学获得学士学位, 2009 年于中国科学院微电子研究所获得博士学位, 现为福州大学研究员, 主要从事混合信号电路、智能微系统等方向的研究工作。

E-mail: yinyadong@fzu.edu.cn

**Yin Yadong** (Corresponding Author) received his B. Sc. degree from Beijing Jiaotong University in 2003, and Ph. D. degree from the Institute of Microelectronics, Chinese Academy of Sciences in 2009. He is now a researcher at Fuzhou University. His main research interests include mixed-signal integrated circuits and intelligent micro-systems.