

低失调高摆率轨对轨运算放大器的设计

陶金龙 沈睿婷 陈红梅

(合肥工业大学微电子设计研究所 合肥 230601)

摘要:随着电子器件工艺的进步,芯片工作电压降低,对轨对轨运算放大器的性能要求越来越高,特别是在失调电压、摆率等关键参数方面。因此设计了一种低失调、高摆率轨对轨运算放大器,通过将一个高增益低带宽运算放大器和低增益高带宽结构进行级联,基于电流分配原理,实现输入级在轨对轨共模电压范围内的恒跨导;输出级采用前馈式AB类推挽放大器实现轨对轨输出,输出驱动能力强,同时设计了摆率增强电路来提升输入较大时输出摆率较低的不足,进一步提升了输出响应速度,增加了运放工作带宽;此外,为克服工艺偏差导致失调,在运算放大器输入级增加了数字熔丝对运放负载进行修调。最后,通过采用嵌套式密勒补偿实现运放工作稳定。后仿真结果表明,在2.2~5.5 V电源电压下,该运算放大器在1 kΩ和100 pF负载下具有10 MHz的增益带宽积,145 dB的开环电压增益、62°相位裕度和11 V/μs的输出摆率以及最高70 μV的失调电压。相较于其他轨对轨运算放大器设计,该设计通过修调技术有效降低了失调电压,并通过摆率增强电路显著提高了输出摆率,使得该运算放大器在有限功耗下能够驱动大负载,同时具备较高精度和性能表现。

关键词:轨对轨;恒跨导;摆率增强;熔丝修调;class AB

中图分类号: TN98; TN929. 52 文献标识码: A 国家标准学科分类代码: 470. 4017

Design of low offset and high swing rate rail to rail operational amplifier

Tao Jinlong Shen Ruiting Chen Hongmei

(Institute of VLSI Design, Hefei University of Technology, Hefei 230601, China)

Abstract: With the advancement of electronic device fabrication processes and the reduction of chip operating voltages, the performance requirements for rail to rail operational amplifiers have become increasingly stringent, particularly in critical parameters such as offset voltage and slew rate. This paper presents a low-offset, high slew rate rail to rail op-amp design. By cascading a high-gain low-bandwidth amplifier with a low-gain high-bandwidth architecture, constant transconductance is maintained across the rail to rail common-mode voltage range through current distribution principles. The output stage utilizes a feedforward Class AB push-pull amplifier to achieve rail to rail output with enhanced driving capability. A dedicated slew rate enhancement circuit is implemented to address the insufficient output slew rate under large input signals, thereby improving transient response and extending operational bandwidth. Additionally, to mitigate offset caused by process variations, a digital fuse trimming technique is incorporated at the input stage for load calibration. Operational stability is ensured through nested Miller compensation. Post-layout simulation results demonstrate that under a 2.2~5.5 V supply voltage with 1 kΩ and 100 pF load conditions, the op-amp achieves a gain-bandwidth product of 10 MHz, an open-loop gain of 145 dB, a phase margin of 62°, a slew rate of 11 V/μs, and a maximum offset voltage of 70 μV. Compared to conventional rail-to-rail op-amp designs, this architecture effectively reduces offset voltage through trimming technology and significantly enhances slew rate via dedicated enhancement circuitry, enabling the proposed design to drive heavy loads with high precision under constrained power consumption while maintaining superior performance metrics.

Keywords: rail to rail; constant transconductance; slew-rate enhancement; fuse adjustment; class AB

0 引言

运算放大器作为精密信号调理电路的核心元件,在现代电子系统中扮演着至关重要的角色。其中轨对轨运算放大器作为一种宽输入输出摆幅的模拟缓冲器^[1],在模拟前端电路中展现出独特的优势,广泛应用于液晶显示驱动器^[2-3],低压差线性稳压器^[4-6],模拟测试^[7-8]和信号监测^[9-10]等关键领域。随着现代科技的进步,对轨对轨运算放大器的精度要求越来越高,特别是在失调电压、摆率、开环增益、带宽、功耗等关键参数方面。因此如何设计一款能充分利用电源电压,确保输入输出动态范围,同时实现低电流消耗下快速信号响应和高精度输出的轨对轨放大器成为当前模拟集成电路领域的研究热点^[11]。

近年来学者们提出了多种创新电路结构以降低运算放大器失调电压。传统降低失调电压的方法是通过斩波结构和对称结构^[12]。Kusuda^[13]于 2016 年设计了一种独立的斩波运算跨导放大器 (operational transconductance amplifier, OTA),通过一种被称为自校正反馈的局部反馈技术抑制上调制斩波纹波,并采用 N 型金属-氧化物-半导体 (N-mental-oxide-semiconductor, NMOS) 输入开关自适应时钟增强技术使输入斩波开关的电荷注入量最小并保持稳定。但是实际情况中很难做到。许凌飞等^[14]在 2020 年设计了一种用于高带宽、高增益运放中的数字熔丝修调技术,进一步提高了运算放大器的性能。但是修调精度相对较低。

在高摆率方面也涌现出多项创新研究成果。2021 年文献[15]提出了一种电流再分配技术,减小静态电流损耗的同时,增加轨对轨输入的跨导,同时采用了动态 C 类放大器和近零死区控制技术,增加摆率的同时具有近零的静态电流。但是动态 C 类放大器工作在非线性区域会出现较大失真。2023 年文献[16]基于 NMOS 输入差分对和 P 型金属-氧化物-半导体 (P-mental-oxide-semiconductor, PMOS) 输入差分对级联设置了两个恒流源为电流镜提供自偏置,从而具有更高的跨导和更快的响应速度。然而,这种设计在获得性能提升的同时,也牺牲了很多功耗。

针对以上运算放大器降低失调电压与增大输出摆率方法的不足,本文设计并实现了一款低失调、高摆率高增益轨对轨运算放大器。为实现高增益指标,改运算放大器采用了 3 级运放结构:第 1 级采用全差分的折叠共源共栅结构,为了实现轨对轨输入,通过并联 PMOS 和 NMOS 差分对并联输入,使用较大尺寸的输入对管和折叠结构提供增益,并采用数字信号控制的尾电流进行失调电压补偿;中间级采用折叠共源共栅结构,实现双端输入双端输出,在提供较高增益的同时,将信号传输至输出

级,确保电路在整个共模输入电压范围内具有高增益;输出级采用 AB 类推挽结构,兼具高效率与轨对轨输出能力。针对大范围输入电压特性,本设计引入摆率增强技术,在较大摆幅输入时有效提升运算放大器的输出摆率,满足高带宽需求。

1 轨对轨运放原理

与传统运算放大器相比,轨对轨运放器在性能上具有显著优势,主要体现在其更宽的输入和输出摆幅特性。这种设计使得轨对轨运放器在处理接近电源和地输入信号时不会引入非线性失真,从而提供更高的动态范围,因此轨对轨运放器具有广泛的应用。

轨对轨运放器通常采用双端输入、单端输出的结构设计。高增益的轨对轨运放器通常采用 3 级结构,分别为恒跨导输入级、增益级和推挽输出级,同时配备偏置电路和相位补偿电路,如图 1 所示。

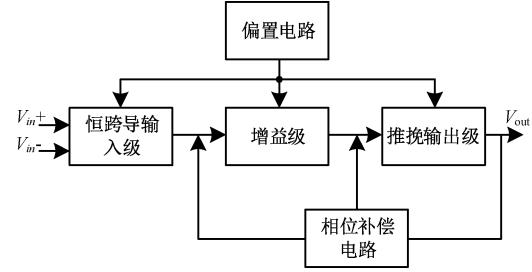


图 1 轨对轨运放基本结构框图

Fig. 1 Basic structure diagram of rail to rail operational amplifier

为提高轨对轨运放的共模抑制比和抗噪声性能,运放器一般采用差分输入结构;为提高轨对轨运放器的整体增益,增益级一般采用折叠共源共栅结构;输出级多采用 AB 类推挽输出级,这种结构不仅能够提高运放转换速率,还能实现接近电源到地输出范围。

2 本文轨对轨放大器整体结构设计

本文设计的低失调、高摆率轨对轨运放器的结构框图如图 2 所示。该电路主要由以下几个部分组成:恒跨导输入级电路采用互补金属-氧化物-半导体 (complementary metal-oxide-semiconductor, CMOS) 差分对结构,提高共模检测电路实现输入级跨导恒定。熔丝修调电路用于对失调电压进行精确修调。中间级在提升整体增益的同时,通过引入另一组输入差分对,实现轨对轨运放器高带宽的性能。摆率增强电路直接连接在中间级的输入端,显著提高了轨对轨运放器的响应速度。输出级采用了 AB 类推挽结构,不仅具有较高

输出效率,还实现运算放大器的轨对轨输出功能。在频率补偿方面,电路采用嵌套式密勒补偿结构,有效分离主次极点,防止轨对轨运算放大器产生自激振荡。此外,电路还包含启动电路、带隙基准电路以及电流镜组成的偏置电路,为各级电路提供稳定的偏置。

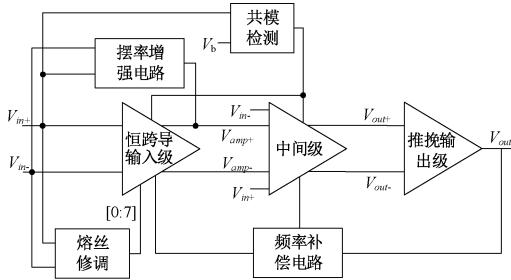


图 2 整体电路结构

Fig. 2 Overall circuit structure

设计采用 3 级运放级联结构,若未引入频率补偿设计,当运算放大器做为单位增益负反馈结构使用时,极易发生自激振荡现象。

密勒补偿技术基于密勒效应原理,在增益为 A 的运算放大器两端跨接一个电容,可使运算放大器输入端等效电容增大为跨接电容的 $(1+A)$ 倍,运算放大器输出端等效电容减小为跨接电容的 $(1+A^{-1})$ 倍。通过应用密勒补偿技术可以有效的降低主极点频率并增大次极点频率,从而优化两级运算放大器的频率响应特性。

本文采用嵌套式密勒补偿技术,其补偿结构等效原理如图 3 所示。通过在第 1 级输出与第 3 级输出跨接一个电容 C_{m1} 来实现将主极点推至低频,次级点推至高频;在第 2 级输出与第 3 级输出跨接电容 C_{m2} ,将输出级高频极点推向更高频,从而实现多级运算放大器的密勒补偿。

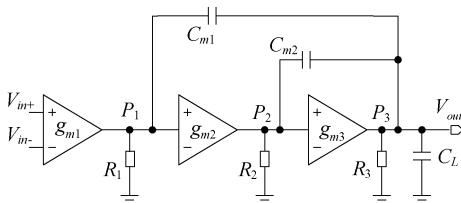


图 3 嵌套密勒补偿结构

Fig. 3 Nested Miller compensation structure

因输出级采用推挽输出级,并且需要驱动大负载,因此需要 $g_{m3} \gg g_{m2}$ 和 g_{m1} ,其传递函数为:

$$A_V = \frac{g_{m1}g_{m2}g_{m3}R_1R_2R_3}{(1 + sC_{m1}g_{m2}g_{m3}R_1R_2R_3)\left(1 + s\frac{C_{m2}}{g_{m2}} + s^2\frac{C_L C_{m2}}{g_{m2}g_{m3}}\right)} \quad (1)$$

则可求出主极点、次极点和第 3 极点分别为:

$$P_1 = \frac{1}{2\pi} \left(\frac{1}{C_{m1}g_{m2}g_{m3}R_1R_2R_3} \right) \quad (2)$$

$$P_2 = \frac{1}{2\pi} \left(\frac{g_{m3}}{2C_L} - \frac{g_{m3}}{2C_L} \sqrt{1 - \frac{4g_{m2}}{(g_{m3}/C_L)C_{m2}}} \right) \quad (3)$$

$$P_3 = \frac{1}{2\pi} \left(\frac{g_{m3}}{2C_L} + \frac{g_{m3}}{2C_L} \sqrt{1 - \frac{4g_{m2}}{(g_{m3}/C_L)C_{m2}}} \right) \quad (4)$$

通过嵌套式密勒补偿电路设计,可以有效补偿主极点和次极点,从而显著改善多级运算放大器的频率特性。该设计不仅提升了运放的相位裕度,还增强了电路的稳定性。本文设计中,密勒补偿电容 C_{m1} 、 C_{m2} 分别为 21、6.5 pF。其中,主极点位置位于恒跨导输入级运算放大器的输出端,而次主极点位置位于中间级运算放大器的输出端。

3 关键电路设计

3.1 恒跨导输入级设计

轨到轨运放要实现恒跨导结构,通常采用 PMOS 差分对管和 NMOS 差分对管并联的方式,通过对输入对管的电流源进行电流分配,实现恒跨导功能。

本文设计的恒跨导输入级等效电路如图 4 所示。其中 M_{C1} 管和 M_{C2} 管构成 PMOS 输入差分对, M_{C3} 管和 M_{C4} 管构成 NMOS 输入差分对。 I_{ref10} 与 I_{ref11} 为共模检测电路控制的一组互补电流源,当输入共模电压小于 V_b 时,通过共模检测电路控制 I_{ref11} 电流大小为 I_{ref} , I_{ref10} 电流大小为 0;当输入共模电压大于 V_b 时,共模检测电路控制 I_{ref10} 电流大小为 I_{ref} , I_{ref11} 电流大小为 0。此外,共模检测电路中采用正反馈结构,使得共模检测电路在 V_b 附近的翻转电压范围更窄,从而有效减小 I_{ref10} 和 I_{ref11} 电流共同导通的共模电压范围。

PMOS 输入差分对导通时,输入共模电压范围为:

$$0 < V_{CM} < V_b \quad (5)$$

NMOS 输入差分对导通时,输入共模电压范围为:

$$V_b < V_{CM} < V_{DD} \quad (6)$$

因此当 PMOS 输入差分对与 NMOS 输入差分对并联使用时,可以实现输入共模电压轨对轨。

PMOS 输入差分对导通时的跨导 g_{mp} 为:

$$g_{mp} = \sqrt{2I_{ref11}\mu_p c_{ox} (W/L)_p} \quad (7)$$

式中: I_{ref11} 表示流过 NMOS 的电流大小; μ_p 表示 N 管电子迁移率大小; $(W/L)_p$ 表示 NMOS 输入差分对管的宽长比大小。

NMOS 输入差分对导通时的跨导 g_{mn} 为:

$$g_{mn} = \sqrt{2I_{ref10}\mu_n c_{ox} (W/L)_n} \quad (8)$$

式中: I_{ref10} 表示流过 PMOS 的电流大小; μ_n 表示 N 管电

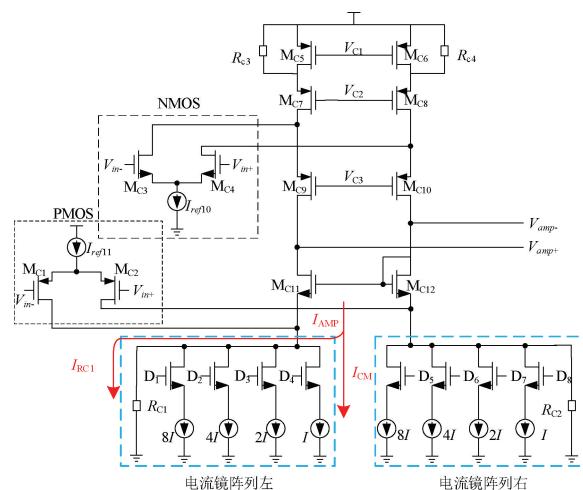


图4 输入级电路

Fig. 4 Input stage circuit

子迁移率大小;(W/L) _{n} 表示NMOS输入差分对管的宽长比大小。

因 I_{ref10} 与 I_{ref11} 的电流大小相同,共模范围互补,因此只要令NMOS输入差分对管的 $\mu_n c_{ox} (W/L)_n$ 与PMOS输入差分对管的 $\mu_p c_{ox} (W/L)_p$ 相等,即:

$$\mu_n c_{ox} (W/L)_n = \mu_p c_{ox} (W/L)_p \quad (9)$$

可以使得运算放大器的跨导在整个共模范围内恒定。此外,输入级电路中还加入了由熔丝电路输出的数字信号控制的NMOS管,用于控制电阻 R_{c1} 与电阻 R_{c2} 上的电流大小,进而控制电阻 R_{c1} 与电阻 R_{c2} 上的压降,从而补偿输出失调大小。电阻 R_{c1} 与 R_{c2} 虽然增加了运算放大器的输出阻抗,但是也限制了输出摆幅。因此其阻值设计较小,约几百欧姆。

3.2 中间级与输出级设计

中间级的主要功能是为运算放大器提供更高的增益,输出级主要实现轨对轨输出并提供驱动大负载的能力。设计采用的中间级电路如图5所示,其采用了折叠共源共栅结构,可以有效的提高运放的增益。此外,增加了一对NMOS和PMOS差分输入对管(M_{A3} 和 M_{A4} 、 M_{A5} 和 M_{A6}),以提高轨对轨运放的带宽。第1级运放输出 V_{amp+} 与 V_{amp-} 通过一对PMOS差分对输入至中间级,与NMOS与PMOS并联差分对的信号叠加后,经共源共栅结构将信号 V_{out+} 与 V_{out-} 输出至输出级。通过将高增益电路与高带宽电路并联使用,本设计实现运算放大器的高增益和高带宽性能。

为确保运算放大器在接入不同负载都能高效输出信号,并实现轨对轨的电压摆幅,本设计采用了前馈式AB类推挽输出级,其结构如图6所示。相较于A类和B类输出级,AB类输出级具有更高的效率和摆幅,同时能够与中间级共源共栅结构良好结合,既可以提供一定电压

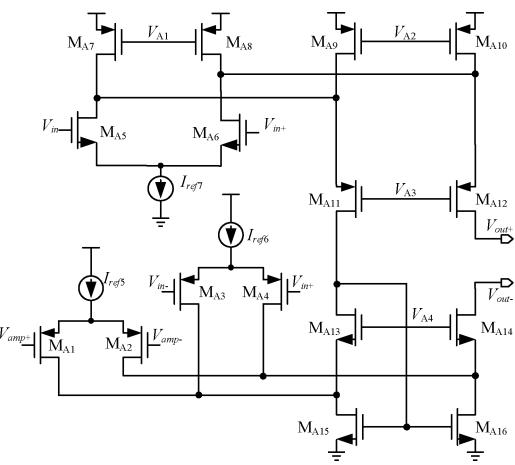


图5 中间级电路

Fig. 5 Intermediate level circuit

增益,又可以增加电压输出摆幅。

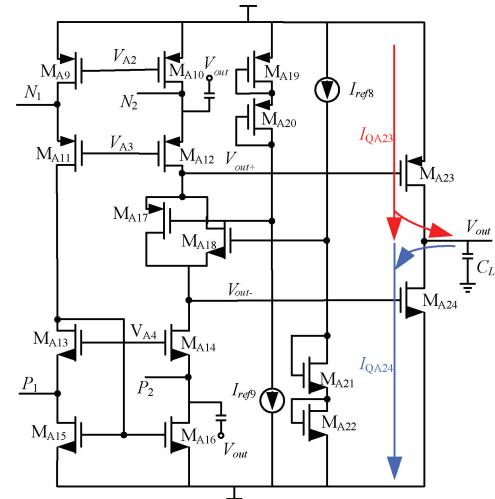


图6 输出级电路

Fig. 6 Output stage circuit

如图6所示,Class AB结构需要在PMOS管的栅极与NMOS管的栅极间增加浮动电压源结构,以使PMOS管和NMOS管均偏置在合适的工作区域。设计采用浮动电压源作为跨导线性环结构,通过M_{A17}、M_{A19}、M_{A20}、M_{A23}和M_{A18}、M_{A21}、M_{A22}、M_{A24}两条回路为输出管M_{A23}、M_{A24}提供偏置电压,并确定输出电流大小。在偏置电路中:

$$V_{GSA17} + V_{GSA23} = V_{GSA19} + V_{GSA20} \quad (10)$$

$$V_{GSA18} + V_{GSA24} = V_{GSA21} + V_{GSA22} \quad (11)$$

调整M_{A17}、M_{A20}和M_{A18}、M_{A21}的V_{GS}大小并使其相等,即 $V_{GSA17} = V_{GSA20}$ 和 $V_{GSA17} = V_{GSA21}$,则:

$$I_{ref9} = \frac{(W/L)_{19}}{(W/L)_{23}} I_{Q23} \quad (12)$$

$$I_{ref8} = \frac{(W/L)_{22}}{(W/L)_{24}} I_{Q24} \quad (13)$$

$$\text{令 } I_{ref8} = I_{ref9} \text{, 且 } \frac{(W/L)_{22}}{(W/L)_{24}} = \frac{(W/L)_{19}}{(W/L)_{23}} \text{, 则有:}$$

$$I_{Q423} = I_{Q424} = I_{ref9} \frac{(W/L)_{23}}{(W/L)_{19}} = I_{ref8} \frac{(W/L)_{24}}{(W/L)_{22}} \quad (14)$$

则可以确定出输出级静态电流大小, 并且实现轨到轨输出的功能。

3.3 摆率增强电路设计

设计采用的轨对轨运算放大器基于多级运放级联结构, 由于电路需要驱动较大负载电容, 同时受到运算放大器功耗的限制, 在输入较大差分信号时, 输出摆率较低。为解决这一问题, 本文引入了摆率增强电路, 其结构如图 7 所示。当输入产生一个较大的 ΔV 时, 摆率增强电路启动, 通过提供额外的充放电电流来增强电路驱动能力, 从而有效提升输出摆率。其摆率增强原理如图 8 所示。

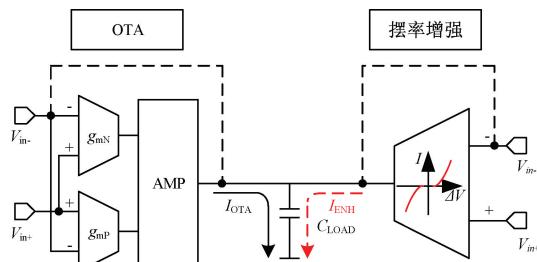


图 7 摆率增强结构

Fig. 7 Slew-rate enhanced structure

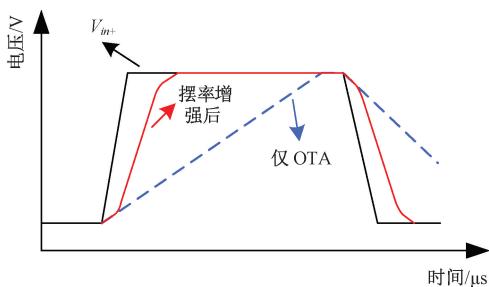


图 8 摆率增强原理

Fig. 8 Principle of slew-rate enhancement

设计采用的摆率增强电路如图 9 所示, 其工作原理是通过比较器监测共模电压来控制输出电流, 并与恒流源进行差值运算。当输入差分对的摆幅较小时, 输出端呈现高阻态, 从而避免影响后级电路的正常工作; 当输入差分对的摆幅达到预设阈值时, 摆率增强电路启动, 为负载电容提供充电电流, 有效提升输出摆率。为适应轨对轨运放的输入输出摆率要求, 本文同时采用了 NMOS 输入和 PMOS 差分对做输入级。

在电路正常工作状态下, 因 M_{B9} 与 M_{B10} 宽长比相同, 且 M_{B11} 的宽长比稍大于 M_{B12} , 同时 V_{in+} 与 V_{in-} 几乎相等, 使得 M_{B9} 与 M_{B10} 的 V_{gs} 相等, 流过电流也相等。因此, 电流全部流过 M_{B12} , 而流过 M_{B13} 电流几乎为 0, 导致

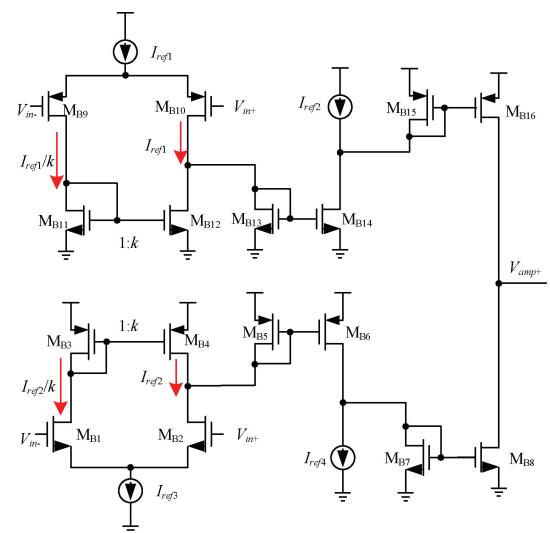


图 9 摆率增强电路

Fig. 9 Slew-rate enhancement circuit

M_{B14} 与 M_{B15} 处于截止状态, 输出为高阻态, 不会影响后级电路工作状态。NMOS 输入对管的工作原理相同。

令 M_{B12} 的宽长比为 M_{B11} 宽长比的 k 倍, 即:

$$(W/L)_{B12} = k(W/L)_{B11} \quad (15)$$

当 V_{in+} 电压低于 V_{in-} 电压 V_T 时, M_{B9} 与 M_{B11} 中的电流为:

$$I_{B9} = I_{B11} = \frac{I_{ref1}}{k+1} \quad (16)$$

M_{B10} 与 M_{B12} 中的电流为:

$$I_{B10} = I_{B12} = \frac{kI_{ref1}}{k+1} \quad (17)$$

由式(17)可得:

$$|VGS_{B9}| = \sqrt{\frac{I_{ref1}}{K_{B9}(k+1)}} - V_{THP} \quad (18)$$

$$|VGS_{B10}| = \sqrt{\frac{kI_{ref1}}{K_{B10}(k+1)}} - V_{THP} \quad (19)$$

$$\text{其中 } K = \frac{1}{2} \mu c_{ox} \frac{W}{L} \circ$$

则翻转电压 V_T 为:

$$V_T = \sqrt{\frac{k-1}{k+1}} \sqrt{\frac{I_{ref1}}{K_{B9}}} \quad (20)$$

同理可以计算出:

$$V_T = \sqrt{\frac{k-1}{k+1}} \sqrt{\frac{I_{ref3}}{K_{B11}}} \quad (21)$$

根据式(21)计算结果, 当 V_{in+} 与 V_{in-} 差模电压达到阈值电压 V_T 时, M_{B13} 导通。此时电流被镜像至 M_{B14} , 经过 M_{B14} 电流与电流镜电流 I_{ref2} 差值流入 M_{B15} 。最终, 该电流通过 M_{B16} 镜像到第一级运放输出端 V_{amp+} , 为第一级运

放补偿电容充电,从而显著提升整体运算放大器的响应速度。

3.4 修调电路设计

运算放大器中的失调电压会严重影响输出计算精度,因此必须消除其影响。传统的消除失调的方式包括自调零技术、斩波技术和修调技术。其中,自调零技术和斩波技术会引起时钟馈通效应,因此,目前使用更广泛的为修调技术。修调技术主要分为激光修调、带电可擦可编程只读存储器修调和熔丝修调3种方式。

本文所设计的运算放大器中存在两种失调电压:随机失调和系统失调。系统失调源于电路设计过程中的一些非理想因素,例如计算中对二级效应的忽略或运放的理想化假设,而随机失调则是由制造过程中器件尺寸偏差引起的,例如刻蚀、离子注入的不确定导致的MOS管失配。随机失调的幅值也相对较大,在三级运放的失调叠加后在输出可能会产生几百微伏的失调电压。

设计采用数字熔丝修调技术,其核心方法为在芯片封装完成后进行熔丝修调。这种方法能有效消除芯片的版图、流片和封装所引入的失配电压,提高运放的精度。本文采用了6根熔丝进行失调电压修调,其中1根控制修调方向,4根控制修调步长,1根结束修调。

修调原理如图10所示,当轨对轨运算放大器流片封装完成后,芯片上电时首先进行自检。若最后一位结束修调熔丝熔断,则跳过修调模式;若未熔断,则进入修调模式。测试人员首先测量对轨对轨运算放大器失调电压,将其除以修调步长以计算所需的修调位数。随后可以通过运放输入端 V_{in+} 输入时钟信号, V_{in-} 输入特定的数字序列校准码,打开芯片内部寄存器进行灌码,进入预修调模式。当预修调结果将失调电压基本消除后,即可以进行熔丝烧录。烧录完成后再次测量失调电压,若与预修调结果一致,则熔断第6根结束修调熔丝,完成修调过程。

熔丝修调电流镜阵列模块工作原理如下:首先,通过方向熔丝选定修调电流镜阵列的方向。方向选定完成后,由后4位熔丝分别控制开关管的导通关断,从而调整修调电路 I_{CM} 的大小。由于 $I_{AMP} = I_{CM} + I_{RC1}$,且 I_{AMP} 保持不变,因此当 I_{CM} 增加时, I_{RC1} 会减小相同值,此时 $\Delta V = I_{CM}R_{C1}$ 。修调最小步长为 IR_{C1} ,约70 μV,其中 $I \approx 100 \text{ nA}$ 。

熔丝修调单元如图11所示,其工作流程如下:当电路上电完成并稳定一段时间后, $D_{TIEHIGH_2}$ 信号翻转为高电平,并在上升沿处读取熔丝状态。若最后一位熔丝未熔断,则将 $D_{FUSE_T_EN}$ 置为高电平,进入熔丝烧录状态;反之,若 $D_{FUSE_T_EN}$ 为低电平,不进行熔丝烧录。

当进入熔丝烧录状态后,首先外部输入相应控制码将 $D_{FUSE_MODE_EN}$ 置为高电平。此时,选择器将每根熔丝的

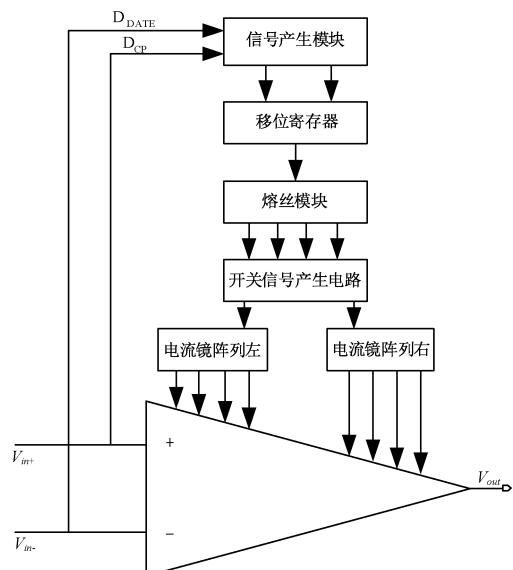


图10 熔丝修调结构

Fig. 10 Fuse repair and adjustment structure

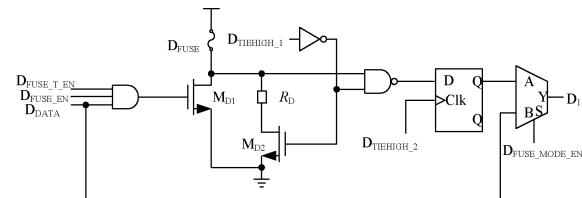


图11 熔丝修调电路

Fig. 11 Fuse repair circuit

烧录控制信号 D_{DATA} 输出控制熔丝修调电流源。该模式下,输入熔丝烧录控制码后,通过测量运放失调,可以验证输入熔丝烧录码是否正确,以及输出失调电压是否被消除。验证通过后,再进行熔丝烧录。预修调结束后,将 D_{FUSE_EN} 置为高电平,三输入与门输出高电平,从而打开大尺寸的 M_{D1} ,熔丝流过大电流而熔断。熔丝熔断后,对电路掉电和重新上电操作,以读取熔丝状态。再次上电时, $D_{TIEHIGH_2}$ 信号翻转为高电平,并在上升沿处读取熔丝状态。此时, $D_{FUSE_MODE_EN}$ 为低电平,输出熔丝状态,经过一段时间后 $D_{TIEHIGH_1}$ 翻转为高电平,关闭熔丝读取电路。

4 电路仿真与测试结果

本文设计基于HJ 0.18 μm BCD工艺,其低失调高摆率轨对轨运算放大器芯片的版图如图12所示,该设计采用双通道运放设计,通过将两个完全相同的运算放大器集成在一块芯片上,并利用使能信号控制两个运放的工作状态,同时共用一块带隙基准电路。这种设计不仅有效节省芯片面积和功耗,还显著提高了运算放大器的匹配度,降低失调等参数的影响。整体版图共引出10个

PAD, 绘制面积为 $890 \mu\text{m} \times 495 \mu\text{m}$ 。

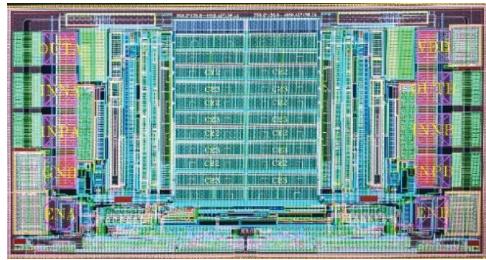
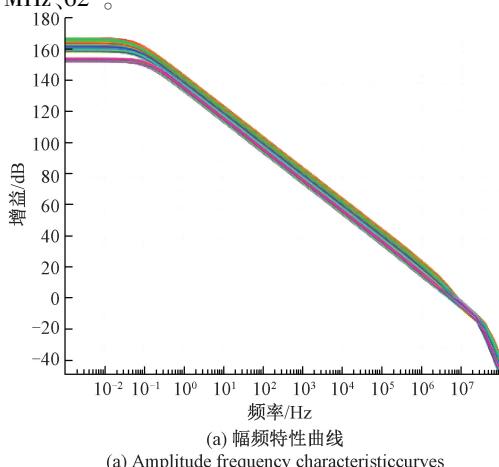


图 12 运放整体版图

Fig. 12 Overall layout of operational amplifier

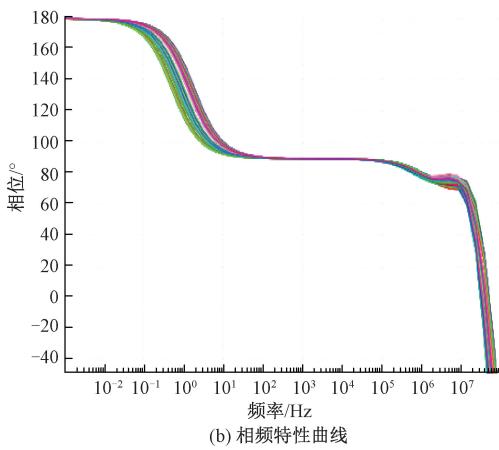
接着, 使用 Spectre 仿真器对电路进行了仿真验证。

电路负载电容为 100 pF , 负载电阻为 $1 \text{ k}\Omega$, 在电源电压为 $2.2, 3.3, 4, 5$ 和 5.5 V , 温度分别为 $-40^\circ\text{C}, 27^\circ\text{C}, 80^\circ\text{C}$ 和 125°C 时, 对不同工艺角下电路增益、带宽和相位进行仿真, 其仿真结果如图 13 所示, 仿真结果表明, 带摆率增强和熔丝修调轨对轨运算放大器的低频增益、增益带宽积和相位裕度的最小值分别为 152 dB 、 $10.1 \text{ MHz}, 62^\circ$ 。



(a) 幅频特性曲线

(a) Amplitude frequency characteristic curves



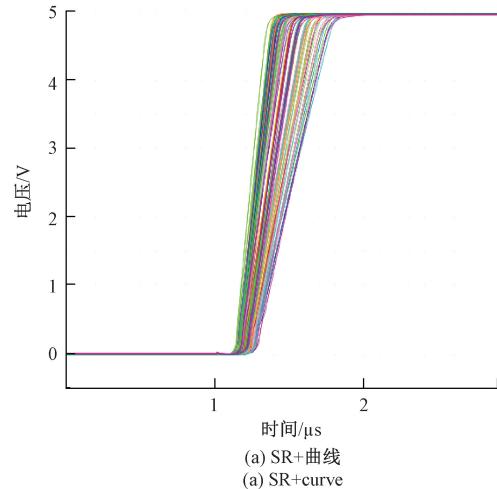
(b) 相频特性曲线

(b) Phase frequency characteristic curves

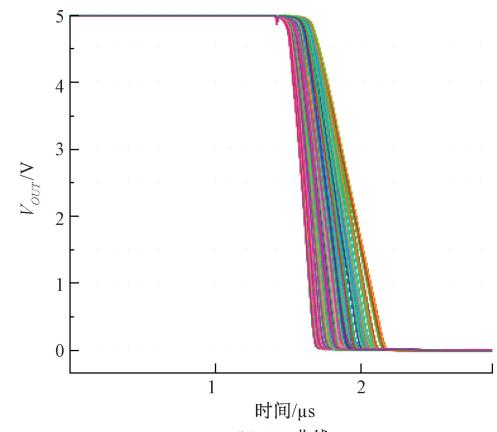
图 13 幅频特性和相频特性曲线

Fig. 13 Amplitude frequency characteristic and phase frequency characteristic curves

将运算放大器接成单位增益负反馈形式, 并在输入端加从 0 到 V_{DD} 的阶跃信号和从 V_{DD} 到 0 的阶跃信号时, 在负载电容为 100 pF , 负载电阻为 $1 \text{ k}\Omega$ 时, 对运算放大器的摆率进行不同电源电压、不同温度的多工艺角进行后仿真, 其仿真结果如图 14 所示, 上拉摆率 SR+ 最小值为 $11.8 \text{ V}/\mu\text{s}$, 下拉摆率最小值 SR- 为 $11.2 \text{ V}/\mu\text{s}$ 。



(a) SR+曲线
(a) SR+curve



(b) SR-曲线
(b) SR-curve

图 14 摆率瞬态仿真曲线

Fig. 14 Transient simulation curve of slew rate

将运算放大器结成单位增益负反馈形式, 在同向端接 $V_{DD}/2$ 电压, 对其进行蒙特卡洛仿真 100 个样本点仿真失调电压。仿真结果如图 15 所示, 最大失调电压为 -828 和 $+803 \mu\text{V}$, 而本设计修调步长为 $70 \mu\text{V}$, 正负都可修调 15 位步长, 修调 $\pm 1.05 \text{ mV}$ 电压, 可以对轨对轨运算放大器失调电压进行修调。

熔丝电路的仿真结果如图 16 所示, 当输入特定序列进入修调模式后, 熔丝烧写信号依次变为高电平。在熔丝烧写信号转为高电平后, 系统对熔丝进行烧写, 烧写完成后烧断关断熔丝, 随后关断整个传输门电路, 从而关断熔丝烧写程序。

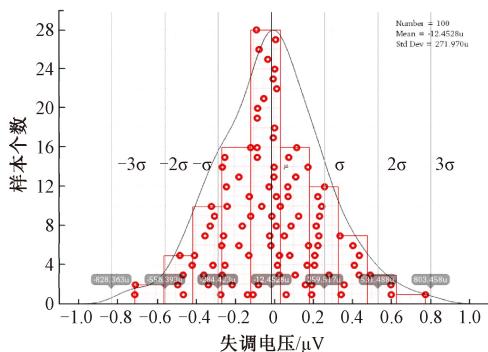


图 15 蒙特卡洛仿真结果

Fig. 15 Monte Carlo simulation results

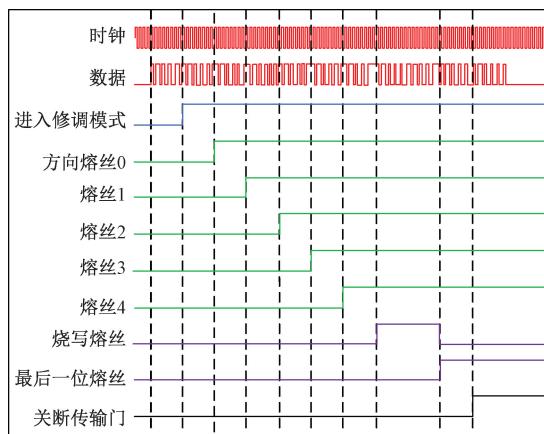


图 16 熔丝修调模式仿真曲线

Fig. 16 Simulation curve of fuse repair and adjustment mode

轨对轨运算放大器芯片的测试验证平台如图 17 所示。流片后,通过搭建不同的轨对轨运算放大器测试验证平台,对其各项指标进行了测试,并将测试结果与后仿结果进行对比,其结果如表 1 所示。可以看到,流片后运算放大器的增益虽有所降低,但整体仍保持在 145 dB 以上;增益带宽积与摆率也略微下降;失调电压在未修调前为 438 μV,经过修调后降低至 45 μV。总体而言,流片后的运算放大器芯片参数测试结果与后仿真结果相近,且修调结果表明使用数字熔丝修调技术能够有效降低运算放大器的失调电压。

表 1 后仿真与测试结果对比

Table 1 Comparison of post simulation and test results

参数	后仿			测试	
	MIN	Typ	MAX	修前	修后
开环增益/dB	152	162	172	149	148
增益带宽积/MHz	11.1	11.5	12.3	11.0	11.0
摆率/(V·μs ⁻¹)	11.2	11.8	13.2	11.1	11.1
失调电压/μV	-828	-12	803	438	45

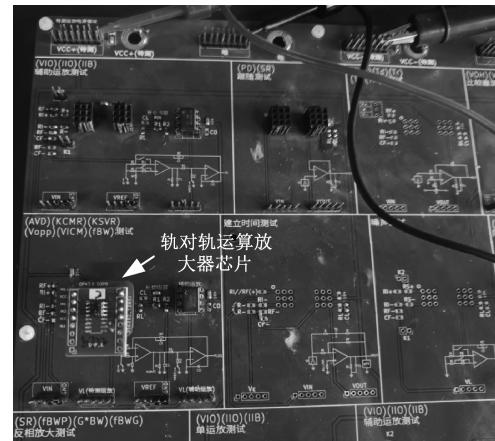


图 17 轨对轨运算放大器测试验证平台

Fig. 17 Rail to rail operational amplifier testing and verification platform

大器的仿真结果与文献[17-19]的仿真结果相比较,分析本文的轨对轨运算放大器的优缺点。其中,为了根据增益带宽积和摆率来评估功率效率,通常采用 FOM 公式^[20]如式(22)和(23)所示。

$$FOM_1 = (GBW \times C_L) / Current_{diss} \quad (22)$$

$$FOM_2 = (SR \times C_L) / Current_{diss} \quad (23)$$

从表 2 可以看出,本文采用的 3 级运算放大器和嵌套密勒补偿技术能够在提高增益的同时不减小相位裕度,但是增益带宽积也因采用嵌套密勒补偿而有所降低;熔丝修调技术可以有效的降低运放的失调电压大小;摆率增强技术可以在一定的功耗下有效驱动大负载。

表 2 4 个 OTA 的数性能比较

Table 2 Comparison of the four OTAs

参数	本文	文献[17]	文献[18]	文献[19]
电源电压/V	2.2~5.5	3.3	1.2	5
工艺/μW	0.18	0.18	0.18	0.18
功耗/mW	8	2.4	0.76	4.5
负载电容/pF	100	5	100	100
增益带宽积/MHz	10	50	3.3	1.66
相位裕度/(°)	60	50	61.1	56
开环增益/dB	145	100	110	137
摆率/(V·μs ⁻¹)	11	60	3.2	1.6
失调电压/μV	70	—	—	264
$FOM_1 / (\text{MHz} \cdot \text{pF} \cdot \mu\text{A}^{-1})$	0.88	0.34	0.52	0.18
$FOM_2 / [(\text{V} \cdot \mu\text{s}^{-1}) \cdot \text{pF} \cdot \mu\text{A}^{-1}]$	0.55	0.41	0.51	0.18

5 结论

本文基于 HJ 0.18 μm BCD 工艺,设计了一种低失调高摆率轨对轨运算放大器,在使用 3 级运算放大器级联的方式提高整体增益的同时,通过摆率增强电路实现芯

如表 2 所示,将本文的低失调、高摆率轨对轨运算放

片在较低功耗时也能实现较大摆率的要求。并且,通过增加熔丝修调电路,在测试人员对电子熔丝进行修调后,实现较低的失调电压。经仿真验证与测试验证,该运算放大器在 $1\text{ k}\Omega$ 和 100 pF 负载下,开环增益为 145 dB ,增益带宽积为 10 MHz ,相位裕度为 62° ,摆率为 $11\text{ V}/\mu\text{s}$, 1.2 mA 的静态电流以及经修调后最高 $70\text{ }\mu\text{V}$ 的失调电压。相较于其他低失调高摆率轨对轨运算放大器设计,本文的电路结构采用 CMOS 电路实现,电路结构简单,通过修调技术有效降低了失调电压,采用摆率增强技术使整体功耗较低且驱动大负载能力更强,更加节省版图面积,应用范围广泛。

参考文献

- [1] GRASSO A D, PALUMBO G, PENNISI S. Dual push-pull high-speed rail-to-rail CMOS buffer amplifier for flat-panel displays [J]. IEEE Circuits and Systems II: Express Briefs, 2018, 65 (12) : 1879-1883.
- [2] 李平,赵仁涛,铁军,等.金属水溶液电解电极电流在线测量方法 [J]. 仪器仪表学报, 2021, 42 (6) : 253-260.
- LI P, ZHAO R T, TIE J, et al. An on-line measurement method for electrode current of metal aqueous solution electrolysis [J]. Chinese Journal of Scientific Instrument, 2021, 42 (6) : 253-260.
- [3] AGOSTINHO P, GONCALEZ O, WIRTH G. Rail to rail radiation hardened operational amplifier in standard CMOS technology with standard layout techniques [J]. Microelectronics Reliability, 2016, 67:99-103.
- [4] 周吉,龚敏,高博.一款高增益、低功耗、宽带宽全差分运放设计 [J]. 电子与封装, 2016, 16 (5) : 26-30.
- ZHOU J, GONG M, GAO B. Design of a fully differential high gain and low-power and high bandwidth amplifier [J]. Electronics & Packaging, 2016, 16 (5) : 26-30.
- [5] 郭仲杰,何帅,郑晓依,等.低功耗恒定跨导轨对轨运算放大器设计技术研究 [J]. 电子器件, 2021, 44 (1) : 72-76.
- GUO ZH J, HE SH, ZHENG X Y, et al. Research on low power constant transconductance rail-to-rail operational amplifier technology [J]. Chinese Journal of Electron Devices, 2021, 44 (1) : 72-76.
- [6] FANG T, NAIRIGA W, TONGBEI Y, et al. A 110 dB THD rail-to-rail class-AB programmable gain amplifier with common-mode-detection-based transconductance linearization scheme [J]. Microelectronics Journal, 2022, 128.
- [7] 段宁.高增益低失调轨对轨运算放大器的研究与设计 [D]. 西安:西安科技大学, 2020.
- DUAN N. Research and design of high gain low offset rail-to-rail operational amplifier [D]. Xi'an: Xi'an University of Science and Technology, 2020.
- [8] 南敬昌,戴涛,丛密芳,等.可重构宽带功率放大器设计 [J]. 电子测量与仪器学报, 2023, 37 (9) : 25-32.
- NAN J CH, DAI T, CONG M F, et al. Reconfigurable broadband power amplifier design [J]. Journal of Electronic Measurement and Instrumentation, 2023, 37 (9) : 25-32.
- [9] 丁博文,苗澎,黎飞,等.500 MS/s 12 位流水线 ADC 的设计研究 [J]. 电子测量与仪器学报, 2022, 36 (3) : 130-138.
- DING B W, MIAO P, LI F, et al. Design research of 500 MS/s 12 bit pipeline ADC [J]. Journal of Electronic Measurement and Instrumentation, 2022, 36 (3) : 130-138.
- [10] 鲍占营.高增益宽带宽轨对轨运算放大器的设计 [D]. 湘潭:湘潭大学, 2019.
- BAO ZH Y. Design of high gain wide bandwidth rail-to-rail operational amplifier [D]. Xiangtan: Xiangtan university, 2019.
- [11] 杨九川,杨发顺,马奎.基于单一 PMOS 差分对的轨到轨输入运算放大器设计 [J]. 电子元件与材料, 2023, 42 (6) : 743-749.
- YANG J CH, YANG F SH, MA K. Design of a rail-to-rail input operational amplifier based on a single PMOS differential pair [J]. Electronic Components and Materials, 2023, 42 (6) : 743-749.
- [12] ZHOU ZH J, WANG K P, ZHU L B, et al. A differential difference amplifier employing pseudo-differential CMFB for neural signal recording applications [J]. Transactions on Circuits and Systems II: Express Briefs, 2023, 70 (4) : 1341-1345.
- [13] KUSUDA Y. A $5.6\text{ nV}/\text{Hz}$ chopper operational amplifier achieving a 0.5 V maximum offset over rail-to-rail input range with adaptive clock boosting technique [J]. IEEE Journal of Solid-State Circuits, 2016, 51 (9) : 2119-2128.
- [14] 许凌飞,张国俊,王婧.一种精密运放的数字修调技术 [J]. 电子产品世界, 2020, 27 (2) : 77-80.
- XU L F, ZHANG G J, WANG Q. A digital trimming technology for precision operational amplifier [J]. Electronic Engineering & Product World, 2020, 27 (2) : 77-80.
- [15] KOH S, LEE J, KANG G, et al. A 5 V dynamic class- c paralleled single-stage amplifier with near-zero dead-zone control and current-redistributive rail-to-rail gm-boosting technique [J]. IEEE Journal of Solid-State Circuits, 2021, 56 (12) : 3593-3607.

- [16] AKBARI M, HUSSEIN M, HASHIM Y, et al. A rail-to-rail transconductance amplifier based on current generator circuits [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2023, 31 (10): 1624-1628.
- [17] MA R, LIU M, ZHENG H, et al. A 77-dB dynamic range low-power variable-gain transimpedance amplifier for linear LADAR [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 65 (2): 171-175.
- [18] 张勇. 低压恒跨导轨至轨CMOS运算放大器的研究与设计[D]. 哈尔滨: 哈尔滨理工大学, 2018.
ZHANG Y. Research and design of low-voltage and constant-g m CMOS operational amplifier [D]. Harbin: Harbin Institute of Technology, 2018.
- [19] 杨永晖, 张金龙, 张广胜, 等. 一种低失调CMOS轨到轨运算放大器研究[J]. 微电子学, 2023, 53 (3): 396-401.
YANG Y X, ZHANG J L, ZHANG G S, et al. A rail-to-rail I/O operational amplifier [J]. Microelectronics, 2023, 53 (3): 396-401.
- [20] QU W, SINGH S, LEE Y, et al. Design-oriented analysis for miller compensation and its application to multistage amplifier design [J]. IEEE Journal of Solid-State Circuits, 2017, 52 (2): 517-527.

作者简介



陶金龙, 2022 年于合肥工业大学获学士学位, 现为合肥工业大学硕士研究生, 主要研究方向为混合信号电路设计。

E-mail: jinlongtao616@foxmail.com

Tao Jinlong received the B. Sc. degree from Hefei University of Technology in 2022.

He is currently a M. Sc. candidate in Hefei University of Technology. His main research interest includes mixed signal circuit design.



陈红梅(通信作者), 2008 年于华中科技大学学士学位, 2011 年于华中科技大学获硕士学位, 2017 年于中国科学技术大学获博士学位, 现为合肥工业大学副教授, 主要研究方向为 CMOS 混合信号电路、A/D 和 D/A 转换器、传感器接口。

E-mail: hmchen@hfut.edu.cn

Chen Hongmei (Corresponding author) received her B. Sc. degree in Electronic Science and Technology in 2008, M. Sc. degree from Huazhong Science & Technology University in 2011, and Ph. D. degree from University of Science & Technology of China in 2017. She is currently an associate professor in Hefei university of technology. Her main research interests include CMOS mixed-signal circuits, A/D and D/A converters, and sensor interface.