

DOI: 10.13382/j.jemi.B2408084

# 基于动态选通与抗亚稳态 TDC 的芯片延迟参数测量\*

王斯禹 梁华国 黄杰 柏仕超 鲁迎春

(合肥工业大学微电子学院 合肥 230009)

**摘要:** 动态参数测试的核心是芯片延时的测量,在芯片制程缩小与复杂度激增的背景下,小延时缺陷已能引发严重的时序故障,亟需在芯片自动测试机(ATE)上实现高精度动态参数测试方案。针对这一需求,提出了一种基于现场可编程门阵列(FPGA)的混合测量架构:采用时序逻辑控制,组合逻辑成功能的动态选通单元实现高精度、高灵活性的信号捕获,结合基于纳特插值法的三链式 TDC 架构,包含由相移时钟校准的粗测仲裁模块及由 CARRY4 级联而成的细测模块,基本消除了异步测量中电路产生亚稳态问题导致粗测数据产生较大误差的情况并具有较高的通用性。该系统通过选通单元与 TDC 协同工作,实现了对上升/下降时间、脉冲宽度、传输延迟及频率等动态参数的高速、高稳定性测量,兼具纳秒级测量速度与皮秒级分辨率。在 Kintex-7 上实现的 TDC 分辨率为 12.019 ps,微分非线性(DNL)为 $[-0.80 \text{ LSB}, 4.67 \text{ LSB}]$ ,积分非线性(INL) $[-3.82 \text{ LSB}, 5.02 \text{ LSB}]$ ,均方根精度为 23.363 ps。完整系统在实际测量场景下完成了功能验证,并通过稳定性检测。

**关键词:** IC 动态参数测量;集成电路自动测试设备;抽头延迟链;FPGA;时间数字转换器

**中图分类号:** TN791;TN98 **文献标识码:** A **国家标准学科分类代码:** 510.3040

## Chip delay parameter measurement based on dynamic selection unit and anti-metastability TDCs

Wang Siyu Liang Huaguo Huang Jie Bai Shichao Lu Yingchun

(School of Microelectronics, Hefei University of Technology, Hefei 230009, China)

**Abstract:** The core of AC parameter testing lies in chip delay measurement, with the continuous scaling of semiconductor processes and exponential growth of circuit complexity, even minor delay defects can now induce critical timing failures. This necessitates implementing high-precision dynamic parameter testing schemes on automatic test equipment (ATE). To address this requirement, a hybrid FPGA-based measurement architecture has been proposed: A dynamic selection unit combining timing logic control and combinational logic achieves high-precision, high flexibility signal capture. With a three-chain time-to-digital converter (TDC) based on Nutt interpolation methodology, incorporating a phase-shifted-clock-calibrated coarse measurement arbitration module and a CARRY4-cascaded fine measurement module. Significant errors in coarse measurement data induced by metastability phenomena within asynchronous circuits were eliminated through this structural configuration, while versatile compatibility with multiple measurement scenarios was preserved. Dynamic parameter quantification capabilities encompassing rise/fall time, pulse width, transmission delay, and frequency were achieved by synergistic interactions between the selection unit and TDC core, achieving concurrent nanosecond-level measurement velocity and picosecond-level resolution. The TDC resolution achieved on Kintex-7 is 12.019 ps, with a differential nonlinearity (DNL) of  $[-0.80 \text{ LSB}, 4.67 \text{ LSB}]$ , an integral nonlinearity (INL) of  $[-3.82 \text{ LSB}, 5.02 \text{ LSB}]$ , and a root-mean-square accuracy of 23.363 ps. Functional verification under practical measurement conditions and stability assessment protocols were implemented, with operational robustness in real-world applications being conclusively demonstrated.

**Keywords:** AC parameter for digital IC; automatic test equipment for IC; tapped delay line; FPGA; time to digital convert

## 0 引言

芯片测试作为半导体研发流程的关键质量管控节点,对降低研发成本、缩短工艺迭代周期及提升流片良率具有关键作用。使用自动化测试设备(automatic test equipment, ATE)对芯片进行测量的内容主要包括参数测试(parameter test)与逻辑测试(logic test)。参数测试可进一步细分为动态参数测试(dynamic parameter testing)与静态参数测试(static parameter testing),其中动态参数测试的核心是对芯片延时的测量,一般包括芯片的上升、下降时间,传输延迟时间,脉冲持续时间以及信号频率占空比。

使用 ATE 中的逻辑测试系统可以定性的进行动态参数测试,但由于芯片性能与工作速度的逐年提高,与时序相关的缺陷已经成为主流<sup>[1]</sup>,能否定量的辨别芯片中的小延迟差异对帮助判断芯片性能具有极大意义。在传统的测试方法中多采用基于路径延迟模型(path delay fault model, PDF)或基于传输延迟模型(transition delay fault model, TDF)生成的测试向量来定性的判断芯片的故障情况<sup>[2]</sup>。也有研究在可测性设计(design-for-testability, DFT)部分专门设计了时间测量电路用于检测 TSV 连接部分是否正常工作<sup>[3]</sup>。当前普通芯片自动测试机用于延迟测量的方法主要包括直接计数法<sup>[4]</sup>,参数扫描法和时间测量单元<sup>[5]</sup>,这些方法都存在测量精度低并且测量时间久的问题,在测试纳秒级延迟时由于信号发生单元驱动能力受限,甚至需要采用程控外接仪器的方式进行测试<sup>[6]</sup>。文献<sup>[7]</sup>使用 ADC 芯片实现了高吞吐量的时间测量模块设计,但这种方法主要针对模拟信号的能量进行观测,存在测量精度低,测试速度慢的问题。因此在近年已经有研究尝试将 FPGA 上实现的时间数字转换器(time-to-digital converter, TDC)集成入 ATE 中<sup>[8]</sup>以完成更高精度、更低测量时间的延迟参数测量功能。但目前关于在 ATE 内部集成延迟参数测量模块的研究中基本只实现了简单的时间测量功能,并不能完成前文所述延迟参数测量的全部功能,其次目前主流的 TDC 架构稳定性存在问题,因此距离一个完整的具有应用价值的延迟参数测量系统还有距离。

TDC 是将时间信号转换为数字信号的仪器,是粒子物理实验、量子成像与通信<sup>[9]</sup>、数据采集<sup>[10]</sup>、正电子发射断层扫描(PET)、激光雷达测距系统<sup>[11]</sup>等的核心部件之一。在 ASIC 上实现的最先进的 TDC 可以达到亚皮秒级的分辨率,但考虑到流片成本、设计灵活性、时间成本以及最终设计的并行性,使用现场可编程门阵列(FPGA)作为实现载体的纯数字化 TDC 也被广泛的研究了<sup>[12]</sup>。

基于 FPGA 实现的 TDC 的主要策略包括游标方

法<sup>[13]</sup>、多相时钟方法(MPC)<sup>[14]</sup>以及抽头延迟链(tapped delay line, TDL)方法,抽头延迟链方法是在 FPGA 上实现 TDC 最常用的方法,因为总能找到某些器件用以构成延迟链<sup>[15]</sup>,这种结构的性能完全取决于构成抽头延迟链的实际延迟时间。

由于相对整块 FPGA 庞大的晶体管数量,TDC 所占的成本相对较小,目前学术界对 TDC 的研究方向主要集中在如何提高测量的精度与分辨率。而为突破单个延迟单元实际延迟的限制,提出了波联合方法<sup>[16]</sup>,这种方法不使用单个脉冲作为启动或停止信号,而是将一连串的脉冲信号接入延迟链中。尽管这种方法在后期不断的与新的方法结合<sup>[17-18]</sup>,但往往伴随着复杂的设计与编解码系统,以及较长的死区时间。在多链结构中每个通道会配置多条延迟链,最终结果是多条延迟链的平均<sup>[19]</sup>,这种做法可以提高测量的稳定度,但消耗了大量的资源。也有一部分 TDC 的改进来自于新的器件,例如在 Xilinx Ultrascale+ 系列的进位链中可以进行双倍的采样<sup>[20]</sup>,TDC 的分辨率得以直接翻倍,或者尝试使用 DSP 搭建延迟链,并最终将 DSP 链与 WU 方法相结合<sup>[21]</sup>。

也有一些学者将研究方向转向了资源节约型 TDC 的研究上,在标准的纳特插值法架构下,细测模块的长度需要覆盖掉粗测模块的最小计时单位。一种常见的思路是使用 RO 环搭建粗测电路<sup>[22]</sup>,以此减少细测部分需要覆盖掉的标准长度。文献<sup>[15]</sup>提出了一种基于微分分接延时链的结构,该结构下时钟信号在经过切分的延迟链中传递,在不损失分辨率的前提下将延迟链长度缩短到了原长度的 63%。文献<sup>[23]</sup>为优化了 TDC 的测量速度更改了延迟链的分布模式,将传统的双链模式修改为单链+四条子延迟链模式,优化了传统的温度计码转二进制码的译码机制,使得该系统可以在一个时钟周期内处理延迟链中的多个转换边沿。一些研究尝试着将电路设计与交叉学科相结合,文献<sup>[24]</sup>利用人工智能得到延迟链中原始数据到时间数据的最佳转换方式。

当前芯片延迟参数测量研究面临双重瓶颈:1)现有系统功能单一,仅支持基础测时任务,缺乏多场景适应性;2)TDC 的研究过度聚焦于电路架构创新以提升分辨率与资源效率,却未充分考量系统鲁棒性优化,导致测量可靠性面临潜在风险,这一矛盾已成为制约高精度时间测量技术发展的重大障碍。针对 TDC 与延迟测量场景的协同优化需求,提出了动态选通器结构,通过可编程门控时序控制实现高速信号捕获,并最大限度的减少路径对时间测量的影响。同时实现了一个三链式的 TDC,针对纳特插值法粗测部分易受到亚稳态影响的问题,利用相移时钟设计了一种粗测仲裁器用于识别是否产生亚稳态,基本消除了异步电路带来的潜在风险。该基于动态

选通与抗亚稳态 TDC 的延迟参数测量系统在 Xilinx 的 Kintex-7 系列芯片上实现了一种应用灵活、稳定性高、开发时间短、分辨率高的时间测量单元。

## 1 研究基础

### 1.1 延迟参数测量原理与场景

ATE 进行下发的引脚电子 (pin electronic, PE) 结构如图 1 所示, PE 的基本结构包括驱动电路, 电流负载以及电平接收器, 部分较为高端的 PE 芯片会附带一个 PMU。F1/F2 是作为高速开关使用的场效应管, 当连接 PE 的 DUT 的引脚被设置为输入引脚时, F1 开启, F2 关断, 驱动电路工作, 按向量数据指示想 DUT 输出逻辑电平; 当该引脚被定义为输出引脚时, F1 关断 F2 开启, 电流负载作为 DUT 的负载工作。

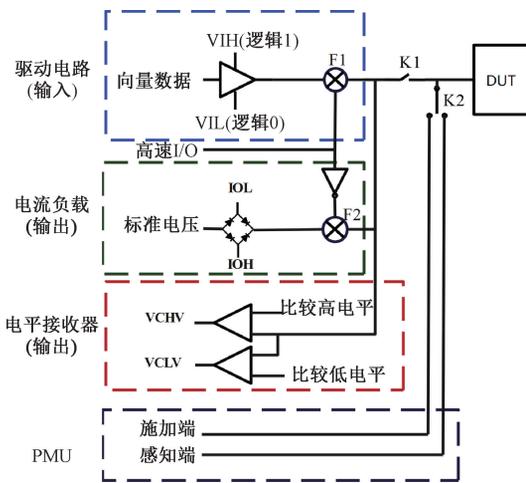


图 1 引脚电子结构示意图

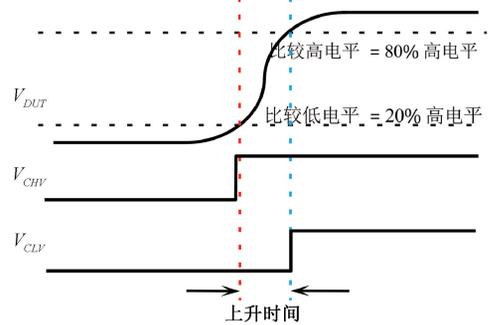
Fig. 1 Pin electronic structural schematic

同时电平接收器对 DUT 的输出引脚电平与设置的比较电平比较。通过设置 PE 的比较高电平/比较低电平电压, 可以在待测芯片的输出电压达到的所设置的相应电平时分别拉高 VCHV/VCLV。

时间参数的测量需以功能测试正常运行为前提条件。其中, PE 芯片作为 ATE 的核心组件, 不仅负责向被测芯片施加激励信号并采集响应数据, 更是实现高精度时序测量的关键模块。在功能测试过程中, 为时间参数测量提供了必要的硬件基础和技术保障。

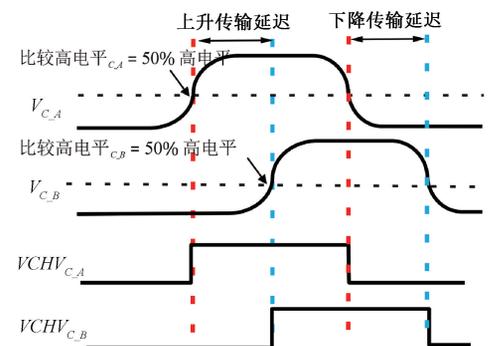
延迟参数的测量场景包括上升、下降时间测量, 传输延迟, 时间间隔以及频率。图 2(a) 所示为芯片上升时间测量示意图。其中上升/下降时间对 PE 设置的比较电平以 DUT 输出高电平的 20% 与 80% 作为基准, 两个比较器之间输出的脉冲上升沿时间差就是待测芯片的上升时间。图 2(b) 所示为芯片传输延迟测量示意图, 除上升下

降时间测量之外, 其他测量场景下都以逻辑高电平的 50% 作为 PE 电路的比较电平, 此时以输入通道信号达到的 50% 电平处与输出通道信号达到 50% 电平处之间的时间差作为芯片传输延迟时间。



(a) 上升时间测量示意图

(a) Rise time measurement schematic



(b) 传输延迟时间测量示意图

(b) Transmit delay measurement schematic

图 2 上升与传输延迟时间测量示意图

Fig. 2 Rise time and transmit delay measurement schematic

### 1.2 延迟链与纳特插值法

一个典型的基于纳特插值法<sup>[25]</sup>的 TDC 测量原理如图 3 所示, 以 Start Signal 信号的上升沿作为时间间隔的开始, 以 Stop Signal 信号的上升沿作为时间间隔的结束, 由一个粗测模块与两个细测模块组成, 粗测模块计算两个脉冲之间存在多少个时钟周期, 细测模块则计量两待测信号上升沿到最靠近的时钟上升沿之间的时间间隔。

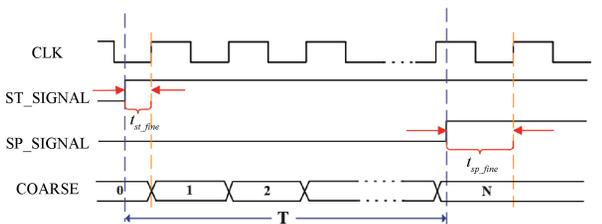


图 3 纳特插值法原理示意图

Fig. 3 Principle of Nutt-interpolation

细测部分的数据使用抽头延时链结构,该延时链的结构如图 4 所示,由串联的延时单元和并行接入的 D 触发器组成。延时单元由 Xilinx FPGA 中的 CARRY4 器件构成,该器件是 FPGA 上的专用加法进位链。通过比较 D 触发器锁存的信号,就可以知道待测信号在延时单元中的传递情况。

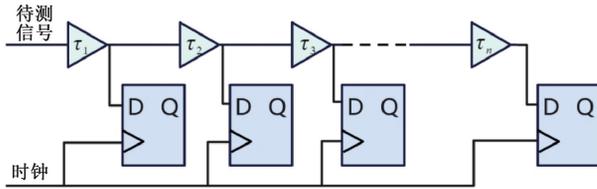


图 4 抽头延时链结构示意图

Fig. 4 Principle of tapped delay line

设延时链中的各个延迟单元的延迟分别为  $\tau_i$ , 最终延时链锁存的数据中按顺序共有  $k$  个结果为 1, 那么延时链数据表示的细测结果如式(1)所示。

$$t_{fine} = \sum_{i=1}^{k-1} \tau_i + \frac{\tau_k}{2} \quad (1)$$

将两条抽头延时链测的时间间隔分别定义为  $t_{st\_fine}$  和  $t_{sp\_fine}$ , 并将粗测部分计数结果记为  $N$ , 可得最终测得的时间间隔  $T$  为:

$$T = N \times T_{clk} + t_{start\_fine} - t_{stop\_fine} \quad (2)$$

### 1.3 TDC 性能指标

TDC 的最低有效位 (LSB) 决定了 TDC 的分辨率<sup>[21]</sup>, 表述为延时链中延迟单元的平均延迟, 设整个延时链中的延迟单元数为  $n$  个, 则 LSB 可以由式(3)计算得到。

$$LSB = \sum_{i=1}^n \tau_i / n \quad (3)$$

微分非线性 (differential nonlinearity, DNL) 指示了 TDC 中单个延迟单元的实际延迟与理想之间的差值, 积分非线性 (integral nonlinearity, INL) 则指示了实际细测结果与理想细测结果之间的差值。DNL 和 INL 结合起来被用作评估 TDC 的均匀程度, 其计算方式如式(4)和(5)所示。

$$DNL_i = (\tau_i - LSB) / LSB \quad (4)$$

$$INL_i = \sum_{j=1}^i DNL_j \quad (5)$$

测量精度则被定义为测量得到的实际结果与真实结果之间的差值, 但由于待测信号并不是完美的, 在实际评估性能时往往无法得知真实结果, 因此往往用测量结果的离散程度, 也就是均方根误差 (root mean square error, RMSE) 来评估 TDC 的测量精度, 其计算方式如式(6)所示。

$$RMSE = \sqrt{\frac{\sum_{i=1}^{i=N} (t_i - t_{mean})^2}{N - 1}}, t_{mean} = \frac{\sum_{i=1}^{i=N} t_i}{N} \quad (6)$$

## 2 方案设计

### 2.1 总体模块设计

延迟参数测量系统完成工作的功能框图如图 5 所示, 延迟参数测量模块将被作为 ATE 的一部分集成到系统中, 发到 DUT 的激励信号由 ATE 的功能测试系统发出, 芯片的输出信号经过 PE 芯片的处理后, 输入到 FPGA 中传递给延迟参数测量系统。单独的延迟参数测量系统由选通单元、时间间隔测量单元和译码单元组成。译码单元接收通信系统传递的测量配置数据。

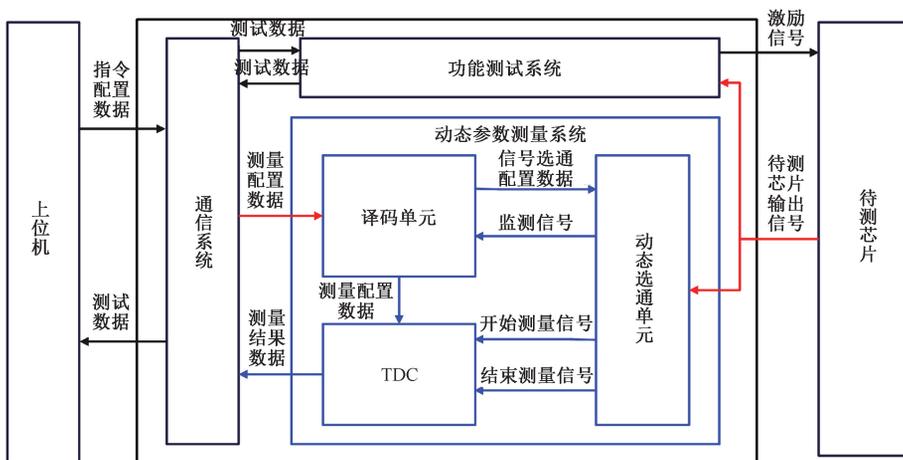


图 5 延迟参数测量系统功能框图

Fig. 5 Block diagram of time parameter measurement system

动态选通单元按测量配置数据识别并选通待测芯片上的待测量通道,将 DUT 输出的信号进行截取,以得到用于测量的脉冲。时间间隔测量单元首先按照控制信号判断测量模式,不同的测量模式下对应不同的状态机,时间间隔测量单元设计为对上升沿敏感,因此要求动态选通单元输出的脉冲均为高电平脉冲。

### 2.2 选通单元设计

动态选通单元的设计要求如下。

1) 为了提高时间测量的精度,对信号的选通必须采用纯组合逻辑实现。

2) 对生成的高电平有效信号进行截取得到脉冲,使其能满足 TDC 测量模块快速清零的需要。

3) 由于 TDC 仅对上升沿敏感,但在实际使用场景中可能需要测量原始信号下降沿与上升沿间的时间间隔,因此该模块应具有将下降沿识别为上升沿的能力。

综合以上要求后设计得到的选通单元结构如图 6 所示,其中蓝色线条绘制的表示用于检测控制生成信号的时序逻辑部分,红色则表示用于完成功能的组合逻辑部分。边沿设置模块会将选通线路的编码直接发送给选通器,当使能信号拉高且检测到当前选通器输出的信号为低电平时边沿设置模块将清零信号拉低,输出选中通道的信号,并在输出信号形成上升沿后再将其拉低,重复输出多个边沿时重复以上操作。选通器不仅需要完成对固定通道的选通,还需要包括取反功能以将不同敏感边沿作为上升沿输出,产生 start signal 和 stop signal 的组合功能部分逻辑完全镜像,以减少因路径不同带来的误差。

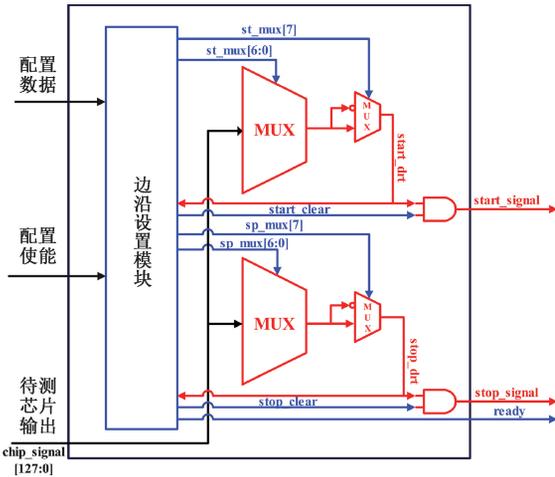


图 6 动态选通单元框图

Fig. 6 Block diagram of dynamic selective unit

由于 stop signal 的输出逻辑较为复杂,图 7 为动态选通单元在一次测量过程输出两个停止沿的时序图。sp\_mux 信号的作用是指定两个 MUX 以选通并是否取反某个确定通道的信号,同时边沿设置模块会监测两个 MUX 输出的 stop\_drt 信号,当该信号为低电平时拉高 stop\_clr

信号,将 stop\_drt 输出,当再次监测到 stop\_drt 拉高时将 stop\_clr 再次拉低,并且切换 sp\_mux 为下一个需要输出边沿的通道,同时重复刚才的工作,以此定位并输出原始通道所需的上升沿。在监测到 stop\_drt 为低电平时才拉高 stop\_clr 是为了确保输出 stop\_sg 的上升沿是原始通道的上升沿,而不是由于闭合开关生成的上升沿。

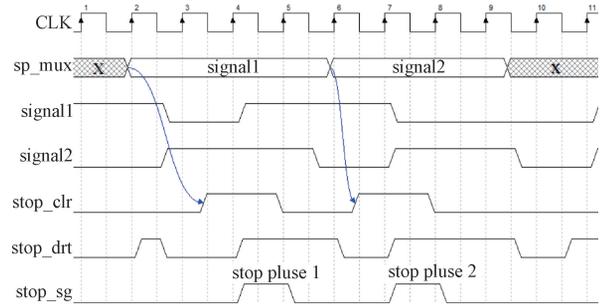


图 7 动态选通单元工作时序

Fig. 7 Timing diagram of the selector module

在实际应用场景中,以频率测量为例,首先上位机下发的指令中会指定开始信号、结束信号的数目、对应的通道、敏感边沿。当边沿设置首先输出检测到目标通道的原始信号为低电平时消除清零信号,而在检测到目标通道的原始信号为高电平时拉高清零信号,如果组合逻辑选通器需要输出下一个边缘,那么在拉高清零信号的时候将下一个目标通道标识发出。

使用内部逻辑分析仪直接抓取 FPGA 内部生成的逻辑信号,结果表明动态选通单元在所有预设场景下均可以正常工作。

### 2.3 TDC 电路结构

如图 8 所示,该 TDC 主要的测量部分包括 3 条延迟链、混合编码器、校准电路、仲裁粗测电路以及存储模块。二级同步采样电路识别并采样到时钟上升沿到来时延迟链上的数据,在将数据有效信号发送给编码器作为存储有效信号的同时,也作为同步开始信号与同步结束信号发给粗测电路,基于混合树的编码器将采样电路的输入转换为二进制码,粗计数器是一个运行在时钟速率下的计数器。

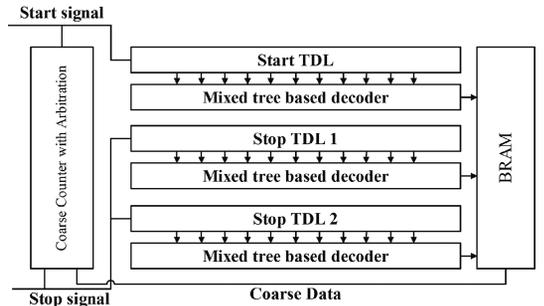


图 8 TDC 测量部分结构示意图

Fig. 8 Structure of the TDC measurement section

在实际的测量场景下,可能一次测量会有多个停止边沿,这就使得正常的双链设计不能满足实际要求。

因此采用基于纳特插值法的三链 TDC 结构。当处于需要三链的测量场景时,当第 1 个停止边沿到来时同时锁存延迟链 1、延迟链 2 和粗测数据,而当第 2 个停止边沿到来时,同时锁存延迟链 3 和粗测数据,所有这些数据将被集中存储后发送到上位机。

上位机通过 UART 串口控制整个系统的工作流程, TDC 首先进行校准,校准完毕后将存储在 BRAM 中的校准数据发送给上位机,然后清空 BRAM,在上位机发送指令后开始测量,将待测信号接入延迟链中,粗测电路记录从同步开始信号到同步结束信号之间经过多少个时钟周期。单次测量结束后可以通过串口多次重复测量,也可以重复校准。

### 2.4 粗测仲裁器设计

基于纳特插值法的 TDC 测量结构是一种简单易行,且能充分提高 TDC 量程的结构。但由于粗测电路是异步电路,当开始与结束脉冲距离时钟上升沿太近时会出现粗测电路检测不到的情况<sup>[26]</sup>,从而引起一个时钟周期的误差。为解决这种问题,提出了一种基于相移时钟的粗测仲裁器,以识别并更正这种错误。

如图 9 所示,波形表现了测量开始脉冲的亚稳态是如何影响粗测计数器,在这种情况下,要判断粗测计数器出现计数错误应满足以下两种情况。

1) 开始沿细测部分锁存的数据表示的时间间隔小于主时钟与相移时钟之间的相位差,这意味着粗测计数器有产生亚稳态的可能。

2) 粗测计数器的数据与校准计数器不等,此时校准计数器的计数值大于粗测计数器。

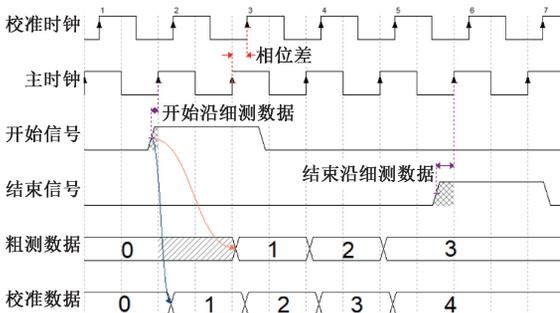


图 9 开始沿出现亚稳态时的仲裁情况

Fig. 9 Metastability along the start signal

在这种情况下可以判断出利用主时钟进行计数的粗测计数器出现了亚稳态问题导致计数错误,使用校准计数器的计数结果作为最终结果。当结束脉冲导致粗测计数器出错时原理一致,但此时校准计数器的计数值比粗测计数器小。

除此之外,如图 10 所示,当开始脉冲出现亚稳态,但结束脉冲落在主时钟与校准时钟 1 时,尽管两计数器数值一致,但实际已经出现亚稳态错误了。此时判断粗测计数器出现计数错误应满足以下 3 个条件。

1) 开始沿细测部分锁存数据表示的时间间隔小于相位差。

2) 结束沿细测部分锁存的数据大于时钟周期减去相位差,即停止沿拉高的位置在主时钟与校准时钟之间。

3) 粗测计数器和校准计数器的计数值相等。

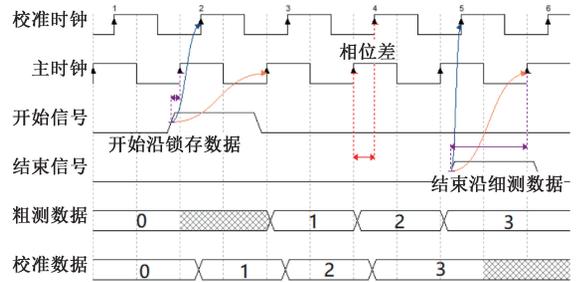


图 10 开始沿亚稳态且结束沿位置错误的仲裁情况

Fig. 10 Stop signal rise in wrong position

在同时满足以上 3 个条件时,说明此时由于结束沿落在主时钟与校准时钟之间,导致虽然发生了亚稳态错误,但主计时器与校准计数器的数据相等,此时应将主计时器的计数值做加 1 处理。对于停止沿出现亚稳态错误的情况,也可以由相同原理判断。粗测仲裁器并未使用任何特殊器件,也没有严苛的性能要求,可以在其他电路设计平台上使用,具备通用性。

### 2.5 码密度法校准

尽管延迟链的拓扑图上是严格串行排列的,但首先寄存器链之间存在时钟偏移<sup>[27]</sup>,每次综合造成的布局布线不同也会影响器件的延迟,而工艺差异、PVT 影响、电路老化这些无法避免的因素也同样会影响延迟单元的延迟。因此,在正式开始测量前首先通过码密度法来校准单个延迟单元的实际延迟是很有必要的。

码密度法校准的原理是不断使用延迟链锁存随机脉冲,这种与时钟周期无关的随机脉冲最终击中抽头的事件可以被认为均匀分布的,因此击中抽头的次数在总的校准次数中所占的比例就相当于该抽头的实际延迟在延迟链的总延迟(通常是一个时钟周期)中所占的比例。随机延迟一般由奇数个 LUT 组成的 RO 环构成。

为使校准误差低于 1 ps,在时钟周期为 2.5 ns 的情况下,需要校准 6 250 000 次,而在时钟为 2 ns 的情况下时,需要校准 4 000 000 次。

## 3 实验结果与对比分析

如图 11 所示, TDC 在 28 nm 制程的 KINTEX-7

XC7K325T 芯片上实现,图 12 所示为通过码密度法校准得到的延迟单元实际延时情况,该延迟链的总延迟为 2.5 ns,延时单元数量为 208 个,由式(3)可计算得到其 LSB 为 12.019 ps,由式(4)和(5)可计算得到其 DNL 为[-0.80 LSB, 4.67 LSB],INL 为[-3.82 LSB,5.02 LSB]。



图 11 实现 TDC 的 kintex-7 开发板实物

Fig. 11 Physical kintex-7 development board for TDC

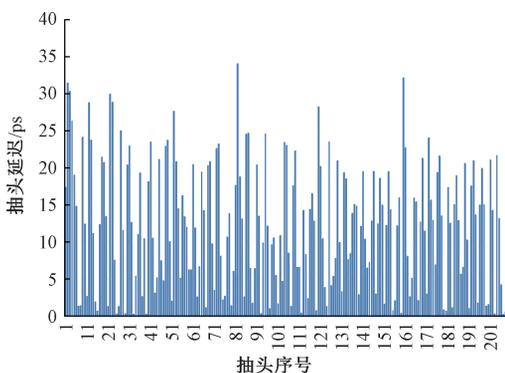


图 12 延迟链实际延迟

Fig. 12 Actual delay of taps in TDL

使用外部信号发生器产生的固定脉冲的误差往往比 TDC 的测量脉冲要大,因此很多论文采用测量 PLL 产生的固定时钟作为评估 TDC 性能的有效手段。在 kintex-7 上实现的 TDC 测量由 MMCM 产生的 90°向移 45 MHz 时钟作为开始信号,270°相移的 45 MHz 时钟作为结束信号,即理论测得结果为 11.111 ns,在 kintex7 上持续测量 3 000 次后的测量结果,测量结果显示在 KINTEX7 上实现的 TDC 其 RMS 精度为 23.363 ps 与其他文献的结果对比如表 1 所示,其中文献[4,8]设计的时间测量单元均被设计用于芯片的延迟参数测量,但首先该方案性能方面没有达到时间测量的第一梯队,其次只具备测时功能,并不能覆盖到应有的延迟参数测量场景。文献[6]所做的工作是在已有的 ATE 工具上进行测试方法的优化,最终实现的方法在测量准确性上只做出了合理性判断,测量时间也显然过长。文献[9,23]为基于 FPGA 的 TDC 设计方案,与之相比本文的 TDC 在资源占用上不具备优势,但对 FPGA-TDC 设计而言,资源成本并非关键考量因素。基于动态选通与去亚稳态 TDC 测量系统的单次测量时长因选通时序配置需求有所增加,但仍显著优于现有主流延迟参数测试方案。评估完 TDC 的性能后还需对时间参数测量系统的功能进行验证。

为验证整个时间参数测量系统是否能正常工作,对 TI 公司生产的 74HC08 芯片施加方波,该芯片为组合逻辑与门,即输入引脚均为高时输出拉高,将输入引脚 A 的电平拉高,对输入引脚 B 施加周期为 1 000 ns 的方波,就可以在输出引脚 C 得到该芯片输出的方波信号。

表 1 与同类设计的对比

Table 1 Comparison with similar design

方法	实现平台	实现方法	分辨率	测量精度	单次测量时间	LUTs	Flip flops
文献[4]	FPGA	多相时钟方法	2 ns	—	—	—	—
文献[6]	数模混合 ATE	—	—	—	2 s	—	—
文献[8]	FPGA	抽头延时链	34.7 ps	39.7 ps	10 ns	—	—
文献[9]	FPGA	调谐延迟链	22.2 ps	26.9 ps	8 ns	216	638
文献[23]	FPGA	双通道调谐延迟链	83.33 ps	20.63 ps	0.59 $T_{clk}$	402	538
本文	FPGA	抽头延迟链	12.019 ps	23.363 ps	10 ns	1642	2 179

以上升时间测量为例,设置 PE 芯片的比较电平为 1 和 4 V,设置敏感边沿为上升沿,边沿数目为 2,有效通道的比较器选择为一高一低。即可测得待测芯片的上升时间,读回数据显示为 27.31 ns,图 13 所示为放大后的上升沿波形,测量结果基本符合示波器读出波形。

若要测量 DUT 的频率和占空比,设置 PE 芯片的比较电平为 2.5 V,设置第 1 个敏感边沿为上升沿,第 2 个敏感边沿为下降沿,第 3 个敏感边沿为上升沿,边沿数目为 3,有效通道的比较器选择高比较器,即可测得待测芯



图 13 示波器抓取芯片输入输出波形

Fig. 13 The oscilloscope grabs the chip input and output waveforms

片的占空比和方波频率,读回数据显示为高电平持续时间为 499.13 ns,低电平持续时间为 500.72 ns,基本符合示波器读出波形,也与上位机设置施加模式相同。

在进行稳定性测试的实验中,由于直接对待测芯片施加激励后产生的信号存在较强的信号失真问题,因此使用固纬电子 MFG-2000 信号发生器生成脉冲宽度为 500 ns,幅度为 0~5 V 的脉冲,该信号被接入 PE 芯片

MAX9979 的输入端口,MAX9979 的比较电平被设置为 2.5 V,输出信号接入 FPGA 中,按照上位机设置的测量与选通模式工作,最终产生的 start 与 stop 信号被送入 TDC7201 中进行测量。所得结果如图 14 所示,其均方根精度为 406.08 ps,考虑到 MFG-2000 生成信号的抖动为 500 ps,测量结果足以证明所设计模块的有效性。

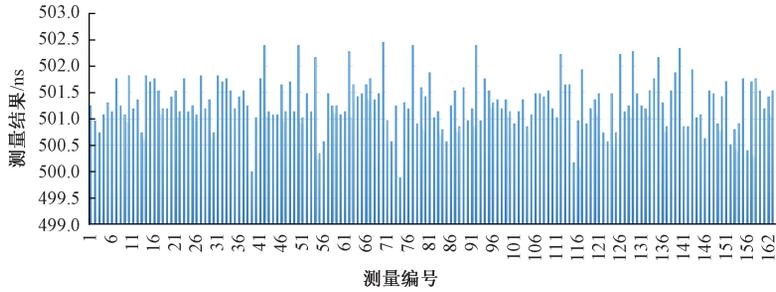


图 14 测量芯片输出 500 ns 脉宽结果

Fig. 14 Measuring chip output 500 ns pulse width result

## 4 结 论

针对集成电路小延迟缺陷识别与芯片延迟参数测量难题,提出了一种基于 FPGA 的芯片延迟参数测量架构。该方案基于动态选通单元与抗亚稳态时间数字转换器的协同机制,构建了具备高灵活性、高稳定性的全场景测量平台。动态选通单元通过“监测-触发-选通”三级控制,在保持纳秒级测量速度的同时实现信号边沿无扰捕获,有效规避时序干扰。时间数字转换器采用结合相移时钟仲裁粗测与码密度法校准细测的三链式结构,同步解决延迟单元非均匀性误差和异步亚稳态问题,并完成了对延迟参数测量场景的适配。实验表明该系统在精度、稳定性及功能覆盖性方面均达到预期目标。后续还需要开发长时间运行情况下温度漂移的实时校准算法,增加并行测试以提高测试速度,并考虑三链式 TDC 的资源优化情况,以期得到工程稳定性更高更贴近芯片测试场景的延迟参数测量单元。

### 参考文献

- [ 1 ] RAMESH S, KRISHNAMURTHY N, JHA S, et al. Cell-aware test integration towards achieving 0 DPPB on automotive designs [ C ]. ISTFA, 2023, DOI: 10.31399/asm.cp.istfa2023p0528.
- [ 2 ] HASIB O A T, SAVARIA Y, THIBEAULT C, et al. Optimization of small-delay defects test quality by clock speed selection and proper masking based on the weighted slack percentage [ J ]. IEEE Transactions on Very Large

Scale Integration ( VLSI ) Systems, 2020, 28 ( 3 ): 764-776.

- [ 3 ] LIU X, ZHANG X, HONG H, et al. A high-precision delay faults testing technique based on the improved DWR structure [ C ]. International Conference on Integrated Circuits and Microsystems ( ICICM ), 2023.
- [ 4 ] 劳文华. IC 测试系统中动态参数测量单元的研究 [ D ]. 成都: 电子科技大学, 2014.  
LAO W H. The research of time parameter measurement unit for IC test system [ D ]. Chengdu: University of Electronic Science and Technology of China, 2014.
- [ 5 ] 孙宇凯, 刘鹏, 王君从, 等. 浅析 ATE 的 TMU 和参数扫描测试方法 [ J ]. 中国集成电路, 2022, 31 ( 6 ): 85-89.  
SUN Y K, LIU P, WANG J C, et al. Analysis of TMU and parameter scanning test method of ATE [ J ]. China Integrated Circuit, 2022, 31 ( 6 ): 85-89.
- [ 6 ] 李灿, 韩先虎, 程法勇, 等. 基于 ATE 的传输延迟测试方法优化 [ J ]. 现代电子技术, 2023, 46 ( 20 ): 39-43.  
LI C, HAN X H, CHENG F Y. Transmission test optimization based on ATE [ J ]. Modern Electronics Technique, 2023, 46 ( 20 ): 39-43.
- [ 7 ] 范怡淳. 波形数字化中高精度时间信息提取方法研究 [ D ]. 合肥: 中国科学技术大学, 2023.  
FAN Y CH. Research on the high precision time extraction method based on waveform digitization [ D ]. Hefei: University of Science and Technology of

- China, 2023.
- [ 8 ] 刘士兴,李江晖,夏进,等.应用于 ATE 的时间测量单元设计[J].电子测量与仪器学报,2023,37(6):86-92.
- LIU SH X, LI J H, XIA J, et al. Design and implementation of time measuring unit applied to ATE [J]. Journal of Electronic Measurement and Instrumentation, 2023, 37(6):86-92.
- [ 9 ] MA S, JIN G, CHEN L. A DAQ system with low-dead-time, high-precision TDC for APD detection efficiency calibration [J]. Journal of Instrumentation, 2025, 20(1):T01004.
- [ 10 ] 池博浩,江浩,钱慧,等.用于心电信号的能量最大化模拟信息转换系统[J].仪器仪表学报,2021,42(3):213-220.
- CHI B H, JIANG H, QIAN H, et al. Energy maximization analog-to-information converter system for ECG signal [J]. Chinese Journal of Scientific Instrument, 2021, 42(3):213-220.
- [ 11 ] 何继爱,辛家乐,石麟泰.基于 FPGA 的单光子时间数字转换器设计[J].电子测量技术,2024,47(5):16-21.
- HE J AI, XIN J L, SHI L T. Design of time-to-digital converter based on FPGA [J]. Electronic Measurement Technology, 2024,47(5):16-21.
- [ 12 ] MATTADA M P, GUHILOT H. Time-to-digital converters-A comprehensive review [J]. International Journal of Circuit Theory and Applications, DOI: 10.1002/cta.2936.
- [ 13 ] ZHANG J, ZHOU D. An 8.5-ps two-stage Vernier delay-line loop shrinking time-to-digital converter in 130-nm flash FPGA [J]. IEEE transactions on instrumentation and measurement, 2018, 67(2):406-414.
- [ 14 ] SUI T, ZHAO ZH, XIE S, et al. A 2.3-ps RMS resolution time-to-digital converter implemented in a low-cost cyclone V FPGA [J]. IEEE Transactions on Instrumentation and Measurement, 2018:1-14.
- [ 15 ] MOISÉS A-V, REBOLLEDO-H L, HEBER ZEPEDA-F, et al. Trimmed-TDL-Based TDC architecture for time-of-flight measurements tested on a cyclone V FPGA [J]. IEEE Transactions on Instrumentation and Measurement, 2023,72:1-9.
- [ 16 ] WU J, SHI Z. The 10-ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay [C]. 2008 IEEE Nuclear Science Symposium Conference Record, Dresden, Germany, 2008.
- [ 17 ] KWIATKOWSKI P, SONDEJ D, SZPLET R. Subpicosecond resolution time interval counter with multisampling wave union type B TDCs in 28 nm FPGA device [J]. Measurement, 2023,209:0263-2241.
- [ 18 ] XIE W, CHEN H, LI D U. Efficient time-to-digital converters in 20 nm FPGAs with wave union methods [J]. IEEE Transactions on Industrial Electronics, 2022(99):1.
- [ 19 ] PARSAKORDASIABI M, VORNICU I, NGEL RODRÍGUEZ-VÁZQUEZ, et al. A Low-resources TDC for multi-channel direct ToF readout based on a 28 - nm FPGA [J]. Sensors, 2021, 21(1):308.
- [ 20 ] ARAÚJO S, MACHADO R, CABRAL J. Double-sampling gray TDC with a ROS interface for a LiDAR system [C]. International Conference on Event-Based Control, Communication, and Signal Processing (EBCCSP). 2021.
- [ 21 ] TANCOCK S, RARITY J, DAHNOUN N. The wave-union method on DSP blocks: Improving FPGA-based TDC resolutions by 3x with a 1.5 x area increase [J]. IEEE Transactions on Instrumentation and Measurement 2022,71:1-11.
- [ 22 ] 汪玉传,梁华国,鲁迎春,等.基于 STR 的两级差分的高精度低功耗 TDC [J].电子测量与仪器学报,2023,37(6):136-146.
- WANG Y CH, LIANG H G, LU Y CH. STR-based two-stage differential high-precision and lower-power TDC [J]. Journal of Electronic Measurement and Instrumentation, 2023, 37(6):136-146.
- [ 23 ] LIU SH X, ZHOU Y X, LIAO SH L, et al. WEFWLLLLLDHDWWUWU55NCA low-dead-time fpga-based time-to-digital converter employing resource-efficient downsampling-multiplexing encoding and dual-histogramming for LiDAR applications [J]. IEEE Transactions on Industrial Electronics, 2024, 71:13395-13405.
- [ 24 ] GARZETTI F, LUSARDI N, RONCONI E. Novel machine learning-driven optimizing decoding solutions for FPGA-based time-to-digital converters [J]. Measurement, 2024,238:16.
- [ 25 ] SZPLET R, SZYMANOWSKI R, SONDEJ D. Measurement uncertainty of precise interpolating time counters [J]. IEEE Transactions on Instrumentation and Measurement, 2019,68(11):4348-4356.

- [26] XIA H, YU X, ZHANG J, et al. A Review of advancements and trends in time-to-digital converters based on FPGA [ J ]. IEEE Transactions on Instrumentation and Measurement, 2024,73:1-25.
- [27] WANG Y, XIE W, CHEN H, et al. Low-hardware consumption, resolution-configurable gray code oscillator time-to-digital converters implemented in 16 nm, 20 nm, and 28 nm FPGAs [ J ]. IEEE Transactions on Industrial Electronics, 2023, 70(4) : 4256-4266.

作者简介



王斯禹(通信作者),2021年于武汉工程大学获得学士学位,现为合肥工业大学硕士研究生,主要研究方向为集成电路小延迟测量。

E-mail: wang\_syu@163.com

**Wang Siyu** (Corresponding author) received his B. Sc. degree from Wuhan Institute of Technology in 2021. He is now a M. Sc. candidate at Hefei University of Technology. His main research interest includes small delay testing of integrated circuits.



梁华国,2003年于德国斯图加特大学获得博士学位,现为合肥工业大学教授,博士生导师,主要研究方向为容错计算、嵌入式系统综合与测试。

E-mail: huagulg@hfut.edu.cn

**Liang Huaguo** received his Ph. D. degree from the University of Stuttgart in Germany in 2003. He is now a professor and Ph. D. supervisor at Hefei University of Technology. His main research interests include fault-tolerant computing, embedded system synthesis and testing.