DOI: 10.13382/j.jemi.B2307097

面向自主芯片频率扫描实速测试的扫描链分析*

张 锦[1] 刘政辉[1] 扈 啸[2,3] 胡春媚[2,3]

(1. 长沙理工大学计算机与通信工程学院 长沙 410076;2. 国防科技大学计算机学院 长沙 410073;
3. 先进微处理器芯片与系统重点实验室 长沙 410073)

摘 要:随着芯片工艺的不断升级,芯片设计的频率不断提高,时延故障是引起高速芯片失效的重要因素。在硅后验证阶段,由于缺乏一种对芯片全局路径延时测量的手段,传统构建延时测量电路的方式仅能得到特定关键路径的延时变化情况,在芯片失效时无法进行全面的路径延时分析。本文提出一种基于扫描链的频率扫描实速测试方法对芯片内部大量时序路径的延时进行测量并获取时序裕量。针对生成测试向量时间长,依赖专业测试设备的问题,在自研硬件平台上通过自生成多频率测试向量以及改进数据校验算法成功实现了频率扫描实速测试,对芯片测量的路径延时误差在 8 ps 左右。通过对不同芯片在不同温度下的实验验证了该方法对路径延时表征的有效性,为今后通过延时参数对高速芯片进行环境适应性分析、寿命预测等研究提供了一种快捷有效的方法。

关键词: 实速测试;扫描链;芯片测试;测试向量;路径延时

中图分类号: TN407;TN47 **文献标识码**: A **国家标准学科分类代码**: 510.3040

Scan chain analysis for at-speed test of frequency scanning of autonomous chip

Zhang Jin[1] Liu Zhenghui[1] Hu Xiao[2,3] Hu Chunmei[2,3]

(1. School of Computer and Communication Engineering, Changsha University of Science and Technology, Changsha 410076, China;
2. College of Computer Science and Technology, National University of Defense Technology, Changsha 410073, China;
3. Key Laboratory of Advanced Microprocessor Chips and Systems, Changsha 410073, China)

Abstract: With the continuous advancement of chip technology and the increasing frequency of chip design, delay faults have become an important factor leading to the failure of high-speed chips. In the post-silicon validation stage, due to the lack of a method for measuring the global path delay of chips, the traditional method of constructing delay measurement circuits can only obtain the delay variation of specific critical paths, and comprehensive path delay analysis cannot be conducted when the chip fails. This paper proposes a frequency sweeping at-speed testing method based on scan chains to measure the delay of a large number of timing paths inside the chip and obtain the timing margin. Addressing the issues of long test vector generation time and reliance on specialized testing equipment, frequency sweeping at-speed testing was successfully implemented on a self-developed hardware platform through the generation of multi-frequency test vectors and an improved data verification algorithm. The measurement error of the chip's path delay is around 8 ps. Experimental verification on different chips at different temperatures confirmed the effectiveness of this method in characterizing path delay, providing a fast and effective method for future research on environmental adaptability analysis and lifetime prediction of high-speed chips through delay parameters.

Keywords: at-speed test; scan chain; chip test; test vector; path delay

收稿日期:2023-12-02 Received Date: 2023-12-02

*基金项目:全军共用信息系统装备预研项目(31511010402)、国防科技重点实验室基金(2021-KJWPDL-17)项目资助

0　引　言

随着集成电路的快速发展,芯片内部的晶体管数量规模已经达到百亿级别[1],工作频率越来越高。高速芯片的时延故障是引起芯片失效的重要因素[2]。影响芯片内部延时的因素有很多,比如制造工艺的相关问题(栅极氧化失效[3]、通孔[4])以及外部环境、芯片个体差异、老化[5]等。这些因素都会导致芯片内部的路径延时增加,运行速度下降,最终出现时延故障而无法在设定频率下工作。在硅后验证阶段,传统基于电流、电压等参数测试[6]的方法难以观察到芯片内部时序路径之间的延时发生改变,因此需要一种方法能够对内部路径延时进行测量并获取时序裕量。

针对片上路径延时变化的观察一般通过时间数字转换器(time to digital converter,TDC)直接测量,如通过将被测路径和返回回路配置成环形振荡器[7-9],可以将目标路径的延迟转换为振荡周期。此外,通过游标延迟线等[10]方式构建测量电路也能实现对目标路径延时的测量。

但上述方法均是针对芯片内部特定的关键路径构建专用延时测量电路,分析不同因素下延时的变化。而环境因素、老化等会影响到所有的时序路径,这些方法难以表征芯片整体的延时变化。

目前高速芯片普遍会在内部插入扫描链[11]以提高芯片的可测性,提出了一种基于扫描链的频率扫描实速测试方法,在不改变原电路设计的情况下,对芯片路径延时进行间接测量进而分析变化规律。该方法能覆盖到芯片的大部分组合逻辑路径,得到各路径的延时与裕量,实现对芯片延时变化的全局感知。由于测量的路径数量众多,可以更有效地反映外部因素对路径延时的影响,用于老化分析和寿命预测等方向的研究。

1　相关介绍

1.1　扫描链

扫描测试设计是将芯片内部普通 D 触发器替换为带有扫描使能端的扫描触发器(scan flip-flop, SFF),使其具有可测性。如图 1 所示,通过给 D 触发器的输入添加一个二选一数据选择器即可实现一个简单的扫描单元。当扫描使能为 1 时,扫描触发器锁存的数据来自扫描输入端口,扫描输入端口的顶层为扫描测试向量的基本输入端口。

全扫描设计是将电路中的 D 触发器全部替换成扫描触发器,使所有的触发器在测试时连接形成一条移位寄存器链。移位寄存器链加上寄存器之间的组合逻辑构成了扫描链。如图 2 所示。

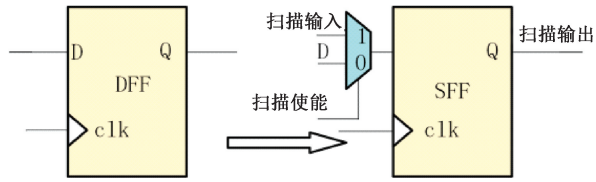

图 1　扫描触发器

Fig. 1　Scan flip-flop

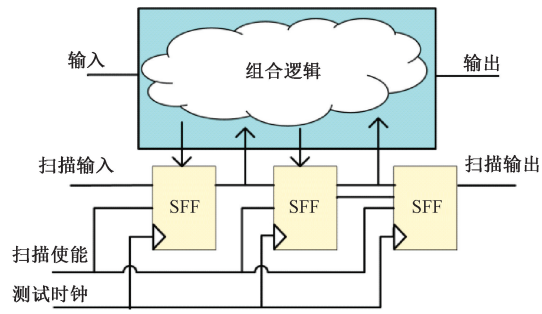

图 2　扫描链

Fig. 2　Scan chain

当扫描使能为 0 时,扫描寄存器相当于普通的 D 触发器,内部电路工作在正常功能模式下,扫描设计对电路的正常运行没有影响。当扫描使能设置为 1 时,扫描链处于移位模式,用测试时钟驱动寄存器,将测试数据从芯片的顶层端口输入,在扫描触发器等构成的数据通路里串行移动,最后通过芯片的顶层端口输出,并将输出结果与标准结果进行对比与分析,以此来提高芯片内部的可观察性和可测性,达到测试芯片内部错误的目的。目前基于扫描链和自动测试向量生成(auto test pattern generation, ATPG)的方法来实现实速测试已经广泛应用于工业界,并成为很多公司的芯片测试项。

1.2　实速测试

实速扫描测试[12]支持跳变时延故障模型和通路时延故障模型。其中,通路时延故障模型用于检查数据从输入到输出经过一系列的逻辑门组成的时序路径的总延迟。由于芯片内部的时序路径众多,一般利用静态时序分析工具选取一定数量的最大延迟路径进行测试。这些路径中,大多数的起点和终点都是时序单元,只有个别路径的起点和终点是基本输入与基本输出。跳变时延故障模型用来检查逻辑门之间的跳变延迟,采用的测试方法类似于测试路径延迟,不同的是跳变测试的测试路径是通过 ATPG 工具自行选择的,本文实验主要针对跳变故障模型进行检测与分析。

实速测试要求测试向量从一个扫描单元或一个基本输入产生从 1 到 0 或从 0 到 1 的信号跳变,然后在另一

个扫描单元或一个基本输出进行捕获检测。目前进行实速测试使用广泛的时序为 Launch-off-capture 时序,在实速测试时,首先将扫描使能端设置为 1,使用测试时钟驱动寄存器,并在扫描链的输入端移入测试向量,在一定的时钟周期后,测试向量被移至对应的扫描寄存器。然后将扫描使能设置为 0,芯片内部电路回到正常工作模式,此时芯片会产生两拍高速时钟,一拍是启动节拍来激活故障,另一拍用来捕获测试响应。再将扫描使能设置为 1,扫描链重新工作回移位模式下,测试输出值会被移出,将移出的结果进行保存与对比,即可知道芯片内部路径是否存在故障。

2　基于频率扫描实速测试的路径延时测量

2.1　多路径延时测量方法

本文提出频率扫描实速测试的方法得到扫描链上不同路径的延时,以扫描链其中一段时序路径为例,其延时测量方法如图 3 所示。

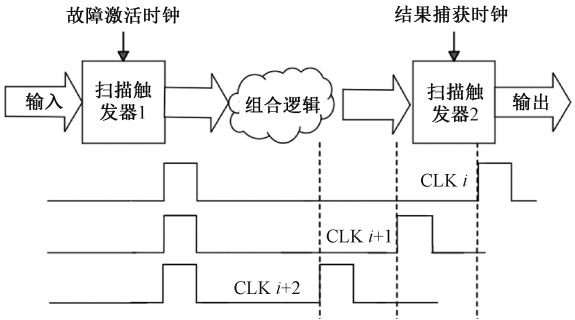

图 3　延时测量方法

Fig. 3　Delay measurement method

其中两个触发器之间的组合逻辑路径是需要进行延时测量的位置,当扫描链进行实速测试时,扫描触发器 1 激活故障并通过组合逻辑产生跳变,下一拍捕获时钟对跳变结果进行捕获存储,测试结果与标准结果是否一致取决于扫描触发器 2 能否成功捕获到跳变。其能成功捕获需要满足建立时间(Setup Time)与保持时间(Hold Time)的约束[13]。在不考虑时钟抖动、时钟偏斜的情况下,约束条件可表示为:

$$T_{\text{clk}} - T_{\text{setup}} > T_{\text{comb}} \tag{1}$$

$$T_{\text{comb}} > T_{\text{hold}} \tag{2}$$

其中,T_{clk} 表示进行故障激活与结果捕获的时钟周期,T_{setup} 表示寄存器的建立时间,T_{comb} 代表组合逻辑的路径延时,T_{hold} 表示寄存器的保持时间。当提高时钟频率,不断减少捕获时钟的周期,最终无法满足约束条件并捕获到正确的跳变结果,出现时延故障。扫描链在频率 clk_{i} 下能通过实速测试,而在频率 $clk_{\text{i+1}}$ 测试无法通过测试时,根据式(1)可得:

$$T_{clk_i} - T_{\text{setup}} > T_{\text{comb}} \tag{3}$$

$$T_{clk_{i+1}} - T_{\text{setup}} < T_{\text{comb}} \tag{4}$$

$$T_{clk_{i+1}} - T_{\text{setup}} < T_{\text{comb}} < T_{clk_i} - T_{\text{setup}} \tag{5}$$

其中建立时间是与晶体管本身的工艺以及材料相关的常量。测试芯片已通过出厂测试,式(2)的条件已经满足。因此根据式(5)可以得到该段路径的延时范围。

扫描链测试输出的每一个有效位都能对应图 3 所示的一段时序路径。通过频率扫描实速测试得到不同频率下的扫描链输出结果,再与实速测试的标准结果进行对比,得到与标准结果不一致的位。不一致位的设定工作频率与开始失效频率之差反映了相应路径的时序裕量,而根据相邻频率输出结果的差异则能测出对应路径的延时。目前实速测试对时延故障的覆盖率一般在 90% 以上[14],能覆盖芯片内部大部分路径。通过频率扫描实速测试的方法,当外部因素(如环境温度、工作电压)引起芯片延时变化导致出现时延故障时,可以得到芯片大部分路径的延时变化情况,以便进行全面诊断与分析。

2.2　多频率测试向量

频率扫描依赖于不同频率的测试向量文件来改变测试的频率,但芯片的规模越大,内部功能越复杂,生成测试向量的时间也越长,以本文实验的测试芯片为例,采用 EDA 工具生成一个标准测试向量文件需要数个小时。如果在每个频率点生成对应的测试码文件,耗费的时间多、成本高。针对在不同频率下进行实速测试的需求,需要能自主控制生成不同频率的测试向量。实速测试为了产生两拍高速时钟,满足测试的时序的要求,一般在芯片控制逻辑中插入片上时钟控制器用来对芯片的测试时钟进行控制。片上时钟控制器的主要功能是实现低速的移位时钟和高速工作时钟之间的切换,其低速时钟来一般自于自动测试设备,而高速工作时钟来源于待测芯片内部的锁相环产生的高速时钟[15],锁相环产生测试高速时钟的结构如图 4 所示。

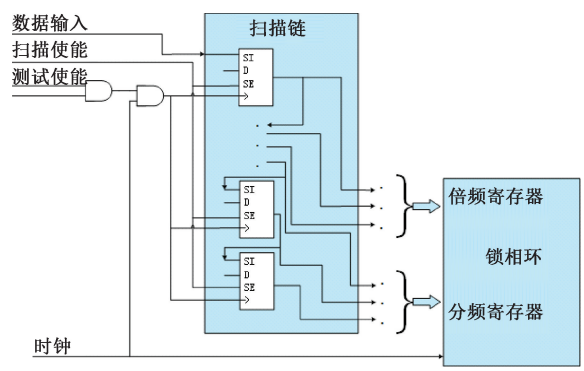

图 4　锁相环频率配置结构

Fig. 4　Structure of PLL frequency configuration

测试向量在使能信号控制下,输入相应的扫描链中进行锁存,生成的高速时钟再通过片上时钟控制器选择输出。依据被测试芯片的可测性设计以及测试向量分析,某输入端的前 32 位测试向量是用来扫入控制锁相环的倍频系数、分频系数,以达到不同扫描测试期望的测试频率。其前 32 位的对应的配置寄存器位置如表 1 所示。

表 1　寄存器与测试向量位置

Table 1　Location of registers and test vectors

向量位置	9	12	24	25	26	27	28	29
寄存器位置	3	5	7	6	4	2	1	0

由表 1 可知,实际用来倍频的寄存器在扫描设计中并没有相邻设计。通过改变该测试码的前 32 位,将对应寄存器设置为期望频率相应倍数的二进制数值,在不需要重新生成测试向量的情况下,就可能实现多频率下的实速测试。为了对生成测试向量有效性进行验证,通过软件生成其他频率的测试向量文件与自生成测试向量文件进行对比,发现两者一致,自生成测试向量符合扫描测试要求。由于是通过改变倍频系数来实现不同的测试频率,目前频率扫描的最小步进精度为待测芯片的初始时钟频率 25 MHz。此外,通过改变初始时钟频率的方式可以进一步提高最小步进精度。

2.3　双模态 X 校验

将测试向量注入到芯片进行实速测试研究往往需要使用专业的自动测试设备[16],但昂贵的价格以及体积限制了使用范围。目前可替代的方案是采用基于 FPGA 的测试设备[17-20],其一般由 PC、主控芯片、FPGA 以及测试芯片 4 个部分组成。以往的 FPGA 测试设备均无法实现频率扫描实速测试,关键问题在于存储测试过程产生的大量结果以及对于数据校验过程中 X 的处理。标准结果中的 X 表示该位既可以为 0 也可以为 1。文献[19]通过在 PC 机中存储结果并使用字符比较,将不需要对比的 X 位跳过,但会占用 PC 机大量的存储空间用于保存测试结果,文献[20]先对 0、1、X 分别编码为 00、11、01,在 FPGA 上解码实现结果对比,但只能判断芯片是否失效,损失了测试结果中的有效信息。而在主控芯片上进行校验可以节省大量的存储空间并且缩短测试时间。

考虑到主控芯片可以扩展存储空间,将 X 全部替换为 0 或者 1 时,不影响标准结果的正确性。因此本文根据该特点,采用空间换时间的策略以及异或校验算法,对实际的测试结果根据两种不同模态的标准结果进行 0 和 1 的独立校验,其实现过程如图 5 所示。将标准结果的 X 全部转换为 0,其中 X 为 0 的标准结果记为 S0,X 为 1 的标准结果记为 S1,存入主控芯片。再将实际测试结果进行备份,得到两份实际测试结果。将其中原本的实际测试结果与 S0 进行与运算之后结果存入原本的存储地址,此时测试结果中所有的 X 位置上的数据以及标准结果为 0 的位置全都变为 0,再与 S0 进行异或校验,通过这种方法能校验出实际结果中的 1 与标准结果是否一致。而 0 校验则是将实际结果与 S1 进行或运算,再将结果与 S1 进行对比。当 0 校验与 1 校验都通过时,认为实际结果与标准结果一致,测试通过。

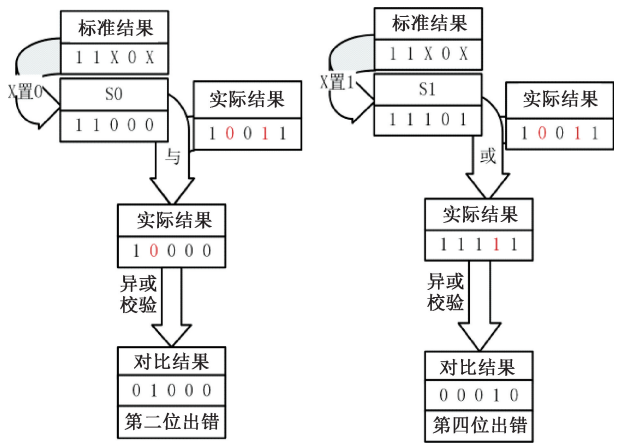

图 5　双模态 X 校验

Fig. 5　Bimodal X-checks

在主控芯片上实现字符比较时,需要建立 X 的位置集合。当 X 的数量较多时,每次校验需遍历整个位置集合,时间复杂度为 $O(n^2)$。将本文所提出的校验方法与其他两种方法在软件上实现,并在 Xilinx Kintex-7 FPGA 上进行综合。3 种方法在内存开销、硬件资源、时间复杂度的对比结果如表 2 所示。

表 2　校验方法对比

Table 2　Comparison of verification methods

方法	硬件资源	内存	时间复杂度
字符比较	无法实现	L	$O(n^2)$
编码/解码	LUT3	2L	$O(n)$
双模态 X	LUT3	2L	$O(n)$

注:其中 L 表示标准结果长度

测试向量长度一般在 1 000 万位左右,当有不同数量级 X 时,本文所提出的数据校验算法在速度上具有较大优势,3 种方法进行一次数据校验的时间对比如图 6 所示。

2.4　实验设备与环境

为了验证所述方法的有效性,本文自主研发了相应的频率扫描实速测试硬件平台,平台架构如图 7 所示。

其中 FPGA 采用 Xilinx Kintex-7 的 XC7K325T 芯片,用于将测试向量转化为实际的电压信号施加到测试芯片上。主控芯片采用自研的高性能数字信号处理器(digital signal processing,DSP)芯片,实现所提出的频率控制以

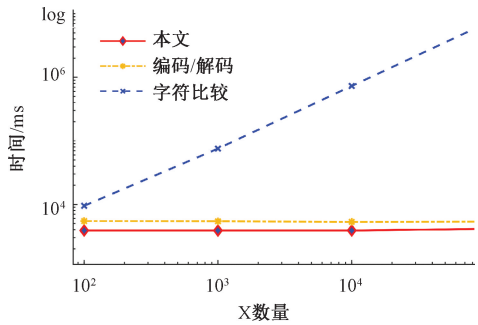

图 6　校验时间比较

Fig. 6　Comparison of verification time

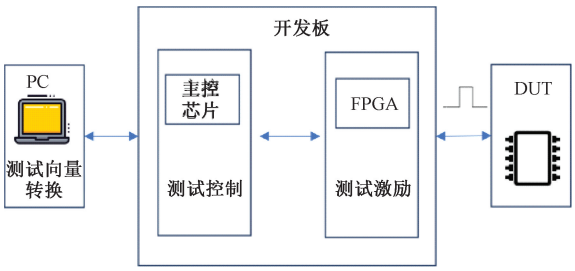

图 7　平台架构

Fig. 7　Architecture of platform

及校验算法,两颗芯片分别通过各自的 JTAG 接口进行程序的烧写。FPGA 与主控 DSP 之间采用 EMC 接口进行数据的交互,而 DSP 与 PC 使用网口进行数据传输。为了能存储测试向量与测试结果,平台搭载了存储容量大小为 2 GB 的 DDR 芯片,通过主控 DSP 进行读写。硬件平台实物如图 8 所示。

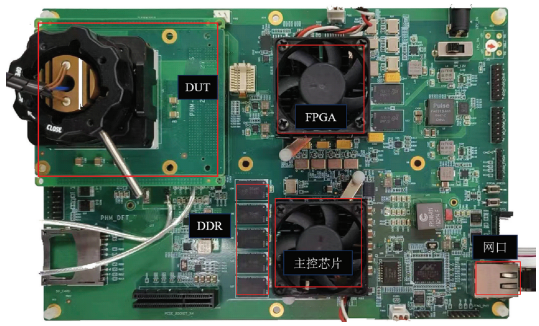

图 8　硬件平台实物

Fig. 8　Physical hardware platform

硬件平台实物分为主卡和子卡两个部分,主卡上集成了相关芯片,子卡上带有芯片插座用于安装测试芯片。FPGA 与测试芯片之间按照芯片设计手册以及实速测试要求将端口进行连接。此外,主卡上还有 SD 卡槽,PCIE 接口等都可以用作数据传输,方便进行功能扩展。系统的硬件开发采用 Xilinx 的 Vivado 集成开发环境,主控 DSP 上程序使用 C 语言实现。

2.5　实验流程

软件生成的测试向量是文本格式且有部分 X,需要将其转换为测试可用的二进制文件,将测试向量中的 X 全部转换为 0,对测试的结果没有影响,该部分主要在 PC 端进行。主控芯片对实速测试流程进行控制,将测试向量和测试结果保存在主控芯片的 DDR 内存空间,进行结果比对之后再将故障信息通过 TCP 协议传输给 PC 进行数据分析。FPGA 端通过逻辑控制测试向量按照测试文件要求同步向待测芯片传输,并回收测试结果。测试流程如图 9 所示。

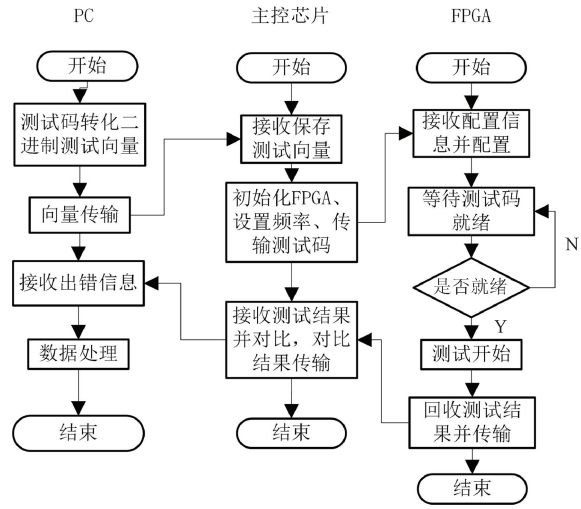

图 9　实验流程

Fig. 9　Experimental procedure

由于芯片测试设备具有跨系统、同步协同性高的特点,需要进行跨系统操作时,优先进入另一个系统的工作流程。将测试芯片实速测试的最低频率设置为 1 GHz,最高频率设为 3.2 GHz(待测芯片锁相环的最高频率),在每个频率点测试 100 次。对芯片整条扫描链进行测试会导致功耗过大,发热量较高,测试芯片根据芯片的不同模块对扫描链做了分组设计,实验主要对其中的一个分组进行测试与分析,其他分组的实验流程与该分组一致。

3　结果分析

3.1　故障信息及相关定义

为了能对数据进行有效的分析,以实速测试的标准结果作为参考,将实际测试结果与标准结果逐位对比得到芯片在某频率下的故障集合,有如下定义:

定义 1　测试结果与标准结果不一致时视为扫描链故障。

定义 2　测试结果与标准结果不一致的数量为扫描

链故障数量。

定义 3　测试结果与标准结果不一致的位置为扫描链故障位置。

定义 4　故障次数占总测试次数的百分比为故障率。

测试芯片内部采用了内嵌的测试压缩技术,将整条扫描链分成了多条长度相同的短链,其中每 n 条短链作为 1 个分组,总共有 3 个分组。将 3 个分组视为 3 条扫描链,分别为扫描链 1、扫描链 2 和扫描链 3,每个分组测试结果进行聚合操作之后的最终结果从 3 个输出端口移出,每个输出端口都有对应的标准结果。在进行结果分析时得到的故障位置代表每个分组中出错的某些短链上的位置,3 条链的故障数量之和代表了整条扫描链的故障数量。由于在主控芯片上已经实现了测试结果的校验,传输给 PC 端的故障信息包括故障位置、测试次数、扫描链编号、故障值。实验发现在 100 次实速测试中,扫描链的故障数量并不固定为某一数值,而是在一定范围内进行波动,如图 10 显示了在 1 800 MHz 下 100 次实速测试扫描链的故障数量。

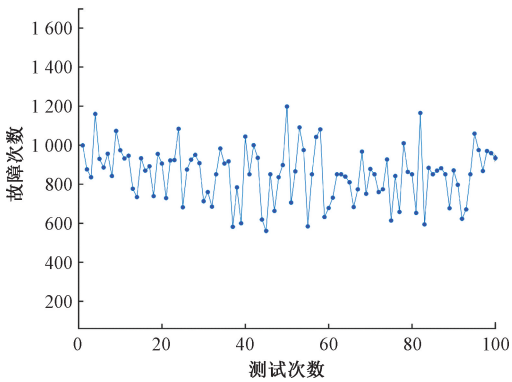

图 10　故障数量变化

Fig. 10　Change in number of faults

由于测试在内部某些电路的时序边界条件下进行,可能会受到亚稳态的影响,导致结果的不确定。将每个频率 100 次测试中,只要出现一次故障即认为扫描链在该频率下故障。

3.2　测试有效性验证

1)极限频率验证

芯片在正常工作时会通过锁相环产生工作时钟,该工作时钟也是实速测试的高速时钟,因此可以采用极限频率对照的方法进行印证,即当芯片在某一频率实速测试开始不通过时,芯片工作的极限频率也应该接近该频率。参照的极限频率通过功能测试的方法得到,即在不同的频率运行具有特定功能或者函数的代码,其能够成功执行且结果正确的最高频率就是芯片的极限工作频率,实速测试的极限频率通过测试设备获得,具体工作流程如图 11 所示。

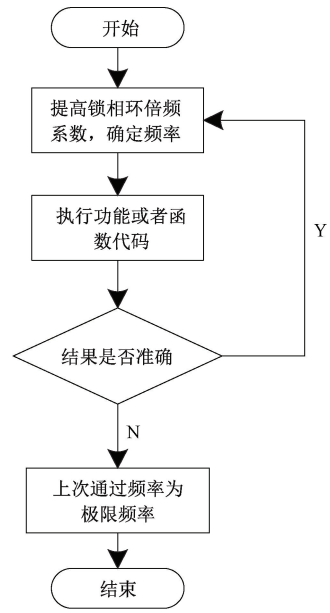

图 11　极限频率测试

Fig. 11　Limit frequency test

实速测试采用的分组对应芯片的核 0 模块,在功能测试相应的对核 0 进行测试。先用仿真器连接测试芯片的核 0,加载程序进行多次功能测试得到芯片核 0 的极限频率。实速测试的极限频率与功能测试类似,通过逐渐增大实速测试的频率,测试结果正确的最大频率就是实速测试下芯片的极限频率,两种不同方式的测试结果如表 3 所示。

表 3　极限频率对照

Table 3　Comparison of limit frequencies

测试频率/MHz	实速测试	功能测试
1 000~1 575	通过	通过
1 600~3 200	失败	失败

由表 3 可知,两种方法测试得到的极限频率一致,验证了自生成的测试向量以及待测芯片在更高频率下进行实速测试的有效性,能够实现频率扫描实速测试。

2)芯片个体差异分析

在芯片制造过程中,微小的变化或缺陷可能导致芯片个体之间性能上的差异,制造过程中的材料质量、掩模对准、曝光等步骤都可能会对芯片性能产生影响。测试芯片的极限工作频率为 1 600 MHz,但同一批次的不同芯片的极限频率可能会有一定差异,本文对测试芯片同一批次的 20 颗芯片进行了极限频率的测试。测试结果如表 4 所示。

表4　同批次芯片极限频率

Table 4　Limit frequency of the same batch of chips

芯片	极限频率/MHz	芯片	极限频率/MHz
Chip1	1 475	Chip11	1 425
Chip2	1 450	Chip12	1 525
Chip3	1 575	Chip13	1 500
Chip4	1 475	Chip14	1 475
Chip5	1 525	Chip15	1 550
Chip6	1 475	Chip16	1 425
Chip7	1 600	Chip17	1 400
Chip8	1 650	Chip18	1 475
Chip9	1 500	Chip19	1 600
Chip10	1 400	Chip20	1 550

同一批次的芯片具有不同的极限频率,实验得到已知的最低极限工作频率为1 400 MHz。对于极限频率较高的芯片,内部的时序裕量充足、性能更优,适用于使用寿命长且设备稳定性高的场景,以有效应对芯片老化带来的延时升高和电路失效问题。

3.3　局部时序裕量与延时分析

芯片内部由不同的逻辑结构以及寄存器构成,由于功能以及时序要求的不同,不同的逻辑结构往往其局部时序裕量有较大的差别。时序裕量越小的逻辑结构在频率扫描实速测试中,其出错频率越低,越容易出现时延故障。扫描链开始出现故障的频率以及不同频率下的故障数量能反映内部的时序裕量大小。随着频率的升高,故障的数量发生变化,三条扫描链的故障数量与频率变化的关系如图12所示。

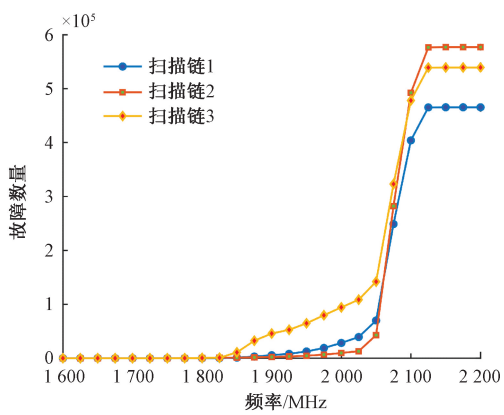

图12　总故障数量与频率关系

Fig. 12　Curve between number of faults and frequency

由图12可知扫描链的故障数量随着测试频率的提高而增加,每个引脚的故障最大数量在40万位至60万位之间,两者之间的变化并不是线性关系,而呈现出阶段性的特点,在某些频率点,故障数量会明显增加,最终当测试频率大于2 125 MHz时,故障数量开始保持不变直至锁相环最高频率3 200 MHz(图中仅显示至2 200 MHz)。而实际所使用的标准结果有2 256 226位,以扫描链1的标准结果为例,除去不需要关注的X位之外,其具体的0、1的数量如表5所示。

表5　不同类型数量

Table 5　Number of different types

类型	数量
0	1 031 196
1	572 330

测试频率达到芯片锁相环的极限频率,故障数量小于0与1的数量总和。阶段性的特点表明EDA工具生成测试向量时选择具有相同时序裕量的路径较多,而故障数量不再随着频率继续升高的原因在于芯片设计的过程中有较多连续的寄存器定义,例如"reg[1:0]"定义的寄存器组在物理结构上也紧密相连,中间没有组合逻辑的延时,时序裕量充足,在一定范围内提高频率也不会影响寄存器之间的数据传输。本文将3条分组的扫描链在不同频率下的故障位置以及故障率进行归纳整理,在每个频率下随机选取部分数据得到图13所示的故障位置以及对应的故障率、故障频率之间的关系图。

从图13中可知由于局部的时序裕量不变,在低频率下出现的故障在更高的频率下仍然会出现,随着频率的升高,故障位置的故障率也在不断上升,最终在更高的某一频率下确定故障。从开始出现故障到最终确定故障的频率差大约在100 MHz。不同的位置出现故障的频率不同,有的在1 625 MHz即开始出现故障,后续可通过将该分组的其他短链屏蔽得到对应的扫描链故障位置,再使用专用的软件进行分析,反馈给前端设计人员进行优化以提高测试芯片的工作频率。

当芯片在某一频率下能通过测试,下一频率无法通过测试时,根据路径延时测量方法可以测量故障位置所对应的延时范围,以扫描链2的439 672、40 764、122 081三个故障位置为例,其对应的路径延时的范围如表6所示。

表6　故障位置路径延时

Table 6　Path delay at fault location

故障位置	通过频率/MHz	故障频率/MHz	路径延时范围/ps
439 672	1 650	1 675	$(597.0-T_{se}, 606.1-T_{se})$
40 764	1 675	1 700	$(588.2-T_{se}, 597.0-T_{se})$
122 081	1 700	1 725	$(579.7-T_{se}, 588.2-T_{se})$

注:其中T_{se}表示寄存器的建立时间

随着故障频率的升高,路径延时的范围区间会缩小,误差与故障频率和通过频率相关,测试芯片的平均误差

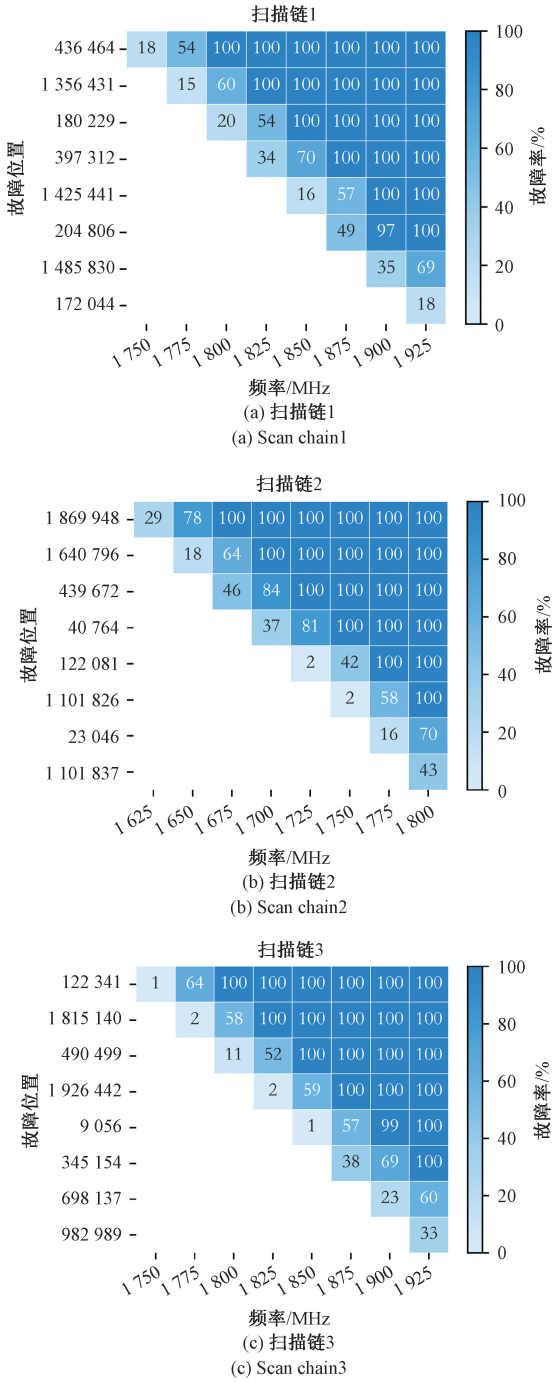

图 13　扫描链故障关系

Fig. 13　Relationship of scan chain failures

在 8 ps 左右。

3.4　温度对延时的影响

温度对芯片的影响在集成电路设计和制造中是需要考虑的重要因素，温度变化会导致半导体器件的特性发生变化[21-25]，直接影响逻辑门的开关速度和传输延时。此外，芯片内部导线的电阻等也会随温度的改变而变化，从而使信号传输的延时发生变化。为了验证本文提出的方法能够准确反映温度引起的时序路径延时变化，设计了不同温度下的对比实验。

根据测试芯片的工作范围选取了 25 ℃、50 ℃、75 ℃、100 ℃ 4 个常用温度点进行测试。温控设备采用了 TwinSolution 公司提供的接触式变温平台，其支持 0 ℃～600 ℃的温度输出。变温设备与芯片之间通过专用的测试插座直接接触调节温度。每次测试在温度稳定之后开始，在不同温度测试之前，对变温平台先降温到 25 ℃之后再重新升温进行测试，随机选取两颗芯片在不同温度下进行对比实验。温度测试实验平台如图 14 所示。

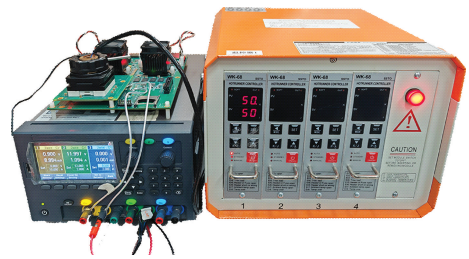

图 14　温度测试平台

Fig. 14　Temperature test platform

不同温度下，芯片的总体故障数量变化明显，如图 15 反映了两颗芯片随温度上升，故障数量变化的情况。

由图 15 可知，由于芯片个体差异，在初始失效频率不同的情况下，两颗芯片的总体故障数量增量有所差异。但随着温度上升，相同频率下故障的总体数量都会增加，表明芯片内部的路径延时变大，该方法能有效表征不同芯片的延时变化。

此外，针对芯片故障位置所表示的具体路径，随机选取其中 3 个故障位置显示其延时变化情况，如图 16 所示。

从图 16 可知，故障率的改变反映了路径的延时变化，不同芯片在同一路径下的延时变化情况有所差异，但故障率都具有上升趋势，表明扫描单元之间的路径延时增大，该方法能有效表征芯片具体路径下的延时变化情况。

实验表明通过频率扫描实速测试可以获取不同芯片内部大量时序路径的延时变化，能更加有效的分析温度对路径延时的影响，后续将在此基础上通过增加测试芯片的数量以及数值分析等方法减少芯片个体差异对延时的干扰，建立准确的温度与延时变化的模型，并在不同环境条件下进行延时相关性实验。

4　结　论

目前芯片插入少量的路径延时测量电路难以在芯片

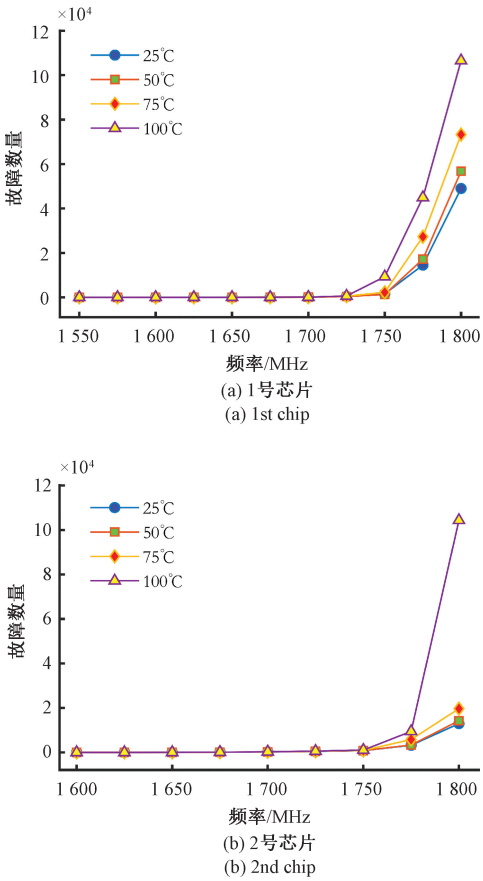

图 15　不同芯片故障总体数量变化

Fig. 15　Variation of the total number of faults for different chips

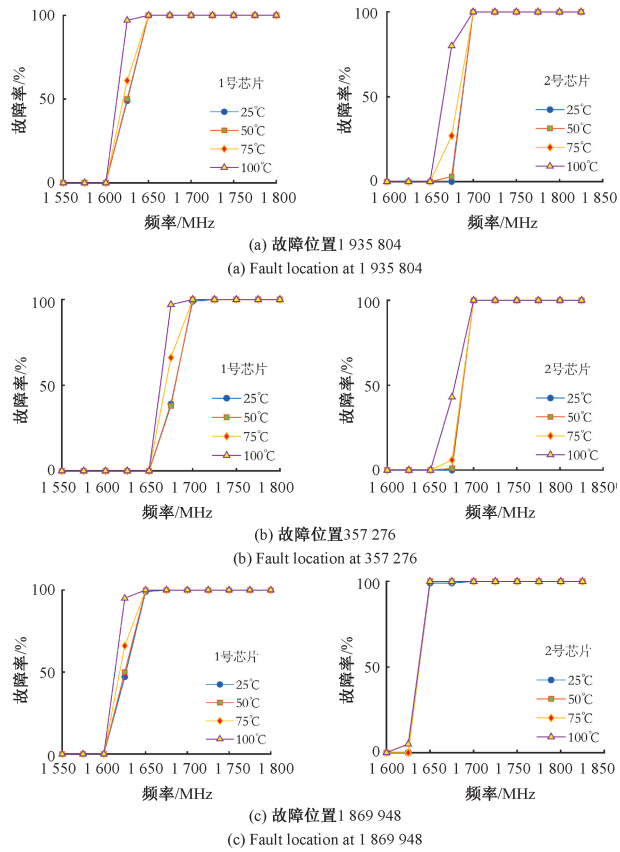

图 16　温度对不同芯片同一路径延时的影响

Fig. 16　The impact of temperature on delay of same path in different chips

失效时进行有效的全面分析，本文通过基于扫描链的频率扫描实速测试的方法，对芯片内部路径进行延时测量与时序裕量分析，能基本覆盖内部的所有路径，实现对全芯片延时变化的整体感知。并在自研的硬件平台上通过测试频率控制以及优化数据校验算法，成功实现了频率扫描实速测试。通过实验验证了该方法的有效性，结果表明该方法能更加全面的测量温度对路径延时的影响。未来可用于芯片老化检测、寿命预测等方向研究。

参考文献

[1] 王锋，王磊，银磊. SoC 芯片 UVM 平台自动化开发系统[J]. 中国集成电路，2023，32(3)：72-77.
WANG F，WANG L，YIN L. SoC chip UVM platform automated development system [J]. China Integrated Circuit，2023，32(3)：72-77.

[2] MAHMOD J，MILLICAN S，GUIN U，et al. Special session：Delay fault testing-present and future [J]. Proceedings of the IEEE VLSI Test Symposium，2019.

[3] 何怡刚，孙豪，袁伟博，等. 功率半导体器件栅氧化层状态监测方法综述与展望 [J]. 电子测量与仪器学报，2021，35(11)：1-11.
HE Y G，SUN H，YUAN W B，et al. The review and prospect for condition monitoring method of power semiconductor devices gate oxide [J]. Journal of Electronic Measurement and Instrumentation，2021，35 (11)：1-11.

[4] 聂钰节，江旻，昂开渠. 55 nm 金属沟槽通孔一体化刻蚀关键尺寸偏差与图形相关性研究[J]. 集成电路应用，2018，35(6)：26-28.
NIE Y J，JIANG M，ANG K Q. The research of 55 nm metal trench and via all-in-one etch cd bias and graph structure correlation [J]. 2018，35(6)：26-28.

[5] 费跃哲. 集成电路老化及老化检测技术研究 [J]. 微处理机，2020，41(2)：22-25.
FEI Y ZH. Research on IC aging and aging detection technology [J]. Microprocessors，2020，41(2)：22-25.

[6] GUIBANE B，HAMDI B，MTIBAA A，et al. Fault tolerant system based on IDDQ testing [J]. International Journal of Electronics，2018，105(6)：1025-1035.

[7] 马俊祥，梁华国，李丹青，等. 一种低开销的旁路重构 RO 的片上老化测量方案 [J]. 微电子学，2022，

52(6): 1091-1095.
MA J X, LIANG H G, LI D Q, et al. A low-overhead on-chip aging measurement scheme for bypass reconfiguration RO [J]. Microelectronics, 2022, 52(6): 1091-1095.

[8] 刘帅, 虞致国, 洪广伟,等. 面向微处理器核的片上老化检测模块设计 [J]. 传感器与微系统, 2021, 40(2): 89-91,94.
LIU SH, LYU ZH G, HONG G W, et al. Design of on-chip aging detection module for microprocessor core [J]. Transducer and Microsystem Technologies, 2021, 40(2): 89-91,94.

[9] 卜朝晖, 毛涛, 梁志强, 等. 基于高速环形振荡器的皮秒量级事件计时测量 [J]. 电子测量与仪器学报, 2022, 36(5): 47-56.
PU CH H, MAO T, LIANG ZH Q, et al. Picosecond-level event timing measurement based on high-speed ring oscillator [J]. Journal of Electronic Measurement and Instrumentation, 2022, 36(5): 47-56.

[10] 刘士兴, 李江晖, 夏进, 等. 应用于 ATE 的时间测量单元设计 [J]. 电子测量与仪器学报, 2023, 37(6): 86-92.
LIU SH X, LI J H, XIA J, et al. Design and implementation of time measuring unit applied to ATE [J]. Journal of Electronic Measurement and Instrument, 2023, 37(6): 86-92.

[11] SUNGHOON K, SEOKJUN J, SUNGHO K. Scan chain architecture with data duplication for multiple scan cell fault diagnosis [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2023, 42(8): 2717-2727.

[12] SHIBIN K, CHICKERMANE V, KELLER B, et al. At-speed testing of inter-die connections of 3D-SICs in the presence of shore logic [J]. 2015 IEEE 24th Asian Test Symposium (ATS), 2015: 79-84.

[13] 刘国斌, 左丽丽, 陈云, 等. 基于锁存器路径的静态时序分析在第三方验证中的应用 [J]. 计算机测量与控制, 2017, 25(9): 203-205.
LIU G B, ZUO L L, CHEN Y, et al. Application of latch based STA analysis in independent verification [J]. Computer Measurement & Control, 2017, 25 (9): 203-205.

[14] LIN W, SHI W L. A new circuit for at-speed scan SoC testing [J]. Journal of Semiconductors. 2013, 34(12): 130-134.

[15] 刘广东, 石国帅, 徐浩然. 双核 SoC 芯片扫描链测试设计与实现 [J]. 计算机测量与控制, 2017, 25(4): 15-17,33.
LIU G D, SHI G SH, XU H R. Design and implementation of scan based test for dual-core SoC [J]. Computer Measurement & Control, 2017, 25(4): 15-17,33.

[16] 欧阳晴昊, 曾凡仔. 多核微处理器实速故障诊断研究 [J]. 微电子学, 2017, 47(6): 861-865.
OUYANG Q H, ZENG F Z. Research on at-speed fault diagnosing for multi-core microprocessors [J]. Microeletronics, 2017, 47(6): 861-865.

[17] BAYRAKCI A A. ELATE: Embedded low cost automatic test equipment for FPGA based testing of digital circuits [C]. IEEE 2017 10th International Conference on Electrical and Electronics Engineering, 2017: 1281-1285.

[18] NAWARATHNA L, UDUGAMPOLA N. Low-cost automatic test equipment for digital ICs using DE0-nano-altera cyclone I-V FPGA [C]. 2021 International Conference on Electrical, Control and Instrumentation Engineering, Conference Proceedings, 2021: 1-4.

[19] LUO M, HU C, YIN X, et al. PASTE: FPGA-based portable at-speed scan test equipment [C]. Journal of Physics: Conference Series. IOP Publishing, 2022, 2245(1): 012002.

[20] 田强, 杨婉婉, 李力南, 等. 一种基于 V58300 平台的集成电路功能测试系统设计[J]. 太赫兹科学与电子信息学报, 2021, 19(3): 537-540.
TIAN Q, YANG W W, LI L N, et al. Design of an integrated circuit function test system based on V58300 platform [J]. Journal of Terahertz Science and Electronic Information Technology, 2021, 19(3): 537-540.

[21] WANG B, LAW M K. Subranging BJT-based CMOS temperature sensor with a ±0.45 ℃ inaccuracy (3σ) from −50 ℃ to 180 ℃ and a resolution-FoM of 7.2 pJ · K^2 at 150 ℃ [J]. Journal of Solid-State Circuits, 2022, 57(12): 3693-3703.

[22] 贾镜材,钟业奎,张泽展,等. 集成电路制造过程中的晶圆温度监测技术[J]. 仪器仪表学报,2021, 42(1): 15-29.
JIA J C, ZHONG Y K, ZHANG Z ZH, et al. Wafer temperature monitoring technology in integrated circuit manufacturing process [J]. Chinese Journal of Scientific Instrument, 2021, 42(1): 15-29.

[23] 孙 豪,何怡刚,袁伟博,等. N-IGBT 正偏压温度不稳定性阈值电压综合退化模型[J]. 仪器仪表学报, 2022, 43(4): 60-69.
SUN H, HE Y G, YUAN W B, et al. N-IGBT positive bias temperature instability threshold voltage comprehensive degradation model [J]. Chinese Journal of Scientific Instrument, 2022, 43(4): 60-69.

[24] TSAI T, LIN H C, LI P W. Temperature-dependent narrow width effects of 28 nm CMOS transistors for cold electronics [J]. Journal of the Electron Devices Society, 2022, 10: 289-296.

[25] VAN DER BROECK C H, GOSPODINOV A, DE DONCKER R W. IGBT junction temperature estimation via gate voltage plateau sensing [J]. IEEE Transactions on Industry Applications, 2018, 54(5): 4752-4763.

作者简介

张锦,2002 年于湖南大学获得学士学位,2004 年于湖南大学获得硕士学位,2007 年于浙江大学获得博士学位,现为长沙理工大学教授、博士生导师,主要研究方向为软件工程、人工智能。

E-mail: mail_zhangjin@163.com

Zhang Jin received his B. Sc. degree from Hunan University in 2002, M. Sc. degree from Hunan University in 2004 and Ph. D. degree from Zhejiang University in 2007, respectively. Now he is a professor in Changsha University of Science & Technology. His main research interests include software and artificial intelligence.

刘政辉,现为长沙理工大学硕士研究生,主要研究方向为集成电路测试、嵌入式系统设计。

E-mail: lzh552186@163.com

Liu Zhenghui is a M. Sc. candidate at Changsha University of Science & Technology. His main research interests include integrated circuit test technology and embedded system design.

扈啸(通信作者),2002 年于国防科技大学获得硕士学位,2007 年于国防科技大学获得博士学位,现为国防科技大学研究员,主要研究方向为数字信号处理器应用开发、体系结构与集成电路可靠性、调测试方向研究。

E-mail: xiaohu@nudt.edu.cn

Hu Xiao (Corresponding author) received his M. Sc. degree from National University of Defense Technology in 2002, and Ph. D. degree from National University of Defense Technology in 2007, respectively. Now he is a researcher in National University of Defense Technology. His main research interests include Digital signal processor application development, architecture and integrated circuit reliability, test direction research.

胡春媚,2016 年于国防科技大学获得博士学位,现为国防科技大学研究员,主要研究方向为高性能集成电路可测试设计与抗辐照加固等。

E-mail: chmhu@nudt.edu.cn

Hu Chunmei received her Ph. D. degree from National University of Defense Technology in 2016. Now she is a researcher in National University of Defense Technology. Her main research interests include High-performance integrated circuit design for test and radiation-hardening.