

DOI: 10.13382/j.jemi.2017.08.001

基于改进量子进化算法的3D NoC测试TSV优化*

许川佩^{1,2} 王苏妍^{1,2} 汪杰君^{1,2}

(1. 桂林电子科技大学电子工程与自动化学院 桂林 541004; 2. 广西自动检测技术与仪器重点实验室 桂林 541004)

摘要:针对硅通孔(through-silicon-via, TSV)的生产成本高,占用面积大等问题,首先对三维片上网络(3D NoC)进行测试规划研究,将测试规划得到的最短测试时间作为约束条件,采用改进的量子进化算法优化测试占用的TSV数量,将各层的TSV按照需求进行配置,并将TSV合理有效地分配给各个内核,以在有限的TSV数量下,降低硬件开销,提高利用率,同时,探讨TSV的分配对测试时间的影响。算法中,引入量子旋转门旋转角动态调整策略和量子变异策略,以提高算法的全局寻优能力和收敛速度,避免陷入局部最优解。将ITC'02基准电路作为仿真实验对象,由实验结果可得,本算法能够快速地收敛到最佳解,有效的减小了测试时间,优化了TSV数量,提高了TSV的利用率。

关键词: 三维片上网络;硅通孔;量子进化算法;旋转角动态调整

中图分类号: TH701 文献标识码: A 国家标准学科分类代码: 510.5099

3D NoC test TSV optimization based on improved quantum-inspired evolutionary algorithm

Xu Chuanpei^{1,2} Wang Suyan^{1,2} Wang Jiejun^{1,2}

(1. School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China;
2. Guangxi Key Laboratory of Automatic Detection Technology and Instrument, Guilin 541004, China)

Abstract: Aiming at the high production cost and the large occupied area of through-silicon-vias (TSVs) in three-dimensional network-on-chip, the test scheduling of 3D NoC is researched. To reduce the hardware overhead and improve the utilization rate in a limited number of TSVs, a new method using improved quantum-inspired evolutionary algorithm is proposed, which is to configure TSVs in each layer according to the demand and allocate TSVs to each core reasonably and effectively. Moreover, the impact of TSVs' allocation on test time under the constraint of the shortest test time is discussed. To improve the ability of searching and converge speed, the strategy of dynamic adjustment of rotating angle of quantum rotating gate and quantum mutation are designed in the algorithm, which can prevent the algorithm from running into the local optimization solution effectively. Taking ITC'02 standard circuit as the test object, experiment is conducted, and the experiment results demonstrate that the proposed method can converge to the optimal solution quickly to reduce the total test time, and the number of TSVs can be optimized to improve the TSVs' utilization.

Keywords: 3D NoC; through-silicon-via (TSV); quantum-inspired evolutionary algorithm; dynamic adjustment of rotation angle

0 引言

随着集成电路技术的发展,三维片上网络(three-dimensional network-on-chip, 3D NoC)被认为是未来NoC

的发展方向。3D NoC通过硅通孔(through-silicon-via, TSV)技术实现层间垂直互连通信,可以有效地缩短连线长度,进而使延时和功耗显著降低,同时,3D NoC具有系统集成度高,封装密度大等优点^[1-2]。然而,TSV制作工艺复杂、成本较高、散热困难,并且TSV占据了芯

片相对较大的面积^[3-4],使得芯片上的 IP 核数量受到影响,因此,在 3D NoC 中应尽可能地减少 TSV 的占用数量,3D NoC 测试时同样有必要尽可能降低 TSV 的使用数量。

文献[5]通过限制 TSV 的数量对 3D NoC 进行测试规划,提高了 TSV 的利用率;文献[6]提出一种采用分时复用共享 TSV 的方法,以提高 TSV 利用率、降低 TSV 数量;文献[7]在资源和 TSV 的限制下,对不同层之间的测试资源分配进行优化,从而缩短了系统的测试时间;文献[8]采用带分复用的方法,在功耗和带宽的约束下进行测试规划,提高了传输效率,有效地优化了系统测试时间,但没有考虑 TSV 数量问题。

量子进化算法 (quantum-inspired evolutionary algorithm, QEA) 具有较小的种群规模,优异的全局搜索能力和收敛速度快等优点。但在求解复杂优化问题时,仍存在收敛速度慢和未成熟收敛现象,因此,本文将量子旋转门旋转角动态调整策略和量子变异操作引入算法,以增加种群多样性,避免陷入早熟,提高算法的寻优速度和寻优精度。

由于 3D NoC 测试属于 NP 难问题^[9],本文基于改进的量子进化算法,将测试规划获得的最短测试时间作为约束,研究各层的测试 TSV 配置方案,并将 TSV 合理有效地分配给各个内核,以优化 TSV 数量,提高 TSV 利用率,并探讨 TSV 的分配对测试时间的影响。

1 带分复用的 3D NoC 测试规划

为了更有效优化 TSV 数量,本文首先对 3D NoC 进行测试规划,以获得最优测试时间。

1.1 3D NoC 体系结构

本文针对 3D Mesh 结构的 NoC 进行测试研究,系统结构如图 1 所示。主要由资源节点、路由节点、资源网络接口以及通信链路组成^[8,10],通信链路包括水平方向的互连线和垂直方向的 TSV。

1.2 测试策略

为降低硬件开销,减小测试成本,本文重用 NoC 作为测试访问机制 (test access mechanism, TAM),即通过重复使用 NoC 中的资源作为 TAM,实施并行测试,由于整个芯片引脚在最底层,所以测试数据从最底层输入,层与层之间的测试数据通过 TSV 传输 (即层间 TAM 由 TSV 实现)^[11-12],同时,为了解决 IP 核测试数据传输带宽与 TAM 带宽不匹配的问题,采用带分复用测试策略^[8],以提高 TAM 带宽利用率。如图 2 所示,图 2(a)是采用带宽固定方法的测试规划方案;图 2(b)是采用带分复用方法的测试规划方案, $t_1、t_2、t_3$ 称为测试时序。规划(a)、规划(b)的测试时间分别为 $T_a、T_b$,其中 $T_b < T_a$ 。因

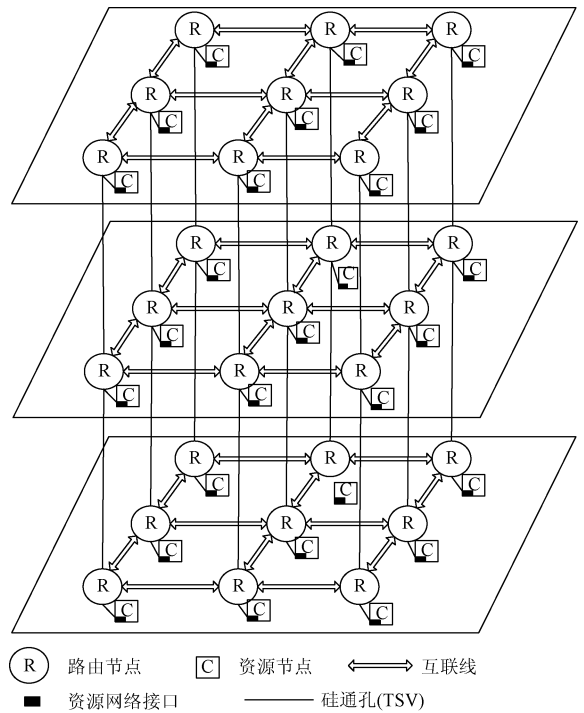


图 1 3DNoC 的基本结构

Fig. 1 Basic structure of 3D NoC

此,规划(b)优于(a)。由图 2 可知,带分复用的方法可以提高带宽利用率,提高测试数据的传输效率。

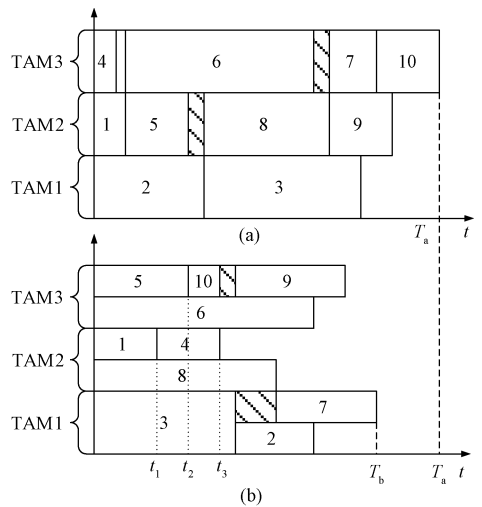


图 2 不同测试策略的规划结果

Fig. 2 Scheduling results of different test strategy

为了获得最优测试时间,本文采用带分复用的测试策略,在功耗、带宽约束下,利用改进的量子进化算法对 IP 核进行并行测试,以提高测试效率,缩短测试时间。

1.3 测试时间

系统总测试时间由测试时间最长的那条 TAM 决定。函数模型如式(1)所示。

$$T_{\max} = \max_{1 \leq j \leq B} \sum_{i=1}^k T_{\text{test}i} \quad (1)$$

式中: $\sum_{i=1}^k T_{\text{test}i}$ 为第 j 条 TAM 上按序分配测试的所有核 (数量为 k) 所耗费的时间, 每个核所耗费的时间 T_{test} 包括核的传输时间和测试时间。单个核的耗费时间如式(2)所示。

$$T_{\text{test}} = T_{\text{pass}} + T_{\text{core}} \quad (2)$$

式中: T_{pass} 为核的传输时间, 如式(3)所示。

$$T_{\text{test}} = nb_{xy} \cdot T_{xy} + nb_z \cdot T_z + nb_r \cdot T_r + T_{\text{core}} = nb_{xy} \cdot (T_{xy} + T_r) + nb_z \cdot (T_z + T_r) + T_r + T_{\text{core}} \quad (3)$$

式中: T_{xy} 和 T_z 分别表示测试数据在 xy 方向和 z 方向传输通道上消耗的时间, T_r 表示路由上消耗的时间, nb_{xy} 、 nb_z 和 nb_r 分别表示测试数据经过 xy 方向上的、 z 方向上的通道数和路由数。

式(2)中, T_{core} 表示 IP 核的测试时间, 与其测试数据传输带宽 W 有关, 当核 i 分配的 TAM 带宽为 W 时, 在此带宽下核 i 的测试时间为 $T_{\text{core}(W)}$, 则有:

$$T_{\text{core}(W)} = \{1 + \max(S_{\text{in}}, S_{\text{out}})\} \times p + \min(S_{\text{in}}, S_{\text{out}}) \quad (4)$$

式中: S_{in} 、 S_{out} 分别表示 Wrapper 输入和 Wrapper 输出扫描链长度, p 为当前测试 IP 核的测试向量数目。 T_{core} 可由 Wrapper 优化的 BFD 算法^[13] 得到。

1.4 功耗约束

为了防止功耗过高对芯片可靠性的影响, 测试需要在严格的功耗约束下进行。本文对总功耗和层功耗进行双重约束。

1) 总功耗约束函数如式(5)所示。

$$P_{\text{total}} = \sum_{i=0}^B P_i \leq P_{\max} \quad (5)$$

P_{total} 为某时刻的测试总功耗, P_{\max} 为总额定功耗, B 表示 TAM 的条数, P_i 表示每条 TAM 上的核的测试功耗, 其中:

$$P_i = P_{\text{pass}i} + P_{\text{core}i} \quad (6)$$

式中: $P_{\text{core}i}$ 表示第 i 条 TAM 上被测核的测试功耗, 是固定常数。 $P_{\text{pass}i}$ 表示第 i 条 TAM 上被测核在测试路径中的传输功耗, 包括在 xy 方向上的传输功耗 P_{xy} 和 z 方向上的传输功耗 P_z , 以及在路由中消耗的功耗 P_r , 如式(7)所示。

$$P_{\text{pass}i} = nb_{xyi} \cdot P_{xy} + nb_{zi} \cdot P_z + nb_{ri} \cdot P_r = nb_{xyi} \cdot (P_{xy} + P_r) + nb_{zi} \cdot (P_z + P_r) + P_r \quad (7)$$

式中: nb_{xyi} 、 nb_{zi} 和 nb_{ri} 分别表示第 i 个核的测试路径中 xy 、 z 通道数及路由数。 P_{xy} 、 P_z 、 P_r 分别为测试数据通过 xy 、 z 通道和路由时的传输功耗, 由 NoC 系统决定, 采用文献[14-15]的功耗模型, $P_{xy} = 2$, $P_r = 10$, 由于互连 TSV 很短, 比 xy 通道小两个数量级, 所以测试数据通过

TSV 的传输功耗远远小于通过 xy 通道的功耗, 本文设定 $P_z = 0.1$ 。

2) 层功耗约束要求属于同一层 IP 核的测试功耗的总和小于每层的额定功耗。层功耗约束函数如式(8)所示。

$$P_{L(z)} = \sum_{i=1}^n P_{i(z)} \quad (8)$$

式中: $P_{i(z)}$ 表示同一测试时间段内第 z 层测试核的测试功耗, n 表示同一测试时间段内被测核属于第 z 层的核的个数, $P_{L(z)}$ 表示第 z 层测试的测试层功耗。

$$P_{L(z)} \leq P_{\max(z)} \quad (9)$$

式中: $P_{\max(z)}$ 表示第 z 层的额定功耗。

1.5 带宽约束

在任一测试节点 t , 分配到 TAM j 上的 IP 核测试数据占用带宽的约束函数如下:

$$W'_{\text{total}(j)} = \sum_{i=1}^n W_{\text{core}ij} \leq W_{\text{TAM}(j)} \quad (10)$$

式中: $W'_{\text{total}(j)}$ 为在测试节点 t , TAM j 上核的测试数据占用总带宽, $W_{\text{TAM}(j)}$ 为 TAM j 的带宽。

2 基于改进量子进化算法的 TSV 数量优化

将测试规划得到的最短测试时间作为约束, 同时在带宽和功耗约束下, 如何合理分配有限的 TSV 资源, 对 TSV 数量进行优化属于复杂的 NP 难问题, 而量子进化算法具有精确的寻优能力, 将该算法与 3D NoC 测试结合起来, 可以迅速而且准确地找到最优的资源分配方案, 从而优化测试 TSV 数量, 提高 TSV 利用率。

2.1 改进量子进化算法

在量子进化算法^[16] 中, 设第 t 代群体为 $Q(t) = \{q'_1, q'_2, \dots, q'_n\}$, n 为群体尺寸, q'_j 为第 t 代群体中第 j 个个体, 表示为 $q'_j = \begin{bmatrix} \alpha'_{j1} & \alpha'_{j2} & \dots & \alpha'_{jm} \\ \beta'_{j1} & \beta'_{j2} & \dots & \beta'_{jm} \end{bmatrix}$, 其中 m 表示个体长度。 α'_{ji} 、 β'_{ji} 分别表示第 t 代群体中第 j 个个体第 i 个量子位观测值取为 0 和 1 的概率平方根, 即个体中所有量子位均有 $|\alpha'_{ji}|^2 + |\beta'_{ji}|^2 = 1$, ($1 \leq j \leq n, 1 \leq i \leq m$)。

量子进化算法通过量子旋转门实现个体更新, 用矩阵表示为:

$$U(\Delta\theta) = \begin{bmatrix} \cos(\Delta\theta) & -\sin(\Delta\theta) \\ \sin(\Delta\theta) & \cos(\Delta\theta) \end{bmatrix} \quad (11)$$

式中: $U(\Delta\theta)$ 为量子旋转门, $\Delta\theta$ 为旋转门旋转一次的角度。量子旋转门对个体更新过程即为将个体基态的角度加上旋转门的角度。

针对量子进化算法求解二进制编码问题比较有效, 而求解多进制编码问题比较困难, 本文基于改进的量子

进化算法,即多进制概率角复合位编码量子进化算法^[16] (multinary compound states of probability angle coded quantum-inspired evolutionary algorithm, MQEA)。

它将量子进化算法中量子位的概率幅表示法转化为复合位的概率角表示法,采用随机观测方法得到观测个体,采用概率角增减对个体进行更新,在适用范围、搜索能力和运算速度上具有较明显优势。

采用多进制概率角复合位编码方式重新表示第 t 代种群,其中第 j 个个体表示为:

$$q_j^t = \begin{bmatrix} \varphi_{1j_1} & \varphi_{1j_2} & \cdots & \varphi_{1j_m} \\ \varphi_{2j_1} & \varphi_{2j_2} & \cdots & \varphi_{2j_m} \\ \cdots & \cdots & \cdots & \cdots \\ \varphi_{uj_1} & \varphi_{uj_2} & \cdots & \varphi_{uj_m} \end{bmatrix} \quad (12)$$

其中, $\varphi_{1j_1} + \varphi_{2j_1} + \cdots + \varphi_{uj_1} = 45u$, $0 < \varphi_{1j_1}, \varphi_{2j_1}, \cdots, \varphi_{uj_1} < 45u$, $1 \leq i \leq m$ 。 u 为每个量子位可表示出的进制数, $\varphi_{p_j i}$ 表示第 t 代群体中第 j 个个体第 i 个量子位观测值取为 $P-1$ 的概率角大小。在群体初始化时 $\varphi_{p_j i} = 45$, ($1 \leq p \leq u, 1 \leq i \leq m$)。

2.2 基于多进制概率角复合位编码量子进化算法的 TSV 数量优化

2.2.1 个体编码方案

设 3D NoC 的维数为 $M \times N \times L$, 将最底的层称为层 1, 其上各层按顺序依次称为层 2, 3, \cdots, L , 对各层 TSV 的位置进行编号, 即 1, 2, $\cdots, M \times N$, 以 $3 \times 3 \times 3$ Mesh NoC 为例, 各层 TSV 位置编号均如图 3 所示。

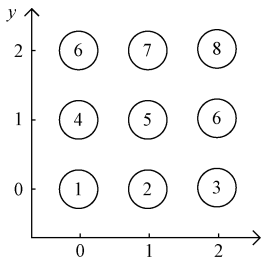


图3 各层 TSV 位置编号

Fig.3 TSV position number of each layer

将第 1 层与第 2 层之间的 TSV 记做第 2 层的 TSV, 以此类推, 将第 $L-1$ 与第 L 层之间的 TSV 记为第 L 层的 TSV。

本文以 3 层 NoC 为例进行说明, 假设有 n 个待测 IP 核, 第 t 代 IP 核分配方案的种群为 $Q(t) = \{q_1^t, q_2^t, \cdots, q_n^t\}$, w 代表种群的大小。用概率角复合位编码表示种群中第 k 个个体为 $q_k^t = \{q_{k1}^t, q_{k2}^t, q_{k3}^t, q_{k4}^t\}$ 。

其中, 第 1 条染色体包含第 1 层到第 2 层的 TSV 位置信息, 第 2 条染色体包含第 2 层到第 1 层的 TSV 位置

信息, 第 3 条染色体包含第 2 层到第 3 层的 TSV 位置信息, 第 4 条染色体包含第 3 层到第 2 层的 TSV 位置信息。

$$q_{kf}^t = \begin{bmatrix} pkf^t 11 & pkf^t 12 & \cdots & pkf^t 1x \\ pkf^t 21 & pkf^t 22 & \cdots & pkf^t 2x \\ \cdots & \cdots & \cdots & \cdots \\ pkf^t h1 & pkf^t h2 & \cdots & pkf^t hx \end{bmatrix}$$

$$\sum_{i=1}^h pkf^t ij = 45 \times h \quad (15)$$

式中: $i = 1, 2, \cdots, h; j = 1, 2, \cdots, x$ 。其中 $f=1, 2, h$ 为第 2 层分配的 TSV 数量, x 表示分布在第 2、3 层的核的个数。

$$q_{kg}^t = \begin{bmatrix} pkg^t 11 & pkg^t 12 & \cdots & pkg^t 1y \\ pkg^t 21 & pkg^t 22 & \cdots & pkg^t 2y \\ \cdots & \cdots & \cdots & \cdots \\ pkg^t s1 & pkg^t s2 & \cdots & pkg^t sy \end{bmatrix}$$

$$\sum_{i=1}^s pkg^t ij = 45 \times s \quad (16)$$

式中: $i = 1, 2, \cdots, s; j = 1, 2, \cdots, y$ 。其中 $g=3, 4, s$ 为第 3 层分配的 TSV 数量, y 表示分布在第 3 层的核的个数。

在第 1 条染色体中, $pk1^t ij$ 表示第 t 代种群第 k 个个体中第 j 个 IP 核从第 1 层到第 2 层的 TSV 分配到位置 i 的概率角大小; 在第 2 条染色体中, $pk2^t ij$ 表示第 j 个 IP 核从第 2 层到第 1 层的 TSV 分配到位置 i 的概率角大小; 在第 3 条染色体中, $pk3^t ij$ 表示第 j 个 IP 核从第 2 层到第 3 层的 TSV 分配到位置 i 的概率角大小; 在第 4 条染色体中, $pk4^t ij$ 表示第 j 个 IP 核从第 3 层到第 2 层的 TSV 分配到位置 i 的概率角大小。

2.2.2 量子操作

本文采用改进的量子进化算法, 通过随机观测的方法对个体进行观测, 利用量子旋转门旋转角动态调整策略对个体进行更新, 以加快收敛速度, 避免陷入早熟收敛, 同时, 为了在不丢失优良信息的基础上增加种群多样性, 本文针对种群中适应度较差的个体利用受控量子旋转门实施量子变异操作, 避免寻优时陷入局部最优, 且能迅速准确地找到最优分配方案。

1) 个体的适应度值计算

文中以完成单个个体测试所需要的测试时间作为个体适应度值, 采用式(1)进行计算。其中测试时间越小, 个体越优秀。

2) 种群观测

通过对种群进行观测可以得到确定的 u 进制数, 随机产生一个数 $r \in [0, 45u]$, 根据 r 的位置来确定观测值。例如, 对第 t 代种群第 k 个个体的第 1 条染色体进行观测可以得到一个 h 进制的解, 以 $h=3$ 为例, 对 $qk1^t$ 的第 j 个概率角复合位随机产生一个 $r \in [0, 135]$, 假设产生 $r=95$, 由于 $\phi_1 + \phi_2 < r < \phi_1 + \phi_2 + \phi_3$, r 落在了

区域 ϕ_3 内,故此时观测值为3。表示第 j 个 IP 核从第1层到第2层所分配的 TSV 位置编号为第2层的位置3。

3) 旋转角动态调整更新个体

更新操作中,将复合位中观测值的概率角减小 $\Delta\theta$,最优解的概率角增大 $\Delta\theta$,并保证操作后的概率角大小非负。概率角的变化查询表如表1,表1中 x_i 与 b_i 分别表示个体的观测解 x_j' 和当前最优解 b_j' 中第 i 位的值。

表1 概率角变化查询表
Table 1 Lookup table of $\Delta\theta$

$x_i = b_i$	$f(x) \geq f(b)$	$\Delta\theta$
false	false	delta
true	false	0
false	true	0
true	true	0

以第 t 代种群第 k 个个体的第1条染色体为例,假设有10个IP核,第2层的TSV数量为6,若个体 $qk1'$ 的适应度值大于该个体当前最优解 $bk1'$ 的适应度值, $qk1'$ 的第2个概率角复合位的观测值为3(表示第2个IP核从第1层到第2层所分配的TSV位置编号为第2层的位置3),该观测值对应的概率角为 $pk1'32$,当前最优解 $bk1'$ 的第2个概率角复合位的观测值为2,该观测值对应的概率角为 $pk1'22$,更新过程:若 $pk1'32 - \Delta\theta > 0$,则 $p'k1'32 = pk1'32 - \Delta\theta$, $p'k1'22 = pk1'22 + \Delta\theta$; 若 $pk1'32 - \Delta\theta < 0$,则 $p'k1'32 = \Delta\theta - pk1'32$, $p'k1'22 = pk1'22 - \Delta\theta + 2pk1'32$ 。

在量子进化算法中,通常采用固定的量子门,而量子门旋转角的大小控制着算法的收敛速度,如果其幅度太小,算法的收敛速度较慢,如果其幅度太大,算法可能陷入到局部极值,出现早熟现象。为了加快收敛,避免早熟,本文采用一种量子旋转门旋转角动态调整策略,借鉴文献[17]中将旋转角大小随着进化代数的变化而改变,本文对旋转角大小进行重新设计,即:

$$\Delta\theta = \theta_{\min} + \theta_{\max} \frac{f_x - f_b}{f_b} \quad (17)$$

式中: θ_{\min} 、 θ_{\max} 为旋转角大小的上界与下界, f_b 为搜索到的最优个体的适应度值, f_x 为当前个体适应度值。

由式(17)可知,当当前个体与最优个体比较接近时, $\Delta\theta$ 的值就比较小,进行细搜索,而当当前个体与最优个体比较远时, $\Delta\theta$ 的值就比较大,以加快搜索的速度。

4) 量子变异

在量子进化算法中,采用变异方式能有效地增加种群多样性,避免陷入局部最优。文献[16]通过对选中元素采用量子非门扰动来完成量子位变异,本文针对多进制编码问题,采用文献[18]中的受控量子旋转门方式实施量子位变异操作,结合TSV优化要求对量子变异操作

进行重新设计。考虑到随机选择个体实施变异操作会破坏种群的优良模式,所以,本文选择只针对种群中适应度较差的个体实施变异,这样既保留了优秀个体,同时又增加了个体的多样性。具体操作方法如下:

(1)按概率从更新后的种群中选择适应度值较大个体;

(2)对选中个体按确定的概率随机确定变异位,利用受控量子旋转门实施变异操作。

量子旋转门的矩阵描述如式(11),则受控量子旋转门可描述为:

$$C(k\alpha) = \begin{bmatrix} \cos(k\alpha) & -\sin(k\alpha) \\ \sin(k\alpha) & \cos(k\alpha) \end{bmatrix} \quad (18)$$

通过受控旋转门后的量子比特可以由下式推导得到:

$$| \phi' \rangle = C(k\alpha) | \phi \rangle = \begin{bmatrix} \cos(k\alpha) & -\sin(k\alpha) \\ \sin(k\alpha) & \cos(k\alpha) \end{bmatrix} \begin{bmatrix} \cos\theta \\ \sin\theta \end{bmatrix} = \begin{bmatrix} \cos(\theta + k\alpha) \\ \sin(\theta + k\alpha) \end{bmatrix} \quad (19)$$

其受控作用根据 k 的取值决定,当 $k=0$ 时, $| \phi \rangle$ 相位保持不变,当 $k=1$ 时, $| \phi \rangle$ 相位旋转 α ,当 $0 < k < 1$ 时, $| \phi \rangle$ 相位旋转 $k\alpha$ 。为了以当前最优个体来指导变异方向,确保种群中适应度较差的个体逐渐向最优个体方向进化,本文对 k 的取值进行重新定义,当所选变异位的观测值与当前最优解的观测值不相等时,取 $k \in (0, 1]$,当观测值相等时,取 $k=0$,即相位保持不变。同时,旋转角 α 的大小是影响变异操作有效性的关键因素,因此本文对 α 取几个典型值(20° 、 45° 、 60° 、 75° 、 90°)进行实验对比,以寻求最优旋转角大小。

2.3 算法流程

算法的实现流程如图4所示。其中主要包括种群初始化、种群观测、适应度计算、个体更新、量子变异、迁移操作。

1) 种群初始化。为了在初始状态时将IP核等概率地分配到资源TSV,初始化种群 $Q(0)$ 中个体各个状态设置为等概率的,即各个复合位的概率角大小均初始化为 45° 。

2) 种群观测。利用2.2.2节中的方法对各个个体进行观测操作。

3) 适应度值计算。根据式(1)计算出个体完成一次测试所需的测试时间。

4) 个体更新。利用2.2.2节介绍的方法,动态调整旋转角对个体更新。

5) 量子变异。利用2.2.2节介绍的方法实施变异操作,变异概率设置为0.1。

6) 全局迁移和局部迁移。设定迁移操作条件,当满足时执行局部迁移或者全局迁移操作。

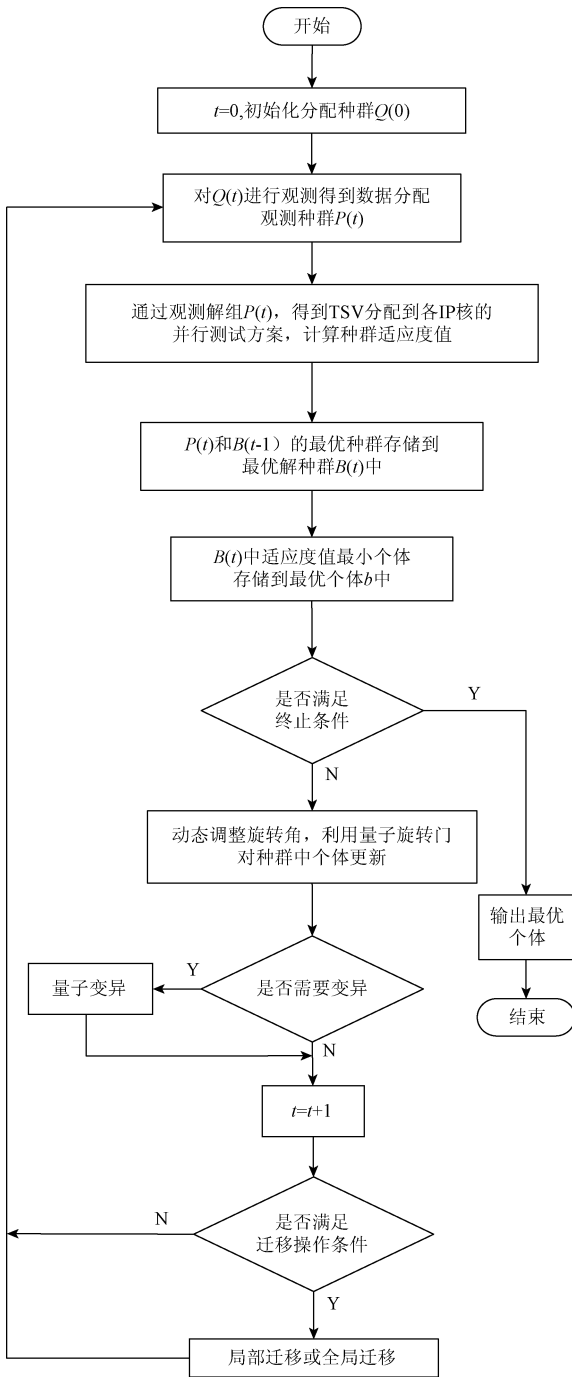


图 4 算法流程

Fig. 4 Flowchart of algorithm

3 实验结果及分析

本文将 ITC'02 测试标准电路作为仿真实验测试的对象,设计 $3 \times 3 \times 3$ Mesh 结构的 3D NoC 系统,将 2 个 d695 (20 个 IP 核) 标准电路分配到 3D NoC 系统中。

为了验证 TSV 分配方案对测试时间的影响,以及在

测试时间约束下优化 TSV 数量,本文分别进行了不同 TSV 分配方案比较实验、TSV 数量优化实验。

1) 不同 TSV 分配方案比较实验

(1) 为了确定变异角 α 的大小,图 5 所示为 50% 功耗约束下, α 取不同大小的测试结果。

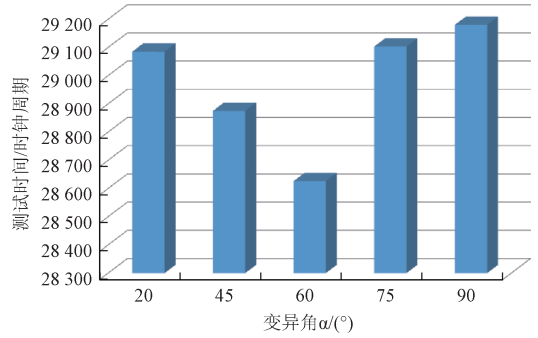


图 5 不同变异角大小的测试结果

Fig. 5 Test results for different angle of variation

由图 5 可以看出,当 α 取 60° 时测试时间较小,因此本文设定变异角为 60° 。

(2) 表 2 是在 50% 功耗约束下,分别给定 5、4、3、2 对 TSV,及各层 TSV 数量分配方案,利用改进的量子进化算法合理有效地为各个内核分配 TSV 资源,比较 TSV 分配对测试时间的影响。

表 2 不同 TSV 分配方案的测试结果

Table 2 Test results for different TSV allocation schemes

测试电路	TSV 对数	下层 TSV 对数	上层 TSV 对数	测试时间/s
2 * d695	6	5	1	29 651
		4	2	28 626
		3	3	28 957
		2	4	28 993
		1	5	30 969
	5	4	1	28 452
		3	2	28 867
		2	3	28 920
		1	4	30 221
		3	1	28 316
4	2	2	28 709	
	1	3	30 264	
	2	1	28 564	
3	1	2	30 147	
	2	1	30 235	

由表 2 的对比结果可以得出,在相同的 TSV 条数下,由于 TSV 分配方案的不同,测试时间不同,当下层分配的 TSV 数量较多时,测试时间相对较小,这是由于测试数据从底层输入,下层的 TSV 需要通过比上层更大的数

据量;在不同的 TSV 条数下,测试时间并不是随着 TSV 数量的增加而减小,当下层的 TSV 数量很少时,即使增加上层的 TSV 数量,测试时间也不能得到优化,各层 TSV 数量存在一种对应关系,因此,合理的 TSV 分配方案可以缩短测试时间。

2) TSV 数量优化实验

图 6 是将表 2 中给定 6 对 TSV 时测试规划获得的最

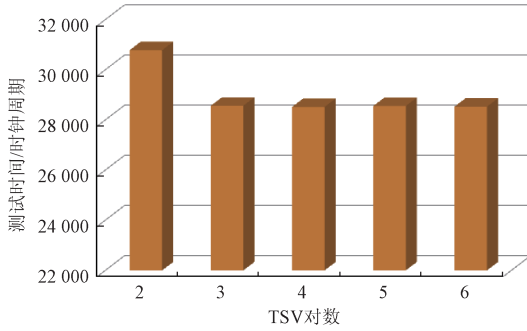


图 6 TSV 总数优化结果

Fig. 6 Optimization results of total number of TSV

短测试时间作为约束条件,利用改进的量子进化算法合理配置 TSV 资源,优化 TSV 数量的结果。

由图 6 可以得出,在测试时间约束下,通过对 TSV 分配方案的优化,TSV 总数减少到 3 对,这是由于当 TSV 总数增加到一定数量时,测试数据已经可以在上下层间畅通传输,测试时间基本上保持稳定的变化趋势,此时再增加 TSV 数量,并不能减小测试时间,只会造成部分 TSV 的浪费。

3) 算法改进策略的验证实验

为了验证量子旋转门旋转角动态调整策略和量子变异操作的有效性,表 3 给出了本文加入改进策略的算法与文献[16]中未进行 MQAE 算法的测试结果,表 4 给出了本文算法与遗传算法 (genetic algorithm, GA) 的测试结果,实验过程中,测试功耗限制为系统功耗的 50%,各层 TSV 数量分配方案为图 6 中在测试时间约束下经过优化的 TSV 分配方案。

由表 3 可以看出,在测试时间和收敛代数方面,本文引入改进策略的算法与 MQAE 相比都有所优化;由表 4

表 3 最优 TSV 分配方案下算法改进策略验证结果

Table 3 Verification results of the algorithm improvement strategy under the optimal TSV allocation scheme

测试电路	TSV 对数		测试时间/s			收敛代数		
	下层	上层	本文算法	MQAE	优化率/%	本文算法	MQAE	优化率/%
2 * d695	4	2	28 626	31 289	8.51	246	285	13.68
	4	1	28 452	31 107	8.54	226	269	15.98
	3	1	28 316	31 078	8.89	235	274	14.23
	2	1	28 564	31 175	8.38	248	280	11.43

表 4 不同算法比较结果

Table 4 Comparison results of the differential algorithm

测试电路	TSV 对数		测试时间/s			收敛代数		
	下层	上层	本文算法	GA	优化率/%	本文算法	GA	优化率/%
2 * d695	4	2	28 626	34 671	17.44	246	297	17.17
	4	1	28 452	34 128	16.63	226	282	19.86
	3	1	28 316	34 035	16.80	235	275	14.55
	2	1	28 564	34 206	16.49	248	279	11.11

可以看出,本文算法在测试时间和收敛代数方面都优于 GA 算法。由此表明,量子旋转门旋转角动态调整策略和量子变异操作提高了寻优能力和寻优速度,改进量子进化算法与传统的遗传算法相比具有更高的精度,能够快速寻到最优解。

4 结 论

本文采用改进的量子进化算法,在测试时间的约束下优化 TSV 数量,并探讨 TSV 的分配对测试时间的影响。以 ITC'02 基准电路进行仿真实验,实验结果表明,

在测试时间的约束下,通过优化 TSV 分配方案,使得 TSV 总数减少;在相同 TSV 总数下,合理配置各层的 TSV 数量,可以有效地缩短测试时间。实验结果证明,加入旋转角动态调整策略和量子变异操作的改进量子进化算法可以有效的加快收敛速度,提高寻优能力,利用其在测试时间约束下优化 TSV 数量,可以高效的找到最优解。

参考文献

[1] RAHMANI A M, LILJEBERG P, PLOSILO J, et al. Developing a power-efficient and low-cost 3D NoC using smart GALS-based vertical channels [J]. Journal of Computer and System Sciences, 2013, 79(4): 440-456.

- [2] CHENG Y Q, ZHANG L, HAN Y H, et al. TSV minimization for circuit-partitioned 3D SoC test wrapper design [J]. Journal of Computer Science and Technology, 2013, 28(1) : 119-128.
- [3] WANG Y, HAN Y H, ZHANG L, et al. Economizing TSV resources in 3-D network-on-chip design[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23(3) : 493-506.
- [4] MANNA K, TEJA V S S, CHATTOPADH-YAY S, et al. TSV placement and core mapping for 3D mesh based network-on-chip design using extended Kernighan-Lin partitioning [C]. IEEE Computer Society Annual Symposium on VLSI, 2015 : 392-397.
- [5] 许川佩, 陈家栋, 万春霆. 基于云模型进化算法的硅通孔数量受约束的3D NoC 测试规划研究[J]. 电子与信息学报, 2015, 37(2) : 477-483.
- XU CH P, CHENG J D, WCH T. Research on test scheduling of 3D NoC under number constraint of TSV using evolution algorithm based on cloud model [J]. Journal of Electronics & Information Technology, 2015, 37(2) : 477-483.
- [6] LIU C, ZHANG L, HAN Y, et al. Vertical interconnects squeezing in symmetric 3D mesh network-on-chip [C]. Design Automation Conference, IEEE, 2011 : 357-362.
- [7] KARMAKA R, AGARWAL A, CHATTOP-ADHYAY S. Testing of 3D-stacked ICs with hard and soft-dies-A particle swarm optimization based approach [C]. IEEE 33rd VLSI Test Symposium, 2015 : 1-6.
- [8] 许川佩, 刘洋, 莫玮. 带分复用的三维片上网络测试规划研究 [J]. 仪器仪表学报, 2015, 36(9) : 2120-2128.
- XU CH P, LIU Y, MO W. Research on test scheduling of three dimensional network-on-chip with bandwidth division multiplexing [J]. Chinese Journal of Scientific Instrument, 2015, 36(9) : 2120-2128.
- [9] CHAN M J, HSU H L. A strategy for interconnect testing in stacked mesh network on chip [C]. IEEE 25th International Symposium on Defect and Fault Tolerance in VL-SI Systems, 2010 : 122-128.
- [10] FIORIN L, PALERMO G, SILVANO C. A configurable monitoring infrastructure for NoC-based architectures [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2014, 11(22) : 2436-2440.
- [11] AMORY A, MORENO E, MORAES F, et al. Determining the test sources/sinks for NoCTAMs [C]. IEEE Computer Society Annual Symposium on VLSI, 2013 : 8-13.
- [12] HAN T, CHOI L, OH H, et al. A scalable and parallel test access strategy for NoC-based multicore system [C]. IEEE 23rd Asian Test Symposium, 2014 : 81-86.
- [13] 许川佩, 王征, 李智. 基于量子进化算法的 SoC 测试结构优化 [J]. 仪器仪表学报, 2007, 28(10) : 1792-1799.
- XU CH P, WANG ZH, LI ZH. Optimization of SoC test architecture based on quantum-inspired evolutionary algorithm [J]. Chinese Journal of Scientific Instrument, 2007, 28(10) : 1792-1799.
- [14] 许川佩, 刘洋, 陈家栋. TSV 数量限制下的 3D NoC 测试优化方法 [J]. 电子测量与仪器学报, 2015, 29(1) : 139-145.
- XU CH P, LIU Y, CHENG J D. Optimum method for 3D No C test under TSV number constraint [J]. Journal of Electronic Measurement and Instrumentation, 2015, 29(1) : 139-145.
- [15] 朱爱军, 李智, 许川佩. 三维堆叠 SoC 测试规划研究 [J]. 电子测量与仪器学报, 2016, 30(1) : 159-164.
- ZHU AI J, LI ZH, XU CH P. Research on test scheduling of three-dimensional stacked SoC [J]. Journal of Electronic Measurement and Instrumentation, 2016, 30(1) : 159-164.
- [16] 申抒含, 金炜东. 多进制概率角复合位编码量子进化算法 [J]. 模式识别与人工智能, 2005, 18(6) : 657-663.
- SHEN SH H, JING W D. Multinary compound states of probability angle coded quantum-inspired evolutionary algorithm [J]. PR&AI, 2005, 18(6) : 657-663.
- [17] 曹高立, 胡蓉, 钱斌, 等. 一种有效混合量子进化算法求解带容量约束的车辆路径优化问题 [J]. 计算机集成制造系统, 2015, 21(4) : 1101-1113.
- CAO G L, HU R, QIAN B, et al. Effective hybrid quantum evolutionary algorithm for capacitated vehicle problem [J]. Computer Integrated Manufacturing Systems, 2015, 21(4) : 1101-1113.
- [18] 李盼池, 宋考平, 杨二龙. 基于受控旋转门的量子神经网络模型算法及应用 [J]. 控制与决策, 2011, 26(6) : 898-901.
- LI P CH, SONG K P, YANG ER L. Controlled-rotating gate-based quantum neural networks model algorithm with application [J]. Control and Decision, 2011, 26(6) : 898-901.

作者简介



许川佩, 分别在 1990 和 2001 年于桂林电子工业学院分别获得学士和硕士学位, 2006 年于西安电子科技大学获得博士学位, 现为桂林电子科技大学教授, 主要研究方向为集成电路测试、自动测试总线与系统。

Xu Chuanpei received B. Sc. and M. Sc. both from Guilin University of Electronic Science and Technology in 1990 and 2001, and Ph. D. from Xidian University in 2006, respectively. Now, she is a professor in Guilin University of Electronic Science and Technology. Her research interest is IC test theory and technology, and automatic test bus and system.

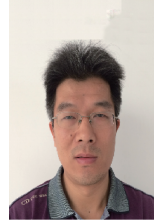


王苏妍 (通讯作者), 2014 年于湖南工程学院获得学士学位, 现为桂林电子科技大学硕士研究生, 主要研究方向为集成电路测试。

E-mail: 250230715@qq.com

Wang Suyan (Corresponding author) received B. Sc. from Hunan Engineering College in 2014. Now, she is M. Sc. candidate in Guilin University of Electronic Science

and Technology. Her main research direction is IC test theory and technology.



汪杰君, 1997 年于沈阳建筑大学获得学士学位, 2005 年于桂林电子科技大学获得硕士学位, 现为桂林电子科技大学副教授, 主要研究方向为光电检测和信息处理等方向。

Wang Jiejun received B. Sc. from Shenyang Jianzhu University in 1997 and M. Sc. from Guilin University of Electronic Technology in 2005, respectively. Now he is an associate professor in Guilin University of Electronic Technology. His main research interests include optoelectronic information testing and processing.