

DOI: 10.13382/j.jemi.B2306249

基于“包-电路”交换的双环片上网络设计*

李桢旻 马宇晴 殷海文 杜高明 王晓蕾 易茂祥

(合肥工业大学微电子学院 合肥 230601)

摘要:针对包交换片上网络(NoC)在大量数据通信情况下性能较差的弱点,提出了一种基于“包-电路”(PCC)交换的环形拓扑结构片上网络(DRNoC)设计架构。首先这种双环形拓扑结构由内外两环构成,可实现环内或环间双向通信,环上节点数目可拓展。其次DRNoC路由器通道可配置为桥节点或环节点路由器两种类型,相比于2D-Mesh型通道数减少,结构更加简单,资源消耗更少。最后提出了针对DRNoC的双环动态路由算法(DDRA),该算法无需在每个路由节点都进行输出方向的译码判断,在头包建立受阻时,根据网络情况选择其他路由路径,最大程度保证数据同环传输基础上跨环传输,有降低头包建立的等待时间,提高吞吐率。实验表明,在大量数据通信情况下,搭载DDRA算法的DRNoC的硬件资源开销降低的同时能够降低网络平均包延时提升平均吞吐率,有效地改善了网络性能。

关键词:片上网络;路由算法;拓扑结构

中图分类号: TP302; TN402 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Design of double-ring network-on-chip based on “packet circuit connect”

Li Zhenmin Ma Yuqing Yin Haiwen Du Gaoming Wang Xiaolei Yi Maoxiang

(Institute of Institute of Microelectronics, Hefei University of Technology, Hefei 230601, China)

Abstract: In view of the poor performance of traditional packet-switched network-on-chip (NoC) in a large amount of data communication, this paper proposed a design scheme of double ring network-on-chip (DRNoC) based on packet circuit connected (PCC) switching. First, this double ring topology is composed of inner and outer rings, which can realize two-way communication within or between rings, and the number of nodes on the ring can be expanded. Secondly, DRNoC router channels can be configured as bridge nodes or link point routers. Compared with 2D-Mesh router, the number of channels is reduced, and the structure is simpler and the resource consumption is less. Finally, a double ring dynamic routing algorithm (DDRA) for DRNoC is proposed. This algorithm does not need to decode and judge the output direction at each routing node. When the establishment of the first packet is blocked, other routing paths are selected according to the network situation, which ensures the cross-ring transmission of data on the basis of the same ring transmission to the greatest extent, reduces the waiting time for the establishment of the first packet and improves the throughput. Experiments show that in the case of a large amount of data communication, DRNoC equipped with DDRA algorithm can reduce the hardware resource overhead and the average packet delay of the network and improve the average throughput, effectively improve the network performance.

Keywords: network-on-chip; routing algorithm; topological structure

收稿日期: 2023-02-09 Received Date: 2023-02-09

* 基金项目: 合肥工业大学横向科研项目(W2021JSKF0275)、国家重点研发项目(2018YFB2202604)、安徽省高校协同创新项目(GXXT-2019-030)资助

0 引言

随着半导体工艺技术的进步,芯片集成度越来越高,片上系统(system-on-chip, SoC)集成的IP核数越来越多,传统以总线架构为通信基础的SoC存在并行度低、扩展性差和全局时钟难同步等问题^[1-2],因此,有研究机构借鉴计算机并行计算的思想,提出了片上网络(network-on-chip, NoC)的概念^[3]。

NoC拓扑结构描述了NoC中每个节点间的连接方式和分布规律,对NoC的性能和面积有重要影响,是NoC设计的关键问题之一^[4-5]。目前,大部分NoC采用典型的2D-Mesh型拓扑结构,这种结构具有一定的对称性和可拓展性^[6],但网络中心路由节点的交通负荷高于外围节点,随着网络规模不断扩大,这个问题会愈发严重^[7]。普通环形结构链路单一导致数据传输效率不高,并且环形结构存在严重的死锁问题^[8-9]。目前死锁问题的解决方案主要分为免死锁和从死锁中恢复,如增加额外缓存逃离路径、虚通道技术、自适应路由算法、绕道路由等,以上方法会存在资源消耗大或路由路径非最短等问题^[10-11]。

如今,随着网络中IP核数的增加,网络通信量也随之增加^[12],采用“包-电路”(packet connected circuit, PCC)交换的NoC能够提高数据的批量传输能力^[13]。传统采用回退转向路由算法(retrograde-turn, RT)的“包-电路”NoC^[13]路由算法设计复杂,在2D-Mesh网络下网络负载不均衡。改进的MPCC结构通过复制一个发包模块增加路径带来了资源消耗大的问题^[14]。

路由算法也决定了NoC的通信效率^[15-16],基于包交换的容错动态路由算法(fault tolerant dynamic XY-YX routing algorithm, FTD-XY-YX)^[17]以及Dy-XY算法^[18]在网络通信量大负载较高情况下传输延时较大,影响NoC通信性能。

针对以上问题,本文在现有研究基础之上,针对大量数据通信的NoC,结合2D-Mesh型与环形拓扑结构的特点,提出了一种基于“包-电路”交换的双环形拓扑结构NoC(double-ring NoC, DRNoC),本文的主要贡献如下:

1)提出了一种基于“包-电路”交换的双环形拓扑结构设计。双环形拓扑结构由内外两环组成,并且具有可拓展性,环内与环间均可以双向通信,两环之间设有桥节点负责环间通信。

2)提出了DRNoC路由器设计。DRNoC路由器可灵活配置通道使其为桥路由节点或环路由节点,相较于2D-Mesh型NoC路由器通道减少,硬件开销小。还提出了针对DRNoC的双环动态路由算法(double-ring dynamic routing algorithm, DDRA),该算法无需在每个路由节点

都进行输出方向的译码判断,在头包建立受阻时,根据网络情况选择其他路由路径,最大程度保证数据同环传输基础上跨环传输,有降低头包建立的等待时间。

1 双环形拓扑结构片上网络设计

1.1 “包-电路”交换技术

NoC中采用的交换机制^[19]主要可分为两类:面向连接交换和无连接交换。面向连接交换主要是电路交换,无连接交换包括分组交换、虚切通交换和虫孔交换。本文采用的是适用于大量数据通信要求的“包-电路”交换^[11],是一种面向连接交换机制。“包-电路”交换通过头包建立链路链接,后续的数据数据传输则通过电路交换进行。因此在数据传输阶段的延时与网络实时状态无关,延时小且具有可预测性,实时性较好。

1.2 双环形拓扑结构设计

城市环线公路是一种常见的交通规划方式,它的优势主要体现在环线上交通没有红绿灯,可实现畅行,为连接各个城区提供了便捷且快速的路线,缓解交通压力。受城市环线交通路线的启发,针对目前应用最广泛的2D-Mesh结构存在的中间节点负荷随着节点数扩增会远高于外围节点负荷的缺点,以及普通的单环型结构存在的链路单一传输效率不高以及死锁问题。本文提出了一种基于“包-电路”交换的双环型拓扑结构。

如图1双环形拓扑结构所示,双环之间通过每环的4个桥路由节点相连,每个路由节点均通过网络接口连接一个IP,相邻路由节点之间通过顺、逆的双向端口相连。双环形拓扑结构各节点坐标由(R,C)为一组坐标数据进行表示。其中R代表环编号,C代表路由节点编号。外环编号定义为0,内环编号定义为1。每环均以左上角的路由节点作为编号0,顺时针递增。

这种双环形拓扑结构环上的节点数目具有可拓展性。规定环数为两环,内环节点数最小为4,桥节点数目为4。扩展规律如下,内环节点数为 $4N$,外环节点数为 $4N+8$,两个相邻桥节点之间的环节点数目为 $N-1$,其中 N 为正整数,图1中给出了 N 为2的双环型拓扑结构。

1.3 双环形片上网络设计

路由器是NoC数据传输的核心单元。图2给出了DRNoC路由器结构,DRNoC路由器通过顺(Clkw)、逆(Anclkw)双向端口将同环上路由器相连,通过桥(Bridge)双向端口将内外环路由器相连。因此对于DRNoC路由器,路由器可配置为2输入/输出双向通道(顺、逆)的环路由器或3输入/输出双向通道(顺、逆、桥)的桥路由器。具体配置方式为通过数据选择器对桥通道(Bridge)进行选择。相比2D-Mesh结构NoC路由器

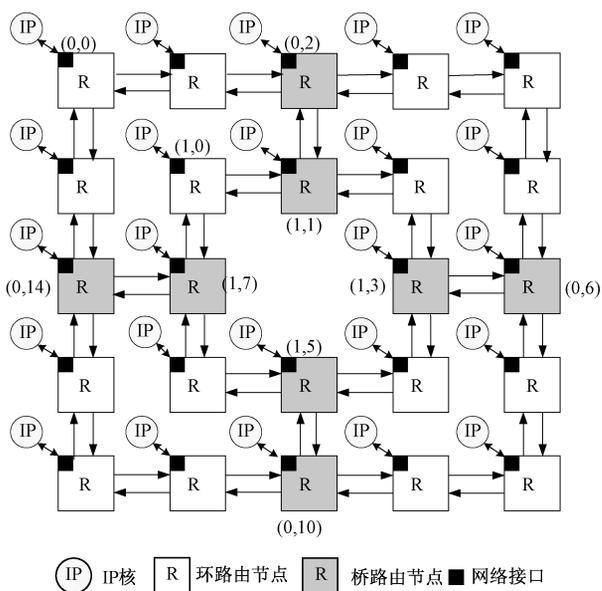


图 1 双环形拓扑结构
Fig. 1 Double ring topology

有 4 个方向的通道,DRNoC 通道数减少,因此资源开销会降低。DRNoC 路由器内部又包含了优先级译码模块、路由地址分析模块、仲裁模块、交叉开关模块。

2 双环动态路由算法设计

2.1 基本思想

本文提出了针对 DRNoC 的 DDRA 路由算法,常见的普通单环形路由算法在链路建立过程中若遇到链路占用情况时,会一直等待直到该条链路被释放。Dy-XY 算法和 RT 算法在 2D Mesh 网络中间节点拥塞程度较大,导致传输延时也会随之增大。DDRA 算法通过分析网络中链路的冲突及占用情况动态的调整路由路径降低头包建立的等待时间,并且 DDRA 在双环形结构上也避免在 2D Mesh 网络中中间节点与边缘节点拥塞不均问题。

2.2 算法步骤

如图 2 所示,当输入模块有链路建立请求时,译码模

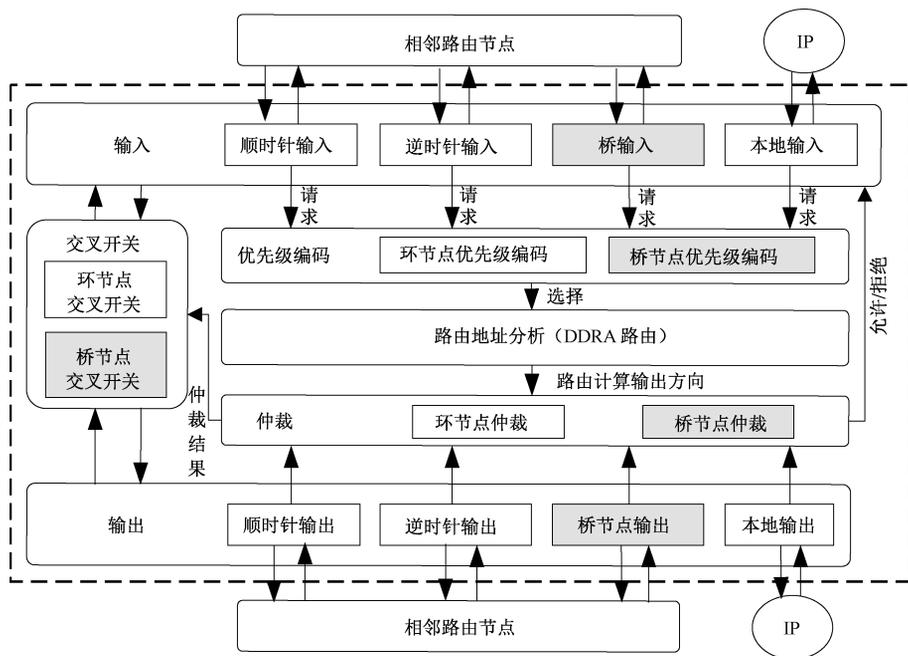


图 2 DRNoC 路由器结构
Fig. 2 Router architecture of DRNoC

块将比较头包地址中源节点与目的节点坐标进行动态路由选择输出方向,若有多个输入请求,则按照本地、桥、顺、逆方向的优先级顺序处理。仲裁模块采用固定优先级方式对选定的输出方向进行仲裁,仲裁信号反馈给输入模块。若仲裁成功将结果传递给交叉开关,打开输入到输出连接通路。

如图 3 DDRA 算法流程图所示,对于 DRNoC 来说,

这种结构天然地将路由节点分布在了两个不同的区域,即外环与内环。将源节点与目的节点处于同一个环上的情况称为同环传输,将源节点与目的节点处于不同环上的情况称为跨环传输。

DDRA 路由算法路径的建立首先保证在同一环上进行,同环传输时,若源节点已经确定了输出方向,那么剩余路由需经过的节点无需再判断输出方向直接传输到目

的节点,因此译码模块逻辑简单,大大降低了传输延时。当同环的顺、逆两个方向链路均被占用时,会选择跨环传输。

跨环传输时,为每个环节点分配固定的桥节点进行跨环传输。首先在同环上传输,当到达跨环所分配的桥节点时在进入到另一环进行同环传输。

桥节点的分配规则为从(0,0)开始每 $N+2$ 个节点为一组为其分配一个外环的桥节点,第1组所分配外环

桥节点坐标为(0,N),第2组外环节点所分配的桥节点与第一组之间相隔 $N+2$ 个节点,以此类推。另外只为外环节点分配桥节点即可,分配的内环桥节点则为与外环桥节点相连的节点。以图1中24节点的DRNoC为例,即 $N=2$,桥节点的分配为(0,0)、(0,1)、(0,2)、(0,3)分配(0,2)节点,(0,4)、(0,5)、(0,6)、(0,7)分配(0,6)节点,(0,8)、(0,9)、(0,10)、(0,11)分配(0,10)节点,(0,11)、(0,12)、(0,13)、(0,14)分配(0,14)节点。

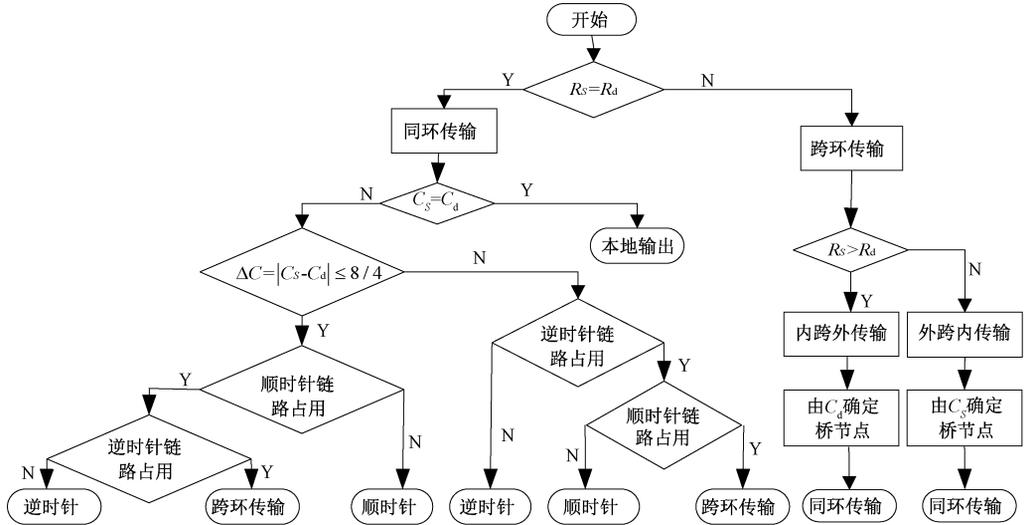


图3 DDRA 算法流程

Fig. 3 Algorithm flow chart of DDRA

DDRA 算法伪代码如算法1所示。

算法1:DDRA 算法伪代码

```

// (Rs, Cs) 代表源节点坐标; (Rd, Cd) 代表目的节点坐标; (Rc,
Cc) 代表当前节点坐标; (Rb, Cb) 代表桥节点坐标
// Des 代表路由方向
Input : (Rs, Cs); (Rd, Cd); (Rc, Cc); (Rb, Cb);
Output : Des;
Define ΔR = Rs - Rd; ΔC = Cs - Cd;
//同环传输
If (ΔR=0)Then
    If (Cs = Cd) Then Des = Local;
Else If
    ((Rs = 0 && ΔC ≤ 8) || (Rs = 1 && ΔC ≤ 4))
        Then If (Occ_clkw = 0) Then Des = Clkw;
        Else If (Occ_clkw = 1 && Occ_anclkw = 0)
            Then Des = Anclkw;
        Else If (Occ_clkw = 1 && Occ_anclkw = 1)
            Then Des = 跨环;
Else If
    ((Rs = 0 && ΔC > 8) || (Rs = 1 && ΔC > 4))
        Then If (Occ_anclkw = 0)
            Then Des = Anclkw;
        Else If

```

```

((Occ_anclkw = 1 && Occ_clkw = 0)) Then Des = Clkw;
Else If
    ((Occ_anclkw = 1 && Occ_clkw = 1)) Then
        Des = 跨环;
//跨环传输
Else If (ΔR ≠ 0) Then
    If (Rs < Rd && Rb = Rc) Then Des = Bridge;
    Else If (Rs < Rd && Rb > Rc) Then Des = Clkw;
    Else If (Rs < Rd && Rb < Rc) Then Des = Clkw;
    Else If (Rs > Rd && Rb = Rc) Then Des = Bridge;
    Else If (Rs > Rd && Rb > Rc) Then Des = Clkw;
    Else If (Rs > Rd && Rb < Rc) Then Des = Clkw;
End DDRA

```

2.3 死锁分析

死锁是 NoC 设计中十分重要的问题,死锁一旦产生会导致网络性能急剧下降甚至瘫痪。环形结构由于其环形依次相连的特点,若采用虫孔路由 NoC,在数据传输过程中会有不同数据包循环占用缓存的现象导致严重的死锁问题。本文采用基于“包-电路”交换进行 NoC 设计,“包-电路”交换首先通过一个头包的方式建立源节点与

目的结点间的连接,锁定传输链路后再通过电路交换进行连续的数据传输。因此头包请求一旦被拒绝,会先取消申请而不是持续等待,因此可以避免死锁问题的产生。

3 实验结果与分析

3.1 实验条件设置

为了对 DRNoC 的网络性能进行评估,本文采用 Verilog HDL 对 DRNoC 进行了 RTL 建模与仿真,并在 Xilinx Artix-7 系列开发板上进行验证。将本文的 DDRA 算法与文献[18]中的 Dy-XY 算法、文献[17]中容 FTD XY-YX 算法和文献[13]中 RT 算法进行网络性能比较。

对于 NoC 而言,平均吞吐率和平均包延时是衡量片上网络性能的重要指标^[20]。平均吞吐率通常用每秒所能处理的数据位数或者包的数目来表示系统及其部件处理数据请求的能力,单位为 flits/cycle。平均包延时反映了片上网络的传输速度,指网络中所有数据包通过网络的平均时间,单位是 cycles/flit。

$$\text{平均吞吐率} = \frac{\text{发包次数} \times \text{包长}}{\text{节点数} \times \text{总延时}}$$

$$\text{平均包延时} = \frac{\text{通过网络的所有包延时}}{\text{发包次数} \times \text{包长}}$$

发包节点占总节点的比例定义为网络通信负载。发送任务的数据包长度定义为网络通信量。因此通过调整发包节点占总节点的比例和发送的数据包长度即可控制 NoC 的负载和通信量。在所有实验中,网络规模均为 24 节点。实验条件设置如下:

1) 网络中所有数据包在 DRNoC 中均以“包-电路”交换方式传输。数据包格式如图 4 所示,包括头包、数据包以及结束包 3 种类型,宽度为 66 bit。



图 4 数据包格式
Fig. 4 Packet format

2) 设置数据包长度为 1 024,随机选择路由节点作为源节点发送连续的 100 个数据包,通过调整发送数据包的网络节点所占据网络总节点数的比例来控制网络的通信负载,即比例越大代表着网络的通信负载越高。

3) 通信负载设置为 50%,随机选择路由节点发送数据包,控制包的长度从 100~2 400 变化,数据包长度越

大,代表着 NoC 通信量越大。

4) 随机选择一对源节点与目的节点发送一条数据流模拟无冲突的数据传输环境,控制包长度从 100~2 400 变化。

3.2 DRNoC 性能测试

为了测试 DRNoC 在无冲突环境下的数据传输性能,进行了单流数据传输实验。

如图 5 所示,在单流数据传输的实验中,衡量指标是总传输延时,即任务流从头包申请建立到最后一个数据包传输完成所用的所有时间。DDRA 路由算法总传输延时相对于文献[17]、[18]、[13]分别下降了 59%、48%、33%。原因是本文所提出的 DDRA 路由算法在单条流且同环传输情况下,相比于 2D-Mesh 结构下的路由算法无需在每个节点都进行路由分析,当在源节点选定方向后,之后的输出方向选择与源节点相同,这样的译码传输逻辑相对简单,因此会大大降低传输延时。

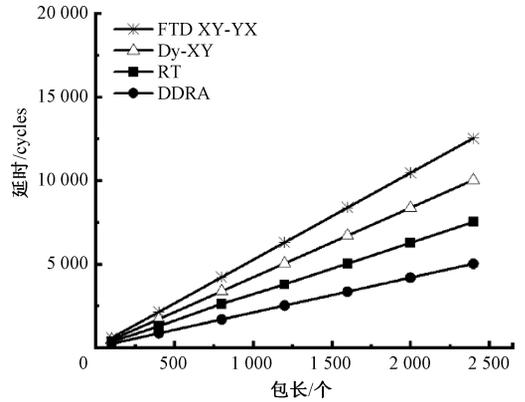


图 5 单流数据传输总延时

Fig. 5 Total latency of single stream data transmission

为了测试 DRNoC 在高负载和高通信量情况下的数据传输性能,本文进行了在不同通信负载与通信量条件的数据传输实验。高负载详情设置为网络发包节点占网络总节点的比例从 10%~90% 递增。高通通信量详情设置为包的长度从 100~2 400 递增。

如图 6(a) 和 (b) 所示,随着数据包长度的不断增加,本文方案的平均包延时与平均吞吐率均优于另外 3 种方案,这是因为针对 DRNoC 设计的 DDRA 路由算法根据网络中的冲突情况调整路由路径,保证同环传输的基础上再跨环传输,同环传输路由逻辑简单延时小。另外随着包长度的不断增加,平均包延时不断减小,因为包的长度代表网络的通信量,本文所提出的 DRNoC 架构采用了“包-电路”交换机制,在链路建立成功并锁定后,数据包的传输延时与网络当前的状态无关,所以随着数据包长度的增加,平均包延时逐渐降低,这也说明本方案适用于大量数据通信的情况。

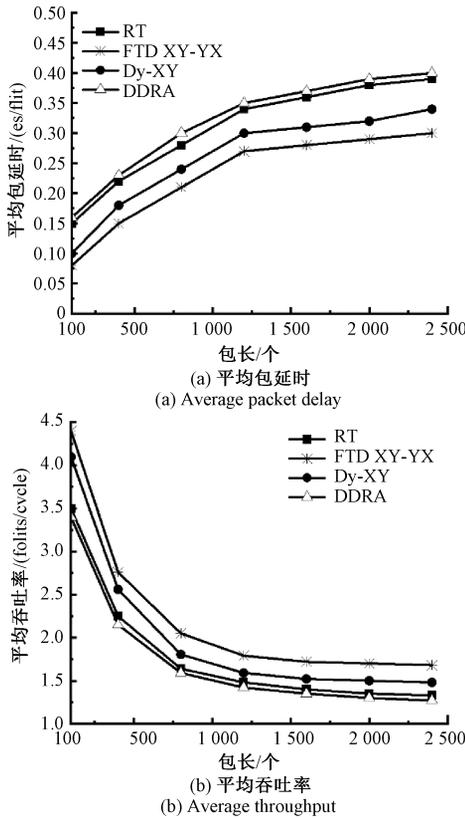


图6 网络性能与包长度的关系

Fig. 6 Relationship between packet length of data and network performance

如图7(a)所示,可以看出本文方案的平均包延时在网络负载一定情况下低于另外3种方案。因为本文所提出的 DDRA 算法在高负载情况下能够动态地选择路由路径,保证数据流在同环传输的情况下,若同环传输不成功再进行跨环传输,这样同环传输任务流比例更多,DDRA 路由算法的译码逻辑使得同环传输时延时优势明显。

如图7(b)所示,在网络负载不断增大的情况下,本文方案的平均吞吐量在相同注入率条件下均高于另外3种方案。当网络负载较大时,吞吐量几乎不再增加,进入一个相对平稳的状态,原因是当网络负载增加到一定程度时,网络中链路达到饱和状态。

3.3 DRNoC 资源评估

在 FPGA 资源评估实现时,使 XC7A35TCPG236-1 芯片,采用 Vivado2019.2 综合实现工具对3种设计进行综合与布局布线。本文从查找表 LUT、寄存器 Register 两个指标对 FPGA 的实现资源进行评估,在同样的网络规模下,本文方案 DRNoC 路由器设计相比于 2D-Mesh 结构下的路由器输入输出通道减少,并且译码模块路由算法设计无需在每个路由节点都进行逻辑判断输出,逻辑简单,因此硬件资源消耗会有所降低。从表1中可以看出,该

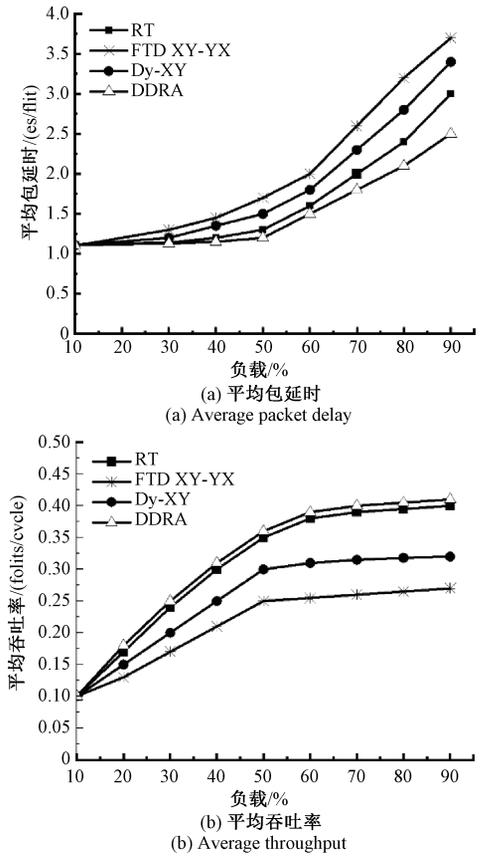


图7 网络性能与负载关系

Fig. 7 Relationship between loading and network performance

文提出的方案硬件资源消耗均低于对比的3种方案, LUT 相较于另外3种方案分别减少了 37.4%、42.4%和 46.2%,寄存器相较于另外3种方案分别减少了 2.20%、3.56%和 5.02%。

表1 基于FPGA的路由器资源评估

Table 1 Router resource evaluation based on FPGA

	Dy-XY ^[8]	FTD-XY-YX ^[7]	RT ^[11]	DDRA
LUT	16 442	17 883	19 153	10 285
Register	8 181	8 296	8 424	8 001
LUT 优化	37.4%	42.4%	46.2%	-
Register 优化	2.20%	3.56%	5.02%	-

4 结论

本文提出了一种基于“包-电路”(PCC)交换的双环拓扑结构片上网络(DRNoC)设计方案。这种 DRNoC 路由器结构简单,通道可配置,资源消耗小,并具有可拓展性。同时提出了一种双环动态路由算法(DDRA),能够根据网络冲突情况自适应选择路径,从而有效地降低网络延时,提高数据吞吐量。并采用 Verilog HDL 实现了

DRNoC。实验结果表明,该文提出的搭载 DDRA 算法的 DRNoC,相比于 3 种对比方案在平均包延时、平均吞吐率均有明显改善同时降低了硬件资源开销。下一步将深入研究适用于 DRNoC 的容错自适应路由算法,进一步提升网络性能。

参考文献

- [1] GAUR M S, LAXMI V, ZWOLINSKI M, et al. Network-on-chip: Current issues and challenges [C]. 2015 19th International Symposium on VLSI Design and Test, Ahmedabad, India, 2015: 1-3.
- [2] MA S, HUANG L, LAI M, et al. Networks-on-chip: From Implementations to Programming Paradigms [M]. San Francisco: Morgan Kaufmann Publishers Inc, 2014.
- [3] ONIZAWA N, MATSUMOTO A, FUNAZAKI T, et al. High-throughput compact delay-insensitive asynchronous NoC router [J]. IEEE Transactions on Computers, 2014, 63(3): 637-649.
- [4] DAYA B K, CHEN C, SUBRAMANIAN S, et al. SCORPIO: A 36-core research chip demonstrating snoopy coherence on a scalable mesh NoC with in-network ordering[J]. Acm Sigarch Computer Architecture News, 2014, 42(3): 25-36.
- [5] ANSARI A Q, ANSARI M R, KHAN M A. Performance evaluation of various parameters of network-on-chip (NoC) for different topologies [C]. 2015 Annual IEEE India Conference (INDICON). IEEE, 2015: 1-4.
- [6] TASUN S, AJABSHIR V B, MERCANOGLU O, et al. Fault-tolerant topology generation method for application-specific network-on-chips [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2015, 34(9): 1495-1508.
- [7] 朱新宇, 王晓蕾, 宋宇鲲, 等. 基于拥塞超前感知的 NoC 路由器设计 [J]. 微电子学与计算机, 2021, 38(1): 45-50.
ZHU X Y, WANG X L, SONG Y K, et al. Design of NoC router based on advance congestion-aware [J]. Microelectronics. Computer, 2021, 38(1): 45-50.
- [8] 齐星云, 戴艺, 赖明澈, 等. 基于偏折路由的双环片上网络 [J]. 计算机工程与科学, 2021, 43(3): 381-388.
QI X Y, DAI Y, LAI M CH, et al. Deflection routing based bi-ring network on chip [J]. Computer Engineering and Science, 2021, 43(3): 381-388.
- [9] WANG X, GU H, YANGY, et al. RPNOC: A ring-based packet-switched optical network-on-chip [J]. IEEE Photonics Technology Letters, 2014, 27(4): 423-426.
- [10] CAI Y, XIANG D, JI X. Deadlock-free adaptive routing based on the repetitive turn model for 3D network-on-chip [C]. Symposium on Parallel and Distributed Processing with Applications (ISPA). Melbourne: IEEE, 2018: 722-728.
- [11] 蔡源. 高性能无死锁的 mesh 片上网络的路由算法的研究 [D]. 北京:清华大学, 2021.
CAI Y. Research on high-performance and deadlock-free routing algorithms in mesh-based networks-on-chip [D]. Beijing: Tsinghua University, 2021.
- [12] 欧阳一鸣, 陈志谋, 王奇, 等. WiNoC 中基于 Edge-first 算法的流量平衡设计 [J]. 电子测量与仪器学报, 2021, 35(1): 62-73.
OUYANG Y M, CHEN ZH M, WANG Q, et al. Edge-first based traffic load balance design in WiNoC [J]. Journal of Electronic Measurement and Instrumentation, 2021, 35(1): 62-73.
- [13] 李丽, 万健, 王佳文, 等. 基于包-电路交换的片上网络回退转向路由算法 [J]. 电子与信息学报, 2011, 33(11): 2759-2763.
LI L, WAN J, WANG J W, et al. NoC retrograde-turn routing algorithm based on packet-circuit switching [J]. Journal of Electronics & Information Technology, 2011, 33(11): 2759-2763.
- [14] DU G, YANG X, CHEN F, et al. MPCC: Multi-path routing packet connect circuit for network-on-chip [C]. 2015 IEEE 9th International Conference on Anti-counterfeiting, Security, and Identification (ASID). IEEE, 2015: 86-91.
- [15] OUYANG Y, WANG Q, RU M, et al. A novel low-latency regional fault-aware fault-tolerant routing algorithm for wireless noc [J]. IEEE Access, 2020, 8: 22650-22663.
- [16] LIU S, CHRN T, LI L, et al. IMR: High-performance low-cost multi-ring NoCs [J]. IEEE Transactions on Parallel and Distributed Systems, 2015, 27(6): 1700-1712.
- [17] KHICHAR J, CHOUDHARY S, MAHAR R. Fault tolerant dynamic XY-YX routing algorithm for network on-chip architecture [C]. 2017 International Conference on Intelligent Computing and Control (I2C2), Coimbatore, India, IEEE, 2017: 1-6.
- [18] MEHRIZI H S, ZEINALI E. Wormhole algorithm with load balancing method for fault-tolerance routing in mesh based NoCs [C]. Proceedings of 2013 Signal Processing: Algorithms, Architectures, Arrangements, and Applications. Poznan, Poland: IEEE, 2014: 354-359.
- [19] DIMITRAKOPOULOS G, PSARRAS A, SEITANIDIS I. Microarchitecture of Network-on-Chip Routers [M]. Berlin, Germany: Springer, 2015.

- [20] ZHANG D L, LI S Y, SONG Y K. Design and implementation of dual-port network on chip[C]. 2014 IEEE 12th International Conference on Solid -State and Integrated Circuit Technology (ICSICT). IEEE, 2014.

作者简介



李桢旻, 2004 年于复旦大学获得学士学位, 2006 年于首尔国立大学获得硕士学位, 2016 年于奥克兰大学获得博士学位, 现为合肥工业大学讲师, 主要研究方向为片上网络及基于机器学习的时间可预测软硬件设计。

E-mail: zhenmin.li@hfut.edu.cn

Li Zhenmin received his B. Sc. degree from the Fudan University in 2004, M. Sc. degree from the Seoul National University in 2006, and Ph. D. degree from the University of Auckland in 2010, respectively. Now he is a lecturer in the Hefei

University of Technology. His main research interests include network-on-chip and time predictable software and hardware design based on machine learning.



易茂祥(通信作者), 1986 年于合肥工业大学获得学士学位, 1989 年于合肥工业大学获得硕士学位, 2010 年于合肥工业大学获得博士学位, 现为合肥工业大学教授, 主要研究方向为超大规模集成电路可测试性与可靠性设计。

E-mail: mxyi126@126.com

Yi Maoxiang (Corresponding author) received his B. Sc. degree from the Hefei University of Technology, in 1986, M. Sc. degree from the Hefei University of Technology in 1989 and Ph. D. degree from the Hefei University of Technology in 2010, respectively. Now he is a professor in the Hefei University of Technology. His main research interests include testability and reliability design of VLSI.