

DOI: 10. 13382/j. jemi. B2003783

测试性能估算的测试集重排序方法*

詹文法 彭登辉 邵志伟

(安庆师范大学计算机与信息学院 安庆 246133)

摘要:目前在集成电路测试中,测试时间长、测试效率低是影响测试成本的关键问题之一,针对此问题提出了一种基于测试性能估算的测试集重排序方法。首先针对不同的故障类型进行分类建模,然后对每种故障类型进行仿真,通过在每个逻辑门注入故障,统计测试向量命中故障门的面积之和来估算测试向量的测试性能,最后根据测试性能的优劣对测试集进行重新排序。实验表明,对于单固定故障使用排序后的测试集测试可以减少 53.29% 的故障检测时间。该方法是通过电路的逻辑结构进行分析和统计然后对测试集进行优化,对 ISCAS 89 标准电路进行试验,与其他测试集重排序对比,有着明显的优化。算法运行完全是基于软件的,不需要增加任何硬件开销,可以直接相容于传统的集成电路测试流程。

关键词:故障模型;测试性能;泊松分布;测试集重排序

中图分类号: TN47 **文献标识码:** A **国家标准学科分类代码:** 510. 4030

Test set reordering method for test performance estimation

Zhan Wenfa Peng Denghui Shao Zhiwei

(School of Computer and Information, Anqing Normal University, Anqing 246133, China)

Abstract: At present, long test time and low test efficiency are one of the key problems affecting test cost in IC testing. To solve this problem, a test set reordering method based on test performance estimation is proposed. Firstly, different fault types are classified and modeled, and then each fault type is simulated. The test performance of test patterns is estimated by injecting faults into each logic gate and counting the total area of test patterns hitting the fault gate. Finally, the test sets are reordered according to the test performance. Experiments show that the sequenced test set test can reduce the fault detection time by 53.29% for single stuck-at fault. This method is to analyze and count the logic structure of the circuit and then optimize the test set, test the ISCAS 89 standard circuit, and compare it with other test sets to reorder it, which has obvious optimization. The algorithm operation is completely software-based, without any additional hardware overhead, and can be directly compatible with the traditional integrated circuit test process.

Keywords: fault model; test performance; poisson distribution; test set reordering

0 引言

随着集成电路制造工艺的飞速发展,目前一个集成电路上集成的晶体管已有亿万之多。根据摩尔定律可知,每隔 18~24 个月,集成电路上的元器件的数目增加 1 倍,这导致集成电路测试将会变得越来越困难,这主要体现在两个方面:一方面,测试向量数量增多。随着集成电路功能的复杂度不断提高,或增加测试向量覆盖更多的

故障点,或增加不同的测试类型从不同的角度提高故障覆盖率,甚至需要开发新的测试方法来提高测试质量。另一方面,测试成本越来越高,导致集成电路的测试成本在整个产业链中所占的比重在不断提高。所以,集成电路测试方法的研究具有较高的实用价值^[1-6]。

集成电路测试不仅仅是指使用测试仪器对产品进行测试,而且还包括对设计和制造的电路进行测试分析、集成电路的建模、测试向量生成以及施加测试向量等。在传统的集成电路测试方法中,使用自动测试设备 ATE 将

收稿日期: 2020-12-16 Received Date: 2020-12-16

* 基金项目:安徽省重点研究与开发计划项目(201904f06020037)、安徽省高校协同创新项目(GXXT-2019-030)资助

测试向量输入到被测集成电路上,然后将从集成电路上获得的输出结果与预期的正确结果进行比对,根据比对结果来判断电路上是否存在某种类型的故障。随着集成电路的制造工艺不断进步,其规模和复杂度迅速增加,导致需要增加多种不同的测试类型以确保测试的正确性。例如集成电路测试中,需要运行 DC 测试、功能测试、Iddq 测试、内建自测试、延迟测试和扫描测试等不同类型的测试,每一种类型的测试都需要运行多条测试向量。在传统的测试方法中,对于每个集成电路进行测试的测试类型是固定不变的,对于每个测试类型的测试向量的顺序也是固定不变的。已知测试的目的是检测出存在故障的集成电路,测试的过程主要是判断集成电路是否存在故障点,因此越早发现故障点的位置测试效果越优秀,测试效率越高^[7]。

目前,为了缩短测试时间,提高测试效率,减少测试成本的主要方法有以下 3 种:1) 内建自测试^[4-5]或无线测试^[6,8]的方法,该方法不需要昂贵的自动测试设备,减少了测试设备成本^[9],但该方法需要在被测集成电路内部设计自测试电路或无线收发电路,增加了设计成本和制造成本;2) 测试数据压缩方法^[1-3,10-11],该方法通过压缩算法将测试数据进行压缩,将压缩后的数据通过自动测试设备(ATE)传输到被测电路,减少了传输时间,提高了测试效率,但该方法需要在被测集成电路上设计解压电路,且如果测试数据量非常大时,需要对测试数据进行裁剪或多次传输,影响了测试质量,且存在着测试数据与自动测试设备之间的数据同步问题;3) 适应性测试方法^[7,12-16],自适应测试是一个较为宽泛的术语,用于描述根据集成电路制造、测试数据和统计数据改变测试条件、测试流程、测试内容和测试限制的一类方法^[12],自适应测试可以针对被测集成电路的不同,开发不同的测试程序,该方法存在着较好的自适应性能,有着良好的应用前景。目前也有一些优秀的适应性测试方法,如 Lin 等^[14]以及 Gotkhindikar 等^[15]提出的基于测试向量重新排序的方法,Hapke 等^[16]提出的计算集成电路关键面积来预测故障的方法和预测集成电路缺陷分布的方法。

自动测试生成(automatic test pattern generation, ATPG)是指根据集成电路的逻辑结构来生成测试集的一种方法。众所周知,自动测试生成是一个 NP-完全问题,是不可能存在一个能在线性时间内完成的完全测试生成算法。随着时代的发展,集成电路规模也不断增大,根据摩尔定律,集成电路上可以容纳的晶体管数目在大约每经过 24 个月便会增加 1 倍,使得测试集的测试性能就变得非常重要。目前,大多数自动测试生成算法追求达到较高的故障覆盖率,生成的测试集尽可能包含较多的未知故障,以求减少未知故障对产品带来的影响。所以自动测试向量生成算法生成的测试集往往具有较大的故障

覆盖,但却包含了较多重复的、测试性能低下的测试向量。本文通过估算每条测试向量的测试性能,根据其测试性能的优劣对测试集进行重新排序,使用排序后的测试集测试可以有效减少故障集成电路的测试时间(fault detection time, FDT),并且不会影响正常集成电路的测试流程,也不需要增加额外的硬件设备以及成本。

1 测试性能和测试集重排序

1.1 测试性能

性能一般指的是机械、器材、物品所具有的性质和功能,是一个通识性的概念,在此引用测试性能作为评价测试向量命中故障点的数量多少。测试向量或测试集命中故障点越多,其测试性能越好,测试向量命中该故障点即可以检测出该故障点,反之,则测试性能越差。设命中一个故障点的测试性能为 p ,不考虑外在因素,不失一般性,当命中一个故障点时:测试性能 $p=1$;当命中两个故障点时:测试性能 $p=2$;如此进行,当命中 n 个故障点的测试向量的测试性能的计算方法如下:

$$p = n \quad (1)$$

在不考虑集成电路设计存在明显缺陷或制造流程存在严重问题的情况下,电路发生故障存在以下特点:1) 电路发生故障是小概率事件;2) 故障发生相对独立;3) 故障发生率相对稳定。在统计学上,满足以上 3 个条件,可以得出该事件服从泊松分布。所以认为电路发生故障这一事件是近似符合泊松分布的^[14],泊松分布的概率如式(2)所示, X 是故障数量的随机变量, x 表示存在故障的个数, λ 表示平均故障率。所以,故障是随机发生的,集成电路的面积越大故障发生的概率也越大,逻辑门面积越大故障发生的概率也越大。

$$p(X = x | \lambda) = \frac{\lambda^x e^{-\lambda}}{x!} \quad (2)$$

测试性能可以看作是测试向量或测试集的一种属性,根据泊松分布可知,故障点的位置是随机的,导致测试向量的测试性能不易计算。本文算法首先针对不同的故障类型进行分别建模,通过在每个逻辑门注入故障,统计测试向量命中故障门的面积之和来估算测试向量的测试性能。

1.2 测试集重排序

在集成电路测试流程中,测试向量是指测试某一具体集成电路时的输入序列,输入序列之间有固定的顺序。一般情况下测试某一具体集成电路时,需要多条测试向量,这些测试向量的合集称为测试集。传统的集成电路测试流程中,对于一种待测集成电路,测试集内测试向量的加载顺序是固定不变的。对于所有的被测集成电路都采用相同的加载顺序,既没有考虑集成电路本身的逻辑

结构和制造工艺,也没有针对故障发生概率对测试集进行优化,测试效率较低。通过优化测试集内的测试向量的排序和组合,将测试性能相对较高的测试向量优先加载,则可以较早的命中存在故障的被测集成电路,节省测试时间,增加测试效率。如图 1 所示,3 组测试向量 $a\{V_1, V_2, V_3\}$, 其能测的故障集分为 $V_1\{f_1, f_2, f_3, f_4\}$, $V_2\{f_3, f_4, f_5, f_6, f_7, f_8\}$, $V_3\{f_7, f_8, f_9\}$ 。假设存在 3 个集成电路故障正好为 f_3, f_7, f_8 , 显然对于该 3 个集成电路测试向量 V_2 比 V_1, V_3 的测试性能要好,对测试集进行重新排序为 $b\{V_2, V_1, V_3\}$ 。对于同一集成电路,各个测试向量运行的时间相同为 iT 。所以,排序前 3 个集成电路的故障检测时间和为 $5T$,排序后 3 个集成电路的故障检测时间和为 $1T$ 。

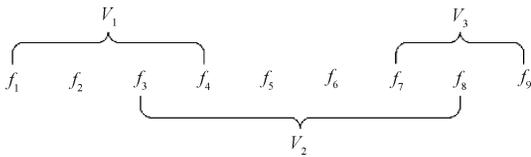


图 1 测试向量的测试性能示意图

Fig. 1 Test performance diagram of test vector

2 基于测试性能估算的测试集重排序方法

2.1 主要思想

在集成电路测试环境中,越早检测出故障点的位置测试效率越高,而目前大多数自动测试生成算法都追求达到较高的故障覆盖率,虽然生成的测试集具有较大的故障覆盖,但却包含了较多重复的、测试性能低下的测试向量。为了优化测试集,提高测试效率,本文通过估算每条测试向量的测试性能,根据其测试性能的优劣对测试集进行重新排序,使用排序后的测试集测试可以更早的命中故障点,有效的减少了故障集成电路的测试时间,且不会影响正常集成电路的测试流程,也不需要增加额外的硬件设备和成本。

本文的核心思想是估算测试向量的测试性能,而为了估算测试向量的测试性能,已知集成电路的面积越大,其发生故障的概率也越大^[16]。由此,可以对一种已知集成电路的结构进行分析建模,对该电路进行故障仿真,在每个逻辑门都注入特定故障类型,再将自动测试生成算法得到的测试向量依次输入,按照检测到故障停止的方法进行电路仿真,统计每条测试向量命中故障门的次数和门类型。再根据故障门的类型和数量进行估算测试向量的测试性能,最后依据测试性能的高低对测试集重新排序。且本算法完全是基于软件的,在实际测试过程中不会增加硬件成本。

2.2 算法流程

如图 2 所示,本文算法主要分为以下 5 个主要步骤,

故障类型分类、生成测试集、故障仿真测试、估算测试性能和重新排序。

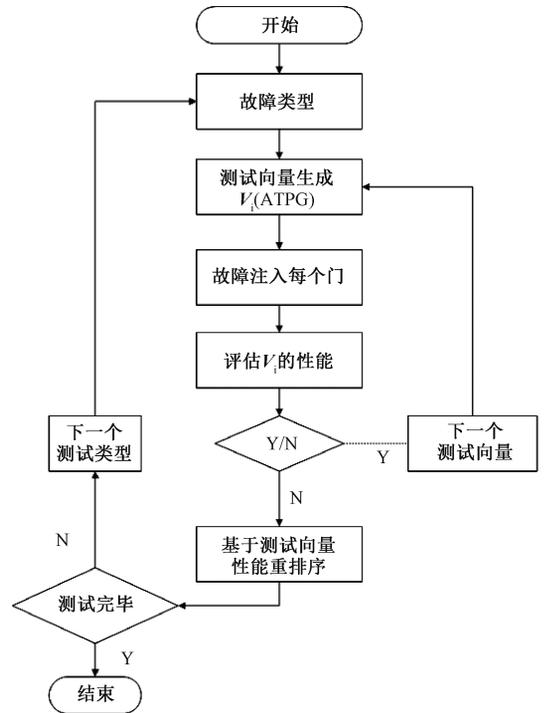


图 2 算法流程

Fig. 2 Algorithm flow chart

不失一般性,假设对于一个确定的集成电路的测试,需要测试的故障类型有 $Y_1, Y_2, \dots, Y_j, \dots, Y_n$, 对于故障类型 Y_j 有对应的测试向量 $V_1, V_2, \dots, V_i, \dots, V_m$ 。其中 i, n, j, m 均为整数。不失一般性,假设故障类型 Y_j 对应的测试向量的加载顺序为 $V_1, V_2, \dots, V_i, \dots, V_m$ 。在实际的集成电路测试时,还会出现测试向量可以合并的现象,这时就可以将多条测试向量进行合并。或存在部分测试向量是不能调整顺序的,这时将不能调整顺序的测试向量作为单个测试向量处理。不失一般性,假设上述测试向量是处理和合并后的结果。

所以此算法可以通过组合排序优化测试向量集来进行筛选出更早命中故障点的高效测试集,也可以在测试向量冗余的时候进行合并多余的测试向量。

1) 故障模型分类和故障注入以及生成测试集

(1) 故障模型分类,在集成电路测试过程中需要用到一些故障模型,常用的故障模型例如:单固定故障、多固定故障、桥接故障、延迟故障、固定开短路故障等。本文提出的基于测试性能估算的测试集重排序方法首先要对不同的故障类型进行区分,进行故障模型分类,明确需要测试的故障类型,再分别进行重新排序。实际的集成电路测试时,还存在故障类型可以合并的,不失一般性,假设合并后的故障类型为 $Y_1, Y_2, \dots, Y_j, \dots, Y_n$ 。

(2) 故障注入, 仅仅从实现目的的角度来定义的话, 其实故障注入就是人为使电路加速失效的过程。而按照实现方法来定义的话, 故障注入就是在电路中植入了实际故障或是故障模型, 通过一定的控制方案将这些植入的故障在系统中激活。可以归纳为研究者针对某实验目的而选择建立特定的故障模型, 并借助故障注入工具将选定的故障植入系统中, 对故障电路输入激励并观察系统响应, 从而分析实验结果^[17]。

(3) 生成测试集, 通过自动测试生成算法得到对应故障模型的测试集, 包含输入序列和输出序列。对于故障类型 Y_i 生成测试向量 $V_1, V_2, \dots, V_i, \dots, V_m$ 。在实验中, 对于一种故障类型仅使用一种自动测试生成算法, 保证测试集的测试性能不会因为自动测试生成算法的不同而不同。本文使用的是 Fan 算法, 是 Fujiwara 提出的, Fan 算法在 D 算法的基础上有效地减小了回溯次数, 提高了测试生成的效率。

2) 故障仿真测试和估算测试性能

(1) 故障仿真测试, 通过编程仿真集成电路测试环境, 还原电路的逻辑结构, 在每个逻辑门注入故障进行故障仿真, 再通过电路仿真测试, 依次使用 $V_1, V_2, \dots, V_i, \dots, V_m$ 中的每条测试向量进行仿真测试, 统计测试向量 V_i 命中的故障门的个数和对应的故障门类型。

(2) 估算测试性能, 根据故障门的类型以及包含晶体管个数的多少来估算逻辑门的面积大小, 计算公式如式(3), G_i 表示向量 V_i 命中故障门的数量, N_i 表示每个逻辑门对应的晶体管数量, P_i 表示向量 V_i 的测试性能。在实际集成电路当中, 晶体管的大小主要取决于制造工艺和电路的逻辑结构, 同一制造工艺下, 不同逻辑门内晶体管的大小也是不同的, 本文主要考虑的是逻辑门内晶体管的数量, 因此忽略了上述问题。实际测试过程中, 集成电路内部的连线也会导致故障发生, 本文为了便于仿真测试, 只考虑了逻辑门内晶体管的数量。

$$p_i = \sum_{k=1}^{G_i} N_i \quad (3)$$

3) 重新排序

重新排序, 通过估算测试性能后可以得到此测试集每条测试向量所对应的测试性能 $p_1, p_2, \dots, p_i, \dots, p_n$, 再对测试性能按高低排序后得到 $p^1, p^2, \dots, p^l, p^n$, 对应测试向量的排序为 $V^1, V^2, \dots, V^l, \dots, V^m$, 至此重排序完成。

3 实验结果

3.1 评价方法

本文提出了一种测试集性能评价方法。已知同一种集成电路的每条测试向量的运行时间均相等且为 T , 假设当前存在一待测故障集成电路, 经过测试后, 第 n 条测

试向量可以检测出其故障点, 那么对于此故障集成电路, 故障检测时间(指测试向量第 1 次检测到故障所需的时间)为 $FDT = T \times n$ 。通过比较故障检测时间就可以判断原测试集和经过排序后测试集的测试性能的优劣。

3.2 实验设置

本文在实验中使用 ISCAS 89 标准电路中几个较大电路, 因为大电路拥有更多的逻辑门结构, 电路更复杂, 更具有代表意义。本文选取 s5378、s9234、s13207、s15850、s38417、s38584 作为实验电路, 通过编程搭建电路仿真测试环境。首先确定故障类型, 为了便于计算, 本文选择固定 0 故障、固定 1 故障两种单固定故障, 在实际过程中, 其他故障类型使用本文算法也能相应的提高测试效率。利用自动测试生成算法为每个电路生成对应的测试集, 包含输入序列和输出序列。实验电路基本信息如表 1 所示。本文使用的是 Fujiwara 提出的基于 D 算法改进的 Fan 算法, 此算法生成测试向量较快且可以对时序电路进行测试生成。如表 2 所示, 通过电路仿真测试, 对于每个电路每种故障类型统计每条测试向量命中故障点的数量。再根据计算式(3)估算测试性能的优劣, 最后对测试集进行重新排序。

表 1 测试电路的信息

Table 1 Test circuit information

电路名称	门数量	测试向量数量
s5378	1 004	258
s9234	2 027	379
s13207	2 573	480
s15850	3 448	437
s38417	8 709	919
s38584	11 448	653

表 2 测试向量命中逻辑门数量

Table 2 Number of logic gates hit by test vectors

电路名称	门数量	与门	或门	非门	与非门	或非门
s5378	2 779	0	232	1 033	0	171
s9234	5 597	464	360	2 375	300	27
s13207	7 951	545	444	3 580	463	32
s15850	9 772	716	525	4 334	540	48
s35932	16 065	300	300	2 520	4 980	0
s38584	19 253	3 042	2 288	5 566	1 147	362

为了证明排序后测试集的测试性能比排序前优秀, 通过电路仿真实验随机产生 50 个晶圆, 每个晶圆中包含 100 个待测电路, 总共 5 000 个待测电路。在每个待测电路中随机选取一个门随机注入固定 0、1 故障作为待测集成电路, 使用原始测试向量和重排序后的测试向量对待测电路进行 5 次测试, 故障检测时间如表 3、4 所示。表 3 对于固定 0 故障, 5 次测试平均故障检测时间分别减少了 51.55%、50.06%、45.98%、51.70%、48.30%, 5 次测试

的故障检测时间平均减少了 49.52%。表 4 对于固定 1 故障,5 次测试平均故障检测时间分别减少了 58.78%、54.50%、59.91%、53.79%、58.27%,5 次测试的故障检测

时间平均减少了 57.05%。从表 3 和 4 可知,5 次测试的平均故障检测时间减少波动幅度较小,说明随着时间的推移算法性能不会出现明显下降,具有良好的自适应性。

表 3 固定 0 故障缩短的测试时间

Table 3 Stuck-at 0 fault reduced test time

电路名称	门数量	测试向量数量	电路数量		故障检测时间				
					1	2	3	4	5
s5378	1 004	258	5 000	原始	17 738	16 835	16 799	17 261	16 977
				排序	8 033	8 170	8 182	8 086	8 067
s9234	2 027	379	5 000	原始	71 955	77 114	80 022	79 877	76 293
				排序	29 883	29 341	34 218	31 502	28 317
s13207	2 573	480	5 000	原始	72 897	64 514	62 638	74 015	85 164
				排序	44 508	42 918	43 157	45 894	46 401
s15850	3 448	437	5 000	原始	47 724	66 424	78 379	67 874	71 734
				排序	23 115	28 638	48 071	31 604	34 975
s38417	8 709	919	5 000	原始	47 566	48 251	49 715	42 641	43 725
				排序	21 940	19 456	22 771	16 432	26 084
s38584	11 448	653	5 000	原始	104 284	71 264	79 584	73 049	75 038
				排序	50 315	44 960	45 041	41 204	47 015
平均故障检测时间减少			49.52%	51.55%	50.06%	45.98%	51.70%	48.30%	

表 4 固定 1 故障缩短的测试时间

Table 4 Stuck-at 1 fault reduced test time

电路名称	门数量	测试向量数量	电路数量		故障检测时间				
					1	2	3	4	5
s5378	1 004	258	5 000	原始	20 677	18 521	194 51	20 437	20 649
				排序	10 114	9 215	9 758	9 689	10 176
s9234	2 027	379	5 000	原始	24 663	25 597	21 786	24 876	23 825
				排序	6 494	6 538	6 398	6 490	6 454
s1327	2 573	480	5 000	原始	21 538	21 498	21 447	22 421	22 294
				排序	12 498	16 914	6 974	12 108	8 341
s15850	3 448	437	5 000	原始	17 907	16 328	15 769	17 032	17 181
				排序	9 482	8 241	8 414	7 437	8 234
s38417	8 709	919	5 000	原始	21 086	17 165	25 227	15 118	14 418
				排序	6 487	6 824	9 265	6 351	6 270
s38584	11 448	653	5 000	原始	24 115	27 168	24 108	22 173	25 984
				排序	7 315	7 825	9 264	14 215	11 746
平均故障检测时间减少			57.05%	58.78%	54.50%	59.91%	53.79%	58.27%	

3.3 实验对比和分析

为了更好的证明本文算法的有效性,本文与文献[15,18]的测试向量集都是用 Atalanta 测试向量生成软件产生的,然后进行重排序算法相比较。

对于文献[15],由于本文的实验数据不同,所以使用文献[15]的算法步骤,参数设置不变,同样使用本文的实验数据 ISCAS89 标准电路中 s5378、s9234、s13207、s15850、s38417、s38584 作为实验电路。通过编程搭建电路仿真环境,由于文献[15]是通过统计以往的测试数据来对测试向量进行重排序,所以首先随机产生 10 个晶圆,每个晶圆中包含 100 个待测电路,在每个待测电路中随机选取一个门随机注入固定 0 或固定 1 故障作为样

本。对测试向量重新排序后,按照本文的评价方法,随机产生 50 个晶圆,每个晶圆包含 100 个待测芯片,在每个待测电路中随机选取一个门随机注入固定 0 或固定 1 故障作为测试芯片,使用原始测试向量和重排序后的测试向量对测试芯片进行 5 次测试。

对于文献[18],使用的也是 ISCAS 89 标准电路中规模较大的 s5378、s9234、s13207、s15850、s38417、s38584。文献[18]首先进行初始化步骤,随机产生 50 个晶圆,每个晶圆中包含 100 个待测电路,在每个待测电路中随机选取一个门随机注入固定 0、1 故障作为初始化电路,对测试向量进行初步排序。为验证初步排序后的测试向量的测试性能,随机产生 100 个晶圆,每个晶圆包含 200 个

待测电路,在每个待测电路中随机选取一个门随机注入固定 0、1 故障作为测试电路,使用原始测试向量和调整后的测试向量对测试电路进行 5 次测试文献[18]。

为了能够更直观展现本文方案的效果。表 5 为本文与文献[15,18]的对比。文献[15]得出的平均故障检测时间减少的结果用的方法是为裸片级自适应测试。文献[18]得出的平均故障检测时间减少的结果用的方法是为一种分级动态调整方法。对于 ISCAS 89 标准电路的实验的出的结果,总平均缩短检测的时间比文献[15]高 14.78%,比文献[18]高 11.7%。

文献[18]同样为了缩短测试时间,提高测试效率,是一种分级动态调整方法。通过统计样本中每种测试类

型和每条测试向量的测试故障率来建立贝叶斯概率模型,根据其命中故障点的概率高低分级排序,方法较为复杂。这种动态调度其实是一种 w 自适应算法,需要进行一次初级测试来进行分析然后同步调整测试类型以及测试向量的加载顺序。本文算法相较之文献[15,18]算法思路容易理解且缩短测试时间能力更为优秀。通过引入了通识性概念性能作为排序的重要指标,对不同故障类型建模,电路仿真测试估算每条测试向量的测试性能,将测试性能优秀的测试向量优先加载可以更早的发现故障。并且通过整合冗余向量降低了对无故障电路测试时间。

表 5 三种提高测试效率的方法对比

Table 5 Comparison of three methods to improve test efficiency

(%)

电路名称	故障类型	文献[15]平均故障检测时间减少	文献[18]平均故障检测时间减少	本文平均故障检测时间减少
s5378	单固定点故障	31.64	43.28	51.79
s9234	单固定点故障	33.14	40.83	66.70
s13207	单固定点故障	28.03	40.56	42.96
s15850	单固定点故障	34.28	39.93	50.13
s38417	单固定点故障	49.63	32.85	58.08
s38584	单固定点故障	39.69	37.45	51.28
平均总故障减少时间		36.07	39.15	50.85

4 结 论

本文算法思路明显实现了对集成电路测试中测试向量排序的优化。通过对不同故障类型建模,电路仿真测试估算每条测试向量的测试性能,将测试性能优秀的测试向量优先加载可以更早的发现故障而且将冗余测试向量合并减少不必要的测试,降低了无故障电路测试时间。而且本文算法具有良好的适应性,随着时间的推移算法性能不会出现明显下降。且本文方法是完全基于软件的,不会增加任何硬件开销,可以直接相容于传统的集成电路测试流程。通过实验证明使用排序后的测试集确实减少了测试时间。其实在实际电路测试中参数测试出来的结果也不一定就可以确定一定存在故障,在未来可以使用机器学习的方法与参数测试结果相结合,两者相辅相成才能更准确效率的完成测试。而且随着发展未来有可能产生无人线上测试,机器自动更新代码。

参考文献

[1] SEO S, LEE Y, KANG S. Tri-state coding using reconfiguration of twisted ring counter for test data compression[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2015, 35(2): 274-284.

[2] NOVÁK O, PLÍVA Z. Test response compaction method with improved detection and diagnostic abilities [J]. Microelectronics Reliability, 2018, 80: 249-256.

[3] ZHAN W, EL-MALEH A. A new scheme of test data compression based on equal-run-length coding (ERLC)[J]. INTEGRATION, the VLSI Journal, 2012, 45(1): 91-98.

[4] XIANG D, CHEN M, FUJIWARA H. Using weighted scan enable signals to improve test effectiveness of scan-based BIST [J]. IEEE Transactions on Computers, 2007, 56(12): 1619-1628.

[5] RUAN A, KANG S, WANG Y, et al. A Built-In Self-Test (BIST) system with non-intrusive TPG and ORA for FPGA test and diagnosis [J]. Microelectronics Reliability, 2013, 53(3): 488-498.

[6] HALDER A, CHATTERJEE A. Low-cost alternate EVM test for wireless receiver systems[C]. 23rd IEEE VLSI Test Symposium (VTS/05), 2005: 255-260.

[7] NAHAR A, BUTLER K M, CARULLI J M, et al. Quality improvement and cost reduction using statistical outlier methods[C]. 2009 IEEE International Conference on Computer Design, 2009: 64-69.

[8] VALDES-GARCIA A, VENKATASUBRAMANIAN R, Srinivasan R, et al. A CMOS RF RMS detector for built-

- in testing of wireless transceivers [C]. 23rd IEEE VLSI Test Symposium (VTS'05), 2005: 249-254.
- [9] 蒋翠云, 梁华国, 陶珏辉, 等. 测试数据分块字典统计编码压缩法[C]. 第五届中国测试学术会议, 2008. JIANG C Y, LIANG H G, TAO J H, et al. Test data partition with fixed-length blocks and compression by grouped[C]. 5th China Academic Conference on Testing, 2008.
- [10] 欧阳一鸣, 邹宝升, 梁华国, 等. 基于部分游程翻转的SOC测试数据压缩[J]. 电子测量与仪器学报, 2010, 24(1): 23-28. OUYANG Y M, ZOU B SH, HANG H G, et al. Test data compression of system off a chip based on partial runs reversing [J]. Journal of Electronic Measurement and Instrument, 2010, 24(1): 23-28.
- [11] 邝继顺, 周颖波, 蔡烁, 等. 一种用于测试数据压缩的改进型EFDR编码方法[J]. 电子测量与仪器学报, 2015, 29(10): 1464-1471. KUANG J SH, ZHOU Y B, CAI SH, et al. Improved EFDR code method for test data compression[J]. Journal of Electronic Measurement and Instrumentation, 2015, 29(10): 1464-1471.
- [12] International Technology Roadmap for Semiconductors (ITRS), Test and Test Equipment, FOCUSA Table[Z]. 2009: 17-20.
- [13] MARINISSEN E J, SINGH A, GLOTTER D, et al. Adapting to adaptive testing [C]. Proceedings of the Conference on Design, Automation and Test in Europe. European Design and Automation Association, 2010: 556-561.
- [14] LIN G Y, TSAI K H, HUANG J L, et al. A test-application-count based learning technique for test time reduction [C]. VLSI Design, Automation and Test (VLSI-DAT), IEEE, 2015: 1-4.
- [15] GOTKHANDIKAR K R, DAASCH W R, BUTLER K M, et al. Die-level adaptive test: Real-time test reordering and elimination [C]. 2011 IEEE International Test Conference, 2011: 1-10.
- [16] HAPKE F, MAXWELL P. Total critical area based testing [C]. 2018 IEEE International Test Conference (ITC), 2018: 1-10.
- [17] 江丽君. 数字集成电路故障模型研究及故障注入平台设计[D]. 哈尔滨: 哈尔滨工业大学, 2014. JIANG L J. Research on fault model and design of fault injection tool based on digital integrate circuit [D]. Harbin: Harbin Institute of Technology, 2014.
- [18] 詹文法, 邵志伟. 一种集成电路测试流程分级动态调整方法[J]. 电子学报, 2020, 48(8): 1623-1630. ZHAN W F, SHAO ZH W. Hierarchical dynamic adjustment method for integrated circuit testing process [J]. Acta Electronica Sinica, 2020, 48(8): 1623-1630.

作者简介



詹文法, 2000年于安庆师范大学获得学士学位, 2004年于合肥工业大学获得硕士学位, 2009年于合肥工业大学获得博士学位, 现为安庆师范大学教授, 主要研究方向为自适应测试、测试数据压缩等。

E-mail: 513604578@qq.com

Zhan Wenfa received his B. Sc. degree from Anqing Normal College in 2000, M. Sc. degree from HeFei university of Technology in 2004, Ph. D. degree from HeFei university of Technology in 2009. Now he is a professor at Anqing Normal College. His main research interests include adaptive testing, test data compression and so on.



彭登辉, 2018年于安庆师范大学获得学士学位, 现为安庆师范大学硕士研究生, 主要研究方向为测试集优化。

E-mail: 13505561507@163.com

Peng Denghui received his B. Sc. degree from Anqing Normal College in 2018. Now he is a M. Sc. candidate at Anqing Normal College. His main research interest includes test set optimization.



邵志伟, 2017年于安庆师范大学获得学士学位, 2020年于安庆师范大学获得硕士学位, 现为合肥工业大学博士研究生, 主要研究方向为自适应测试。

E-mail: szv0421@qq.com

Shao Zhiwei received his B. Sc. degree from Anqing Normal College in 2017, M. Sc. degree from Anqing Normal College in 2020. Now he is a Ph. D. candidate at HeFei University of Technology. His main research interest includes adaptive testing.