

基于 LVDS 的 DC 平衡技术的高可靠性传输系统设计^{*}

邓惠祯¹ 吴柯锐² 张晓雪¹ 赵志雄¹

(1. 中北大学省部共建动态测试技术国家重点实验室 太原 030051;

2. 中国人民解放军 93160 部队 北京 100076)

摘要:随着数据传输对速度、距离和可靠性要求的提高,同时考虑到工作人员在测试环境中的安全问题,提出一个基于低压差分信号(LVDS)的 DC 平衡技术的设计方案。该方案采用 LVDS 串行器 SN65LV1023A 和解串器 SN65LV1224B 作为发送和接收芯片,由于 LVDS 在长距离传输方面存在限制,因此在硬件设计中采用驱动器 LMH0002TMA 和均衡器 LMH0024MA 来增加信号的驱动能力和补偿信号的衰减;在外围电路中加入隔离器 ADN4651 和 RCLamp3324P 芯片,分别起到提供信号隔离和保护和为高速数据接口提供 ESD 保护的作用。同时软件设计中,在核心控制器 FPGA 内部加入 8B/10B 编码技术,以保证数据传输中的 DC 平衡,即数据流中连续出现的“1”/“0”达到一个平衡均匀的状态,降低误码率且提高数据的可靠性。经大量实验测试验证,此设计可在 90 m 双绞线上以 300 Mbit/s 速率零误码传输。

关键词:LVDS;DC 平衡技术;高可靠性;8B/10B 编码技术

中图分类号: TN919 **文献标识码:** A **国家标准学科分类代码:** 510

High reliability transmission system design based on LVDS DC balancing technology

Deng Huizhen¹ Wu Kerui² Zhang Xiaoxue¹ Zhao Zhixiong¹

(1. State Key Laboratory of Dynamic Measurement Technology, North University of China,

Taiyuan 030051, China; 2. Unit 93160 of PLA, Beijing 100076, China)

Abstract: With the increase of data transmission speed, distance and reliability requirements, and considering the safety of workers in the test environment, a design scheme of DC balancing technology based on LVDS is proposed in this paper. In this scheme, LVDS serializer SN65LV1023A and SN65LV1224B are used as sending and receiving chips. Due to the limitations of LVDS in long-distance transmission, therefore, the driver LMH0002TMA and equalizer LMH0024MA are used in the hardware design to increase the driving capacity of the signal and compensate the signal attenuation. The isolator ADN4651 and RCLamp3324P chips are added to the peripheral circuit to provide signal isolation and protection and ESD protection for the high-speed data interface. At the same time, in the software design, 8B/10B coding technology is added to the core controller FPGA to ensure the DC balance in data transmission, that is the continuous "1"/"0" in the data stream reaches a balanced and even state, reduces the bit error rate and improves the reliability of the data. After a large number of experimental tests, this design can be transmitted on 90 m twisted pair at a rate of 300 Mbit/s with zero error.

Keywords: LVDS; DC balance technology; high reliability; 8B/10B coding technology

0 引言

随着科技的不断进步,航空航天和军工等领域对远距离高速数据传输的需求日益增加。然而由于对环境因素

掌握不全面,恶劣环境下将不利于数据测试^[1]。考虑到安全问题,选择通过远距离长线传输方式。传统的并行线传输方式虽然可以实现较高的传输速率,但需要占用大量引脚,并且容易受到信号衰减的影响,可靠性较低,因此更适

收稿日期:2024-06-21

^{*} 基金项目:山西省高校科技创新计划(2022L530)、山西省基础研究计划青年项目基金(202303021222097)资助

用于短距离数据传输。常用的串行 RS422 和 RS485,其数据传输速率较慢,无法满足长距离传输的传输速率的任务要求^[2]。在国际上,光纤传输技术以其高传输速率和长距离传输能力,在许多应用中得到了广泛使用。然而,其高成本和在某些严苛环境下的可靠性问题限制了其广泛应用。此外,高速串行总线技术如 PCIe 和高速以太网,也在一定程度上提升了数据传输性能,但其系统复杂性和功耗较大。

为了满足远距离高速数据传输的需求,需要寻找一种能够在保证传输速率和距离的同时,具有较低成本和复杂性的技术。低压差分信号(LVDS)传输技术因其高传输速率和长距离传输能力成为了一个研究热点。本文提出采用 LVDS 传输技术。LVDS 是一种可以满足高传输速率和远距离传输的低压差分信号^[3],其核心技术是采用极低的电压摆幅实现高速数据传输^[4],具有低功耗的优点,其理论传输速度可达到 1.923 Gbps,适用于信号完整性高的场合。然而,单纯依靠串化器与解串器进行远距离数据传输,信号在经过长线传输后必定有大幅的衰减,其有效传输距离仅有 10 m 左右^[5]。针对这一问题,本文在 LVDS 传输系统的设计中,提出在发送端引入驱动器以增强信号驱动力,并在接收端使用均衡器进行信号补偿和修复,结合 8B/10B 编码技术降低误码率。通过这些改进措施,本文显著提升了 LVDS 传输性能,增强了数据传输的可靠性和抗干扰能力。这一研究为远距离高速数据传输提供了一个高效、可靠的解决方案,具有重要的现实意义。

在现代通信系统中,上位机与下位机之间的指令传输通常采用 RS422 或 RS485 协议。然而,RS422 的最大传

输速率仅为 10 Mbps,这在通信速率不断提升的背景下逐渐显现出其性能瓶颈。同时,随着通信速率和电路复杂性的提升,SMDA03LC 过压保护芯片的保护能力也未能满足高频和高速数据传输的需求。本设计创新性地选择了 LVDS 技术和 RClamp3324P 过压保护芯片。LVDS 技术的传输速率远超 RS422,能够满足未来对更高通信速率的需求。RClamp3324P 芯片则在过压保护方面提供了显著改进,不仅提高了系统的传输速率和扩展性,还增强了保护性能。该设计在满足现有通信需求的同时,为未来更高速率的通信提供了坚实的基础,显著提升了系统的可靠性和抗干扰能力,为新一代高性能通信系统的开发提供了重要的参考。

1 总体设计方案

系统由测试电脑、地面测试设备、某机载设备 3 个部分组成,总体设计方案如图 1 所示。测试电脑中上位机负责发送回读指令并将回读数据进行分析;地面测试设备负责接收测试电脑上位机下发的指令并且回读采集到的数据;某机载设备负责数字数据输入、模拟量采集、XX 总线数据接收以及存储回读数据。

在系统构架中,测试电脑上位机通过千兆网接口向 FPGA 发送指令,将相应的指令通过 LVDS 发送出去,某机载设备收到指令后,FPGA 控制数据经过 LVDS 串化器并且使用 8B/10B 编码技术通过双绞线传输 LVDS 信号,LVDS 信号由硬件电路中的驱动器和均衡器进行调节,再由 LVDS 解串器完成解码,解码后的数据通过千兆网接口传给测试电脑,测试电脑上位机接收到数据后进行分析处理。

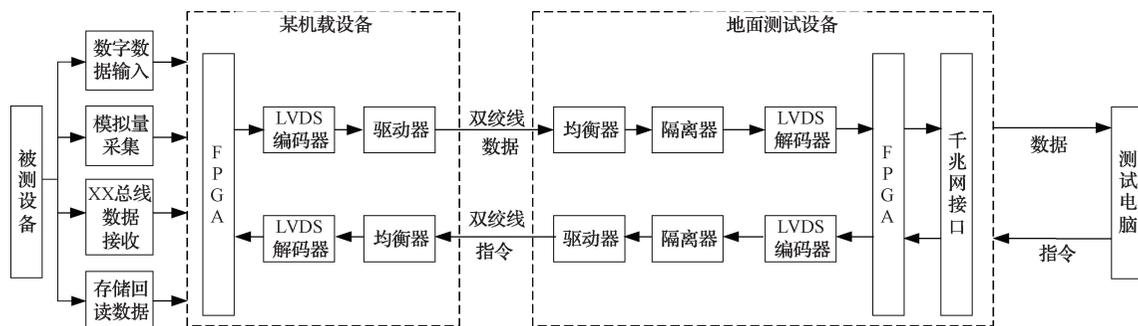


图 1 总体设计方案

Fig. 1 Overall design scheme

2 硬件电路设计

2.1 LVDS 发送端

发送端由 LVDS 串化器 SN65LV1023A,隔离器 ADN4651,驱动器 LMH0002TMA 以及静电保护芯片 RCLamp3324P 组成,硬件电路如图 2 所示。

SN65LV1023A 芯片能将 10 位的并行数据转化为串行数据,并通过差分线路进行发送^[6],其内部的寄存器在

发送时为 10 位数据附加起始位“1”和停止位“0”作为内嵌时钟^[7],以便更有效地同步数据传输。

LMH0002TMA 支持最高 1.485 Gbps 的数据速率,采用了预加重技术。通过调节外部电阻,例如图 2 中的 R83 电阻,可以灵活调节芯片的驱动能力。这样做可以提升 SN65LV1023A 输出的差分电压,从而增加传输速率和传输距离。ADN4651 是一款双通道 LVDS 隔离器,具有 5 kVrms 的隔离能力和高达 600 Mbps 的数据速率。它能

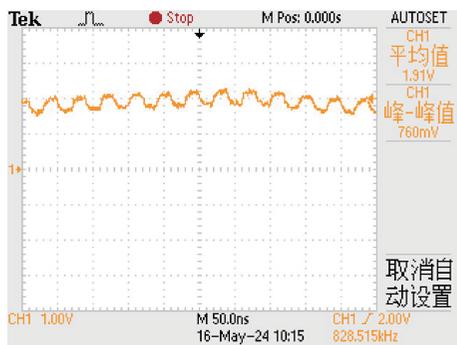


图4 经长电缆后传输波形

Fig. 4 Transmission waveform after long cable

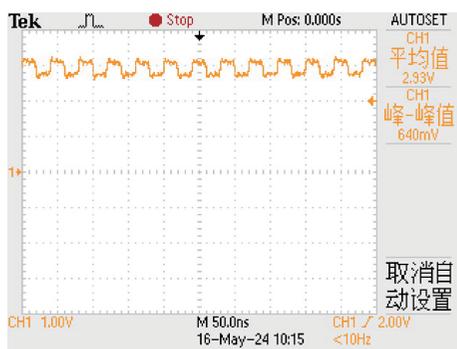


图5 经均衡器恢复后的波形

Fig. 5 Waveform after equalizer recovery

3 kΩ, 共同组成电阻网络, 使差分线上的共模电压为 1.1 V^[10], 起到稳定电位和有效抑制反射波的作用。

3 软件逻辑设计

3.1 8B/10B 编码技术

在长距离数据传输中, 普遍会选择高速串行数据传输, 并采用 AC 耦合的方式。这种方法通过阻直电容耦合, 去除直流分量, 只传输交流分量。在线路数据传输时, 在牺牲少量带宽的情况下, 加入了 8B/10B 编码^[11], 能够保证 DC 平衡, 即数据流中连续出现的“1”/“0”达到一个平衡均匀的状态。当数据流保持 DC 平衡时, 即“1”和“0”交替出现; 但是当数据流出现 DC 不平衡时, 即出现多个连续的“1”或者“0”^[12]。

3.2 8B/10B 编码原理

原始 8 bit 数据从高到低用 HGFEDCBA 表示, 8B/10B 编码将 8 bit 数据分成高 3 bit HGF 按十进制数值记为 y 和低 5 bit EDCBA 按十进制数值记为 x 两个子组。编码时, 5B/6B 编码在前, 3B/4B 编码在后^[13]。5B/6B 编码将 EDCBA 映射成 abcdei, HGF 经过 3B/4B 编码映射成 fghi, 最后合成 abcdefghi 发送, 如图 6 所示。

8B/10B 编码中的参数: 1) Disparity 不均等性, 表示“1”的位数和“0”的位数的差值。将 8 bit 编码成 10 bit 后,

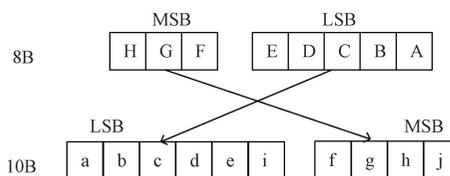


图6 8B/10B 编码原理

Fig. 6 Schematic diagram of 8B/10B coding

10B 中的“1”和“0”的位数只能出现 3 种情况, 分别为 5 个“1”和 5 个“0”; 6 个“1”和 4 个“0”; 4 个“1”和 6 个“0”。所以 Disparity 的值只能为 0, -2, +2^[14]。2) RD 极性偏差表示不平衡度, 在不平衡时用 2 个 10 bit 字符表示一个 8 bit 字符, 当“1”的个数比“0”的个数多 2 个时用 RD- 表示, 当“0”的个数比“1”的个数多 2 个时用 RD+ 表示, 当“1”的个数比“0”的个数相等时用 RD+ 或 RD- 表示^[15], 如表 1 所示。

表 1 不均等性的执行的规则

Table 1 Rules for enforcement of inequality

Previous RD	Disparity of 6 or 4 bit code	Next RD
-1	0	-1
-1	±2	+1
+1	0	+1
+1	±2	-1

在编码时, RD 的初始值为负, 即 RD-, 根据初始值 RD- 先进行 5B/6B 编码, 然后根据 5B/6B 编码生成的 RD 极性再进行 3B/4B 的编码, 整个字节所生成的 RD 值是由 3B/4B 编码形成的^[16], 最后的 RD 作为下一个 10B 编码的初始 RD。

Next RD 值依赖于 Previous RD 以及当前 6B 码或者 4B 码的 Disparity (即 Disparity of 6 or 4 bit code)。当编码为完美平衡编码时, 如表 1 所示不均等性 (Disparity of 6 or 4 bit code) 为 0, RD 的极性 (Next RD) 不反转; 当编码“1”和“0”的数量不等时, 如表 1 所示不均等性为 ±2, 则 RD 的极性 (Next RD) 反转^[17]。

3.3 8B/10B 解码原理

8B/10B 的解码是编码的逆过程, 首先将收到的 10 bit 数据分解为 6 bit 和 4 bit, 然后再采用 6B/5B 和 4B/3B 解码来还原原始数据^[18]。在解码过程中, 计算极性偏差 (RD) 值, 该值用于判断数据是有效数据、控制字或者误码; 再通过外部时钟控制来恢复时钟信号, 将解码的 5B 与 3B 数据进行结合, 输出 8B 数据。

4 性能测试及结果验证

为了验证该设计在引入 8B/10B 编码技术后是否能在 90 m 电缆上实现零误码传输, 首先需要对 8B/10B 编码技术进行仿真, 以确认编码过程是否符合预期并有效降

低误码率。接着,将编码技术集成到实际电路中,并进行速率测试,评估其在 90 m 电缆上的实际传输性能,以确保在该距离下能够实现零误码传输。

首先利用 ISE 软件对 8B/10B 编解码过程的程序代码进行了仿真,结果如图 7 所示。截取一部分仿真数据, data_in 为进入 LVDS 发送端之前的初始的自加数, bm_data 为经过 8B/10B 编码后的数据, jm_data 为经过解

码后的数据,从图 7 看出,输入端的数据 6~8 和输出端的数据 6~8 一样,验证了其正确性,系统性能达到预期目的。

然后加入硬件电路,利用上位机反复读取大量数据,截图部分数据,如图 8 所示。其中 00~F9 为自加数, 00000050~0000005F 为帧计数, EB90 为帧尾。帧结构完整,没有出现丢数等情况出现,验证了系统设计的可靠性。

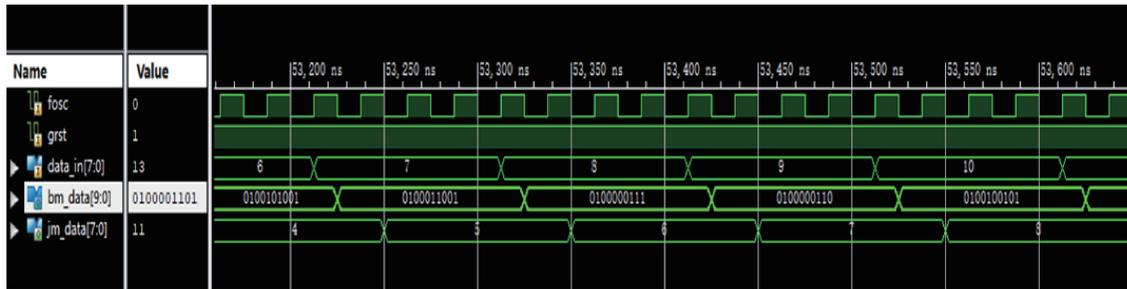


图 7 8B/10B 仿真

Fig. 7 8B/10B simulation diagram

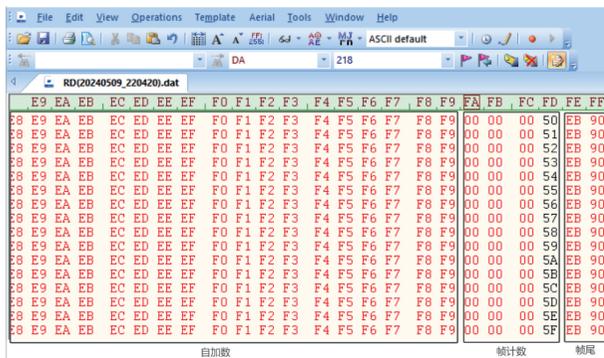


图 8 数据帧格式

Fig. 8 Data frame format

经过大量实验进行测试,表 2 为使用 FPGA 控制 LVDS 传输速率,在 90 m 双绞线上传输数据并在上位机上进行分析的测试结果。

表 2 测试结果

Table 2 Test results

双绞线长度/m	传输速度/(Mbit/s)	编码解码前误码率/%	编码解码后误码率/%
90	60	0	0
90	120	0	0
90	180	0	0
90	240	0.000 26	0
90	300	0.001 13	0

通过测试结果可以看出,当 LVDS 传输速率低于 180 Mbit/s 时,误码率为 0。然而,当传输速率高于 180 Mbit/s 时,误码率开始增高。为了提高系统的可靠

性,本文设计引入了 8B/10B 编码技术,对数据进行编码后再传输,可以看出通过编码技术后,可以有效的降低误码率。

5 结论

为了满足设计需求,本系统采用了一种基于 LVDS 的 DC 平衡技术的传输设计。在硬件设计中,引入了 LVDS 串行器、解串器以及驱动器和均衡器,以增强信号的驱动能力并补偿信号的衰减,从而弥补了 LVDS 在长距离传输中的限制。此外,隔离器和静电保护芯片的使用对信号进行隔离和电路保护,提高了系统的稳定性和可靠性。软件设计中加入 8B/10B 编码技术,有效降低误码率。经过大量实验测试,此设计可在 90 m 电缆以 300 Mbit/s 速率零误码。

参考文献

- [1] 杜若楠,任勇峰,王淑琴. 基于 CRC+8B/10B 的高速远距离传输设计[J]. 电子测量技术, 2021, 44(12): 75-80.
- [2] DU R N, REN Y F, WANG SH Q. High speed and long distance transmission design based on CRC+8B/10B [J]. Electronic Measurement Technology, 2021, 44(12): 75-80.
- [2] 尚辰阳,任勇峰. 基于 LVDS 远距离高可靠性传输系统设计[J]. 仪表技术与传感器, 2022(12): 67-72.
- SHANG CH Y, REN Y F. Design of remote high-reliability transmission system based on LVDS [J]. Instrument Technology and Sensor, 2022(12): 67-72.

- [3] 乔锐,翟成瑞,张彦军.一种LVDS高速数据传输电路[J].电子器件,2021,44(2):312-315.
QIAO R, ZHAI CH R, ZHANG Y J. A kind of LVDS high-speed data transmission circuit [J]. Electronic Devices,2021,44(2):312-315.
- [4] 吕顺乐.一种高速LVDS芯片的设计与实现[D].湘潭:湘潭大学,2021.
GUO SH L. Design and implementation of a high-speed LVDS chip [D]. Xiangtan: Xiangtan University,2021.
- [5] 张波,李杰,张海鹏,等.基于FPGA的LVDS传输链路的可靠性设计[J].电子器件,2018,41(5):1237-1241.
ZHANG B, LI J, ZHANG H P, et al. Reliability design of LVDS transmission link based on FPGA [J]. Electronic Devices, 2018, 41(5): 1237-1241.
- [6] 任敏.基于FPGA的双通道机载数据存储系统设计[D].太原:中北大学,2015.
REN M. Design of dual-channel airborne data storage system based on FPGA [D]. Taiyuan: North University of China,2015.
- [7] 李建翔.某综合等效器的LVDS远距离传输及模拟量采集的设计分析[D].太原:中北大学,2021.
LI J X. Design and analysis of LVDS long-distance transmission and analog acquisition of a comprehensive equivalent device [D]. Taiyuan:North University of China,2021.
- [8] 李建翔,王洪凯,杨玉华,等.基于RS422+LVDS高速长线通信的设计与实现[J].仪表技术与传感器,2021(3):40-44,96.
LI J X, WANG H K, YANG Y H, et al. Design and implementation of high-speed long line communication based on RS422+LVDS [J]. Instrument Technique and Sensor,2021(3):40-44,96.
- [9] 雷武伟,文丰,刘东海,等.基于LVDS的高可靠性远距离数据传输设计[J].电子技术应用,2019,45(6):130-134.
LEI W W, WEN F, LIU D H, et al. High reliability remote data transmission design based on LVDS [J]. Application of Electronic Technology, 2019, 45(6): 130-134.
- [10] 辛艳.基于千兆以太网传输的多通道采集设备的设计[D].太原:中北大学,2023.
XIN Y. Design of multi-channel acquisition equipment based on gigabit ethernet transmission [D]. Taiyuan: North University of China,2023.
- [11] 张晓雷.基于8B/10B+CRC的高速数据长距离可靠传输设计[D].太原:中北大学,2020.
ZHANG X L. Design of high-speed data reliable transmission over long distance based on 8B/10B+CRC [D]. Taiyuan:North University of China,2020.
- [12] SONG S Q, YIN H G, ZHAO J Z, et al. An 8B/10B parallel encoder design for the polarity pre-processing[J]. Journal of Physics: Conference Series, 2023, 2450(1): 012055.
- [13] 宋玮琼,韩柳,姜慧竹,等.基于GCN的配电网知识图谱构建及应用[J].电子设计工程,2022,30(7):160-164.
SONG W Q, HAN L, JIANG H ZH, et al. Construction and application of knowledge graph of distribution network based on GCN [J]. Electronic Design Engineering,2022,30(7):160-164.
- [14] 郭虎锋,陈香香,李楠.基于LVDS总线和8b/10b编码技术的高速远距离传输设计[J].自动化与仪表,2015,30(5):32-36.
GUO H F, CHEN X X, LI N. High-speed long-distance transmission design based on LVDS bus and 8b/10b coding technology [J]. Automation and Instrumentation,2015,30(5):32-36.
- [15] POPA S, IVANOVICI M, COLIBAN M R. Optimal implementations of 8b/10b encoders and decoders for AMD FPGAs[J]. Electronics,2024,13(6):1062.
- [16] 刘泳锐,张彦军,刘龙飞,等.8B/10B编码实现LVDS交流耦合传输中的直流平衡[J].科学技术与工程,2012,12(35):9693-9696.
LIU Y R, ZHANG Y J, LIU L F, et al. Dc balance in AC coupled transmission of LVDS using 8B/10B coding [J]. Science Technology and Engineering, 2012,12(35):9693-9696.
- [17] NANNIPIERI P, DAVALLE D, FANUCCI L. A novel parallel 8B/10B encoder: Architecture and comparison with classical solution [J]. IEICE Transactions on Fundamentals of Electronics,

Communications and Computer Sciences, 2018, E101.
A(7):1120-1122.

- [18] 任勇峰,杨舒天,刘东海. 基于 8B/10B 编码的高速长
距离可靠传输设计[J]. 现代电子技术, 2022, 45(20):
26-30.

REN Y F, YANG SH T, LIU D H. Design of high
speed and long distance reliable transmission based on
8B/10B coding [J]. Modern Electronics Technique,
2022, 45(20):26-30.

作者简介

邓惠祯, 硕士研究生, 主要研究方向为新一代电子信息
技术。

E-mail: 1729680245@qq.com

吴柯锐(通信作者), 工程师, 主要研究方向为机电一
体化。

E-mail: wkr163@163.com