

DOI:10.19651/j.cnki.emt.2211337

一种适用于高速传输系统的高增益模拟均衡器^{*}

王 鹏^{1,2} 周丹阳¹ 刘金枝^{1,2}

(1. 中国民航大学安全科学与工程学院 天津 300300; 2. 中国民航大学民航航空器适航审定技术重点实验室 天津 300300)

摘要: 针对传统模拟均衡器带宽和增益无法同时满足的问题,采用电感峰化技术和负阻抗转换器来进行高频操作,通过使用有源电感器实现电感峰化技术进而拓展带宽,同时采用由交叉耦合晶体管构成的负阻抗转换器将电容转换成负电容抵消输出端电容,在保持直流增益的同时提高了峰值增益。基于 SMIC 130 nm 的工艺库对电路进行设计,仿真结果表明,均衡器工作在 1.8 V 电源电压下,可以对 6.375 Gbps 速率下高速传输系统中严重损耗信道进行良好的补偿,眼图的水平张开度达 0.85 UI。

关键词: 模拟均衡器;有源电感器;负阻抗转换;峰值增益;眼图

中图分类号: TN715 **文献标识码:** A **国家标准学科分类代码:** 510.10

A high-gain analog equalizer suitable for high-speed transmission systems

Wang Peng^{1,2} Zhou Danyang¹ Liu Jinzhi^{1,2}

(1. School of Safety Science and Engineering, Civil Aviation University of China, Tianjin 300300, China;

2. Key Laboratory of Aircraft Airworthiness Certification Technology, Civil Aviation University of China, Tianjin 300300, China)

Abstract: To address the problem that the bandwidth and gain of conventional analog equalizers cannot be satisfied simultaneously, inductive cresting technique and negative impedance converter are used for high frequency operation. The bandwidth is extended by using active inductors to achieve inductive cresting techniques, while a negative impedance converter consisting of cross-coupled transistors converts capacitance into negative capacitance to offset the output capacitance, increasing peak gain while maintaining DC gain. The circuit is designed based on the SMIC 130 nm process library. The simulation results show that the equalizer works under the power supply voltage of 1.8 V, which can well compensate the severely lost channel in the high-speed transmission system at the rate of 6.375 Gbps. The horizontal opening of the eye diagram reaches 0.85 UI.

Keywords: analog equalizer; active inductor; negative impedance conversion; peak gain; eye diagram

0 引 言

近年来,对更高的速度和功率效率的持续需求推动了当前对高速接口的发展,并行总线技术逐渐被串行接口技术替代,甚至向更高的性能和速度水平发展。SerDes (Serializer/Deserializer) 电路被广泛应用于高速传输系统中,来提高传输性能,如 USB、SATA、超传输、PCI Express 等^[1]。然而,互连信道中与频率相关的损耗由趋肤效应和介电损耗导致,并且随着传输速率的增加而增加,直接限制了信道带宽,并引起符号间干扰(inter symbol interference, ISI)^[2]。ISI 可能会降低抖动性能、信噪比(signal-noise ratio, SNR),并最终降低误码率(bit error rate, BER)。

为了使信号经过有损信道后依旧可以获得更好的接收

数据,即保证接收端信号波形和时序的完整性^[3],需要在 SerDes 收发器中采用各种均衡技术,通常会在接收端使用连续时间线性均衡(continuous time linear equalizer, CTLE)和决策反馈均衡(decision feedback equalizer, DFE)。DFE 通过取量化的先前输入值并利用决策以适当的权重来消除 ISI^[4]。主要适用于具有少数占优势的后光标符号间干扰(inter symbol interference, ISI)的通道,并且抽头的个数受到反馈回路沉降时间的限制。有线互连信道的特性通常表现为低通滤波器(low pass filter, LPF)^[5],而 CTLE 均衡器在频域范围呈现出高通滤波器的特性^[6],因此通过增加信道的逆频率响应,补偿了信道的带宽限制和信号衰减,从而消除了 ISI 的影响。主要优点是可以有效地抑制前光标和后光标,并潜在地抑制后续阶段的高频噪

收稿日期:2022-09-09

* 基金项目:国家重点研发计划(2021YFB1600600)项目资助

声^[7]。因此,在串行通信系统中,当速率不超过 10 Gbps,同时错误要求和功耗较严格时,CTLE 更可取。

CTLE 已经从一个简单的高通滤波器发展到在传递函数中具有多个零极对的更复杂的拓扑,以具有更精确的信道损耗补偿^[8]。文献[9]和[10]均用无源电感来扩展带宽,前者虽然提供了高增益,但其牺牲了低频增益,而后者提供的高频增益很低,并且无源电感占面积大、功耗大,不利于集成;文献[11]通过采用多级并联反馈网络增加了一个零点,提高高频增益,但是其结构复杂,实现困难;文献[12]利用 Cherry-Hooper 结构,控制输出端反馈电阻的阻值,进而改变与反馈路径的时间常数直接相关的增压频率,但反馈路径作为一个带通滤波器,需要得到很好的优化,否则会恶化增益和带宽;文献[13]使用两个平行的平坦和峰值路径以及源极退化结构实现可编程的全差分 CTLE,可以实现较高的可编程峰值增益,然而电路结构比较复杂;文献[14]提出了一种补偿 ISI、反射噪声和串扰的 CTLE 结构,可以显著的提高电压裕度,但可以提供的高频增益明显不足;文献[15]通过使用负电容减小输入端的电容负载,文献[16]将 CTLE 与分流和双串联(分流-双串联)技术相结合,都有效地提高了带宽,但两者均适用于短距离、低损耗信道。

因此,本文结合有源电感和负阻抗转换器设计实现的均衡器,适用于严重损耗的长传输信道。利用有源电感增加一个零点来扩展带宽,利用负阻抗转换器和电容产生负电容抵消输出节点的电容提供高频增益。仿真结果表明,该均衡器电路,在 6.375 Gbps 速率下,可以更好地为有损信道提供补偿,使其输出端的眼图能够明显地张开。

1 均衡器的设计

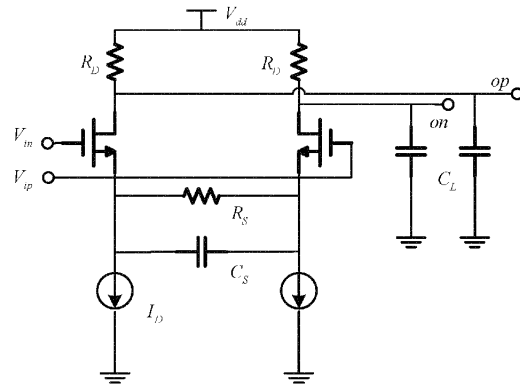
1.1 传统 CTLE 均衡器电路与分析

传统带源极负反馈的均衡器电路结构如图 1(a)所示,负反馈部分使用的是由 RC 构成的源极退化网络。其传递函数为:

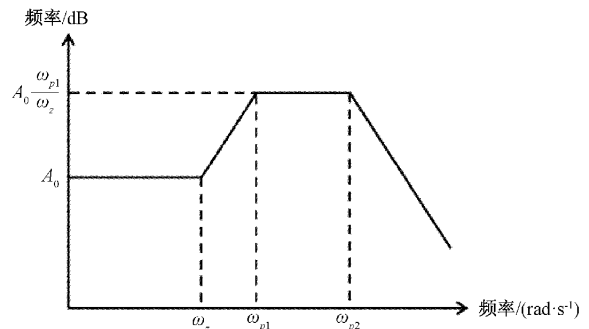
$$H(s) = -\frac{R_L \parallel \frac{1}{sC_s}}{\frac{1}{g_m} + \frac{1}{R_s \parallel \frac{1}{2sC_s}}} = -g_m R_L \frac{s + \frac{1}{R_s C_s}}{1 + \frac{g_m R_s}{2} (s + \frac{1}{R_s C_s})} \quad (1)$$

式中: g_m 为输入 nMOS 晶体管的跨导。 R_L 是负载电阻, C_L 是输出节点的电容, R_s 和 C_s 是源极退化网络的电阻和电容^[17]。本文可以很容易地得到传统 CTLE 的频域特性曲线,如图 1(b)所示。并进行简单的分析,其包含了一个

零点 and 两个极点, $\omega_z = \frac{1}{R_s C_s}$, $\omega_{p1} = \frac{1 + \frac{g_m R_s}{2}}{R_s C_s}$ (主), $\omega_{p2} =$



(a) 电路原理图



(b) 频域特性曲线

图 1 传统连续时间线性均衡器

$\frac{1}{R_L C_L}$, 并且 $\omega_z < \omega_{p1}$, 零点 ω_z 可以在每 10 倍频程上提供 +20 dB 的提升,而极点 ω_{p1} 则在每 10 倍频程提供 -20 dB 的衰减。从频域特性曲线可以看出,CTLE 均衡器呈现出高通特性;其低频增益为 $A_0 = \frac{g_m R_D}{1 + \frac{g_m R_s}{2}}$, 峰值增益为

$A_1 = A_0 \frac{\omega_{p1}}{\omega_z}$, 并且,CTLE 设计时的另外一个重要参数是

升压因子 $K = \frac{\omega_{p1}}{\omega_z} = 1 + \frac{g_m R_s}{2}$ 。CTLE 可以根据目标通道的损耗曲线来确定零、极点的位置,而最大补偿能力取决于主极点和零点之间的增益差。本文可以手动调节 R_s 、 C_s 的值控制零极点的位置,得到不同的频率响应曲线,以对不同信道的衰减进行补偿,然而输出节点产生的第 2 个极点限制了电路的带宽,同时单极均衡器的高频增益很低。

针对传统的 CTLE 只有一个零点,造成高频补偿能力不足的情况,本文设计实现了一个新的均衡器,通过增加零点的方式,使零极点对消从而扩展带宽,并且在输出部分使用负阻抗转换器和电容构成负电容电路来提高峰值增益。

1.2 改进的均衡器电路

为提高均衡器的带宽,在负载部分使用电感峰化技术来增加零点,片上无源电感器虽然 Q 因子和选择性较高,但占据了较大的芯片面积,调谐范围较小,集成度不高,因此本文使用基于 Gyrator-C 拓扑结构,单端接地的共源-共

漏级有源电感器,既节省芯片面积,也扩展带宽,对相位噪声的损失也较小,其电路原理如图 2 所示,很容易可以得到

$$\text{其 RLC 等效电路,并简单分析,输出阻抗 } Z_{in} = \frac{sRC_{gs} + 1}{sC_{gs} + g_m},$$

$$\text{其含有一个零点为 } \omega_z = \frac{1}{RC_{gs}}, \text{ 极点为 } \omega_p = \frac{g_m}{C_{gs}}.$$

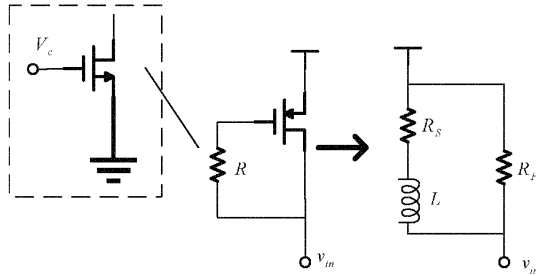


图 2 单端接地的有源电感器

同样地,可以得到有源电感的等效输入导纳 Y_{in} , 从而得到 RL 等效电路的中各个等效元件的参数 $R_p = R, L =$

$$\frac{RC_{gs}}{g_m - \frac{1}{R}}, R_s = \frac{1}{g_m - \frac{1}{R}}.$$

通过合理的调节零极点位置,即让新增加的零点与传统均衡器中的极点实现对消,可以扩展均衡器的带宽。然而,无法解决由 RC 退化引起的低频衰减,且对峰值增益提升不明显。因此,在输出端增加了负阻抗转换器,在保持直流增益的同时,提高均衡器的补偿能力。整体电路如图 3 所示。

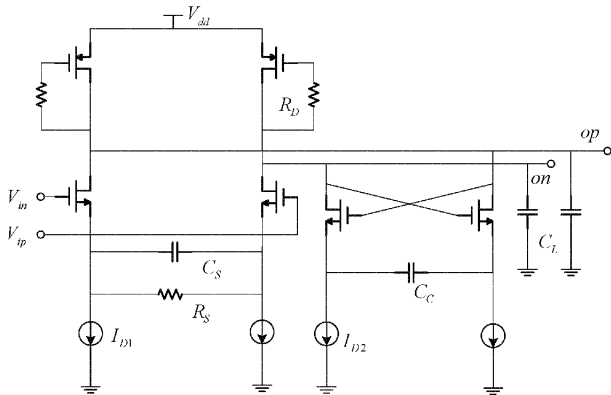


图 3 基于有源电感器的 CTLE 原理图

由交叉耦合 nMOS 对管构成的负阻抗转换器和电容组成的负电容电路,如果忽略两个交叉耦合晶体管的栅极-

$$\text{漏极电容,则漏极的阻抗表示为 } Z_{NIC} = -\frac{1}{sC_C}$$

$$\frac{g_m + s(C_{gs} + 2C_C)}{g_m - sC_{gs}}, \text{ 对于远低于晶体管截止频率的频率,}$$

该电路相当于负电容 $-C_C$ 和负电阻 $-(C_{gs}/C_C + 2)/g_m$ 的串联。其中,电容抵消一部分输出端的电容 C_L 可以让均衡

器在输出阻抗处达到高频峰值,阻抗在直流时变为无穷大,因此完全不牺牲直流增益。此外,由于 $I_{D2} = 0.3I_{D1}$, 故该电路的功耗非常低。因此,所提出的均衡滤波器,既不消耗电压裕度,又非常有效地补偿了严重损耗的信道。

该电路结构所提出的 CTLE 利用 130 nm CMOS 工艺库完成电路的设计与仿真,其中, R_s 使用在线性区域内工作的 nMOS 晶体管,即可变源退化电阻,通过控制栅极电压改变电阻值,以获得不同的最大补偿值,仿真得到传统与本文改进的线性均衡器频率响应如图 4 所示,改进后均衡器的增益和带宽有了明显的提高,可以看到均衡器最大补偿能力约为 20 dB。

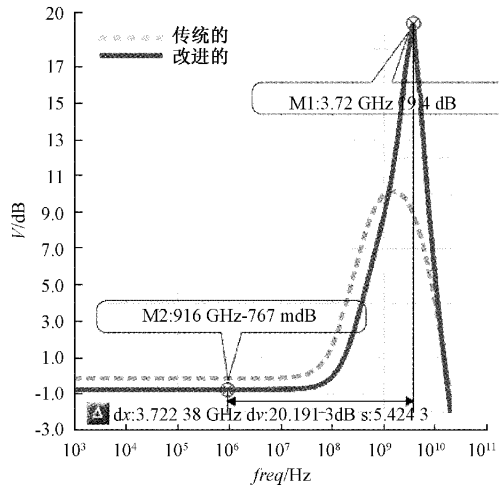


图 4 改进前后均衡器频率响应曲线图

2 仿真结果

为了验证均衡器的性能,对 80 cm 长的 FR-4 传输信道进行建模,可以得到其插入损耗 S21 如图 5 所示, X 轴表示频率(单位为 GHz), Y 轴表示插入损耗的幅度(单位为 dB)。

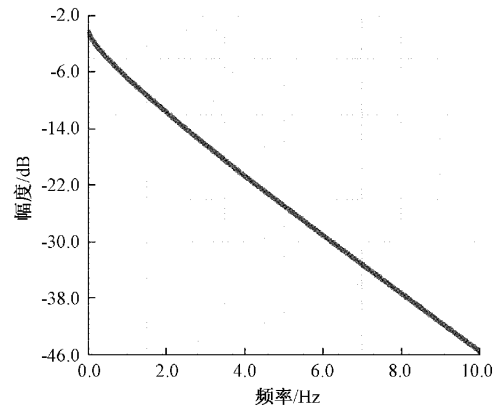


图 5 信道的插入损耗

基于航空电子视频传输系统中所采用的 ARINC818 协议标准,在传输信道的发送端施加差分信号源,输入伪随

机二进制序列码,比特率分别配置为 4.45 和 6.375 Gbps,差分摆幅设置为 500 mV,上升时间和下降时间均设置为 20 ps,图 6(a)和图 7(a)均为均衡前后信号的波形对比图,可以看出经过均衡器后,即使是一些衰减严重的已经产生误码的信号也被正确的还原出来。再利用眼图查看工具,可以得到图 6(b)和图 7(b)为不加均衡器和加均衡器时信号经过有损信道到达接收端的眼图结果。

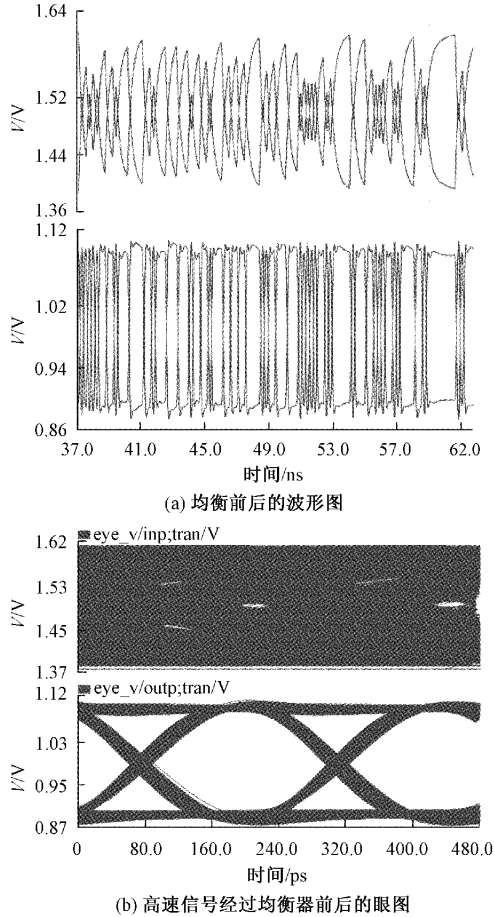


图 6 传输速率为 4.25 Gbps 时测试结果

由仿真结果显示,图 6(b)中在伪随机码二进制序列经

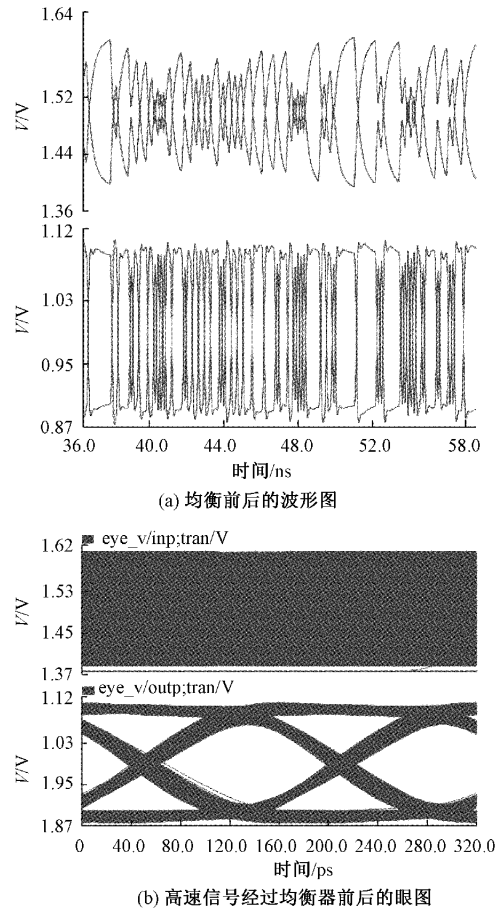


图 7 传输速率为 6.375 Gbps 时测试结果

过模拟信道后眼图基本闭合,而经过均衡器均衡后眼图的垂直张开度约为 188 mV,水平张开度为 0.88 UI(1 UI=1/(4.25 Gb/s)=235 ps);图 7(b)中信号经过模拟信道后眼图完全闭合,在经过均衡器均衡后眼图的垂直张开度约为 170 mV,水平张开度为 0.85 UI(1 UI=1/(6.375 Gb/s)=157 ps)。可以看出,在 ARINC818 协议标准的两种不同数据传输速率下,信号传输质量都得到了明显的提升。表 1 显示了与其他结构均衡器的数据对比。

表 1 与近几年设计的均衡器参数比较

参数	本文	文献[11]	文献[16]	文献[18]	文献[19]
工艺/nm	130	40	180	180	90
结构	CTLE	CTLE	CTLE	CTLE	CTLE
速率/Gbps	6.25	6.25	10.00	3.30	2.00
电源/V	1.8	1.1	1.8	1.8	1.0
抖动/ps	25.0	5.8	17.0	30.5	17.0
最大补偿能力/dB	20.0	13.8	8.3	18.8	12.0

对比结果,从表 1 中可以看出,相比文献[11]的电路,抖动时间多长,但是其采用多级并联反馈网络,其电路结构复杂;文献[16]采用分流-双系列网络有效地了拓宽带

宽,抖动值也很小,但峰值增益只有本文的一半;文献[18]与本文能够提供的最大补偿能力相近,但本文的速率更高;文献[19]利用传统分裂路径拓扑结构解决了带宽和增

益之间的矛盾,并且可以低压下工作,但是其速率和最大补偿能力都不如本文。

3 结 论

本文设计实现了一种用于高速 SerDes 接口的高增益 CTLE 电路,具有高增益、易于实现、易于集成、低功耗等特点。CTLE 负载部分使用有源电感器有效地扩展了带宽,输出端使用负阻抗变换器组成负电容电路,提供大的高频增益,同时产生小的硅使用面积和低功耗。从仿真结果看,在 80 cm 长的 FR-4 板材信道上成功地传输了 6.375 Gbps 的信号,眼图张开度达到了 0.85 UI。但是,本设计中眼图的抖动值过高,信噪比也较低可以做进一步的改进。

参考文献

- [1] 史航. 高速 SerDes 信号和均衡技术研究[D]. 杭州:浙江大学,2015.
- [2] ZHANG B, KHANOYAN K, HATAMKHNAI H, et al. A 28 Gb/s multistandard serial link transceiver for backplane applications in 28 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2015, 50(12): 3089-3100.
- [3] 王香芬,欧阳骁哲,张鸿军,等. 基于信号传输完整性的通用测试接口板设计[J]. 国外电子测量技术,2022, 41(5):149-154.
- [4] YING Y M, LIU S I. A 20 Gb/s digitally adaptive equalizer/DFE with blind sampling[C]. 2011 IEEE International Solid-State Circuits Conference, 2011, DOI: 10.1109/ISSCC.2011.5746390.
- [5] TOIFL T, MENOLFI C, RUEGG M, et al. A 2.6 mW/Gbps 12.5 Gbps RX with 8-tap switched-capacitor DFE in 32 nm CMOS[J]. IEEE Journal Solid-State Circuits, 2012, 47(4):897-910.
- [6] 兰雨娇,侯伶俐,岳宏卫,等. 一种高速串行信号线性均衡电路[J]. 微电子学,2020,50(4):514-520.
- [7] 吴浩,张银行. 一种基于频谱平衡的双环自适应 CTLE[J]. 微电子学,2021,51(6):878-882.
- [8] BULZACCHELLI J F. Equalization for electrical links: Current design techniques and future directions[J]. IEEE Solid-State Circuits Magazine, 2015, 7(4):23-31.
- [9] 张明科,胡庆生. 一个用于背板通信的 24 Gb/s 高速自适应组合均衡器[J]. 电子学报,2017, 45(7): 1608-1612.
- [10] ZHU G, LUO D, ZHUANG J, et al. A fully adaptive continuous-time linear equalizer for PAM4 signaling based on a statistical algorithm[C]. 2017 International Conference on Electron Devices and Solid-State Circuits (EDSSC), 2017, DOI: 10.1109/EDSSC.2017.8126570.
- [11] 苏鹏洲,黄鲁,方毅,等. 一种新型 6.25 Gb/s CTLE 均衡器的设计[J]. 微电子学,2016,46(2):215-218.
- [12] LEE S, KIM J, JEONG D K. Feedforward cherry-hooper continuous time linear equalizer in 28 nm CMOS [C]. 2022 37th International Technical Conference on Circuits/Systems, Computers and Communications(ITC-CSCC), 2022, DOI: 10.1109/ITC-CSCC55581.2022.9895009.
- [13] DELSHADPOUR S, ZHANG X. A 20.6 Gb/s programmable peaking gain CTLE[J]. 2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS), 2020, DOI: 10.1109/MWSCAS48704.2020.9184549.
- [14] HONG S, BAE C H, SUNG Y C, et al. A reflection and crosstalk canceling continuous-time linear equalizer for high-speed DDR SDRAM[C]. 2021 Symposium on VLSI Circuits, 2021, DOI: 10.23919/VLSICircuits52068.2021.9492390.
- [15] CHOI Y, KIM Y B. A 10 Gb/s receiver with a continuous-time linear equalizer and 1-tap decision-feedback equalizer[J]. 2015 IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS), 2015, DOI: 10.1109/MWSCAS.2015.7282072.
- [16] WU L H. A 10 Gb/s analog equalizer in 0.18 μm CMOS[C]. 2013 IEEE 10th International Conference on ASIC, 2013, DOI: 10.1109/ASICON.2013.6811888.
- [17] PREIBISCH J B, REUSCHEL T, SCHARFF K, et al. Impact of continuous time linear equalizer variability on eye opening of high-speed links[C]. 2016 IEEE 20th Workshop on Signal and Power Integrity (SPI), 2016, DOI: 10.1109/SaPIW.2016.7496287.
- [18] 袁小方,段吉海,张秀峰,等. 一种适用于严重衰减串行链路的 3.3 Gbit/s 模拟均衡器[J]. 电子器件,2020, 43(2):349-353.
- [19] GIMENO C, GUERRERO E, SÁNCHEZ-AZQUETA C, et al. 1 V continuous-time linear equalizer for up to 2 Gb/s over 50 m SI-POF[J]. 2015 IEEE International Symposium on Circuits and Systems (ISCAS), 2015, DOI: 10.1109/ISCAS.2015.7169009.

作者简介

王鹏,博士生导师,主要研究方向为飞机系统安全性设计与评估、机载电子设备及软硬件设计与验证技术以及机载设备加改装设计。

E-mail: pwang_cauc@163.com

周丹阳,硕士研究生,主要研究方向为机载电子设备硬件设计。

E-mail: geekzdy@163.com

刘金枝(通信作者),讲师,主要研究方向为航电设备适航。

E-mail: ljzhebut@126.com