

DOI:10.19651/j.cnki.emt.2209176

皮秒级可调脉宽脉冲码型生成电路设计^{*}

郭杨盛 苏淑靖 吴梦香 余毅 邢震震

(中北大学省部共建动态测试技术国家重点实验室 太原 030051)

摘要: 针对雷达、通信、电子计量与测试领域对高精度、低噪声、高分辨率、可编程脉冲信号的需求,设计了一种皮秒级可调脉宽脉冲码型生成电路,用于产生脉宽精密可控的多模式多功能系列化脉冲码型信号。该脉冲码型生成电路基于小数分频原理,改变小数分频比将小数杂散移至高频段并由环路低通滤波器滤除,达到降低脉冲信号噪声的目的,在此基础上通过并串转换芯片产生目标信号以及向FPGA提供时钟信号以弥补FPGA本身时钟频率低,精度差的缺点。测试结果表明,脉冲生成电路可产生脉冲频率范围为1~400 MHz、最小占空比步进为 $4.54 \times 10^{-13} \% \sim 12.5\%$ 的脉冲信号,脉冲信号生成电路输出信号码型可选择归零码、不归零码、归一码、伪随机码等脉冲码型格式的脉冲码型信号。

关键词: 低噪声;皮秒级;小数分频锁相环;脉冲码型生成电路

中图分类号: TN782+.2 **文献标识码:** A **国家标准学科分类代码:** 510.10

Picosecond-level adjustable pulse width pulse code generation circuit design

Guo Yangsheng Su Shujing Wu Mengxiang Yu Yi Xing Zhenzhen

(State Key Laboratory of Dynamic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: Aiming at the requirements of high precision, low noise, high resolution and programmable pulse signals in the fields of radar, communication, electronic metrology and testing, a picosecond-level adjustable pulse width pulse code generation circuit is designed to generate multi-mode and multi-function serialized pulse code signals with precise and controllable pulse width. The pulse code generation circuit is based on the principle of fractional frequency division. By changing the fractional frequency division ratio, the fractional spurious is moved to the high frequency band and filtered by the loop low-pass filter to reduce the noise of the pulse signal. On this basis, the target signal is generated by the parallel-series conversion chip and the clock signal is provided to the FPGA to make up for the shortcomings of low clock frequency and poor accuracy of the FPGA itself. The test results show that the pulse frequency range generated by the pulse generating circuit is 1~400 MHz, Minimum pulse width duty cycle step is $4.54 \times 10^{-13} \% \sim 12.5\%$. The output signal type of the pulse signal generation circuit can select the pulse code type signals in the pulse code format of return-to-zero code, non-return-to-zero code, return-to-zero code and pseudo-random code.

Keywords: low noise; picosecond; fractional phase-locked loop; pulse code generation circuit

0 引言

随着现代信息和通信技术的快速发展,高速高精度可调脉冲信号和大数据量多样化的数字序列等激励信号在雷达、通信、电子计量与测量等高性能电子系统的设计和调试中得到了广泛的应用^[1-3]。宽带雷达应用中,利用脉冲码型发生器的可调脉宽特性,实现雷达分辨率的调整。通信应用中,通过发送和接收脉宽在纳秒级的极窄脉冲来传输数据,并通过它们之间的有效组合来对信息进行编

码,实现多址通信。测试大规模集成电路时,需要产生可编程、高速并且海量的数据流。因此,研制一款高精度可调脉宽脉冲码型生成电路来满足以上需求具有重要的现实意义。

脉冲码型发生器多使用可编程逻辑门阵列作为控制核心,根据寄存器转换级设计进行内部布局布线,可灵活地根据需求修改设计,更利于系统间的集成。文献[4]通过直接波形生发生的方式生成脉冲数据,产生脉冲信号最小分辨率达2 ns。文献[5]通过FPGA实现了可控输出数目的脉

收稿日期:2022-03-05

^{*} 基金项目:国家自然科学基金(51875534)、山西省“1331工程”重点学科建设项目资助

冲波形。文献[6]采用 FPGA 控制、DDR3、SDRAM 存储及专用的数据输出寄存器完成数据输出,达到精度为 1 ns 的脉冲序列信号。上述文献采用 FPGA 进行高精度脉冲信号的生成,但仅采用 FPGA 来进行脉冲波形的产生,会由于 FPGA 芯片的工作频率和时钟性能极大限制产生的脉冲信号质量如:精度、噪声特性等。本文设计的皮秒级可调脉宽脉冲生成电路以 FPGA 为主控芯片,结合小数分频锁相环和 8 位并串转换芯片为整个系统提供高精度、低噪声的高频脉冲信号以此来保证经电路分频后脉冲信号的低噪声和高精度。FPGA 在此过程中负责对小分频锁相环、并串转换芯片的控制、上位机下发指令的处理和码型数据的存储。通过模块之间相互配合生成脉冲频率范围为 1~400 MHz、最小脉宽占空比步进为 $4.54 \times 10^{-13} \%$,可自定义归零码、不归零码、归一码、伪随机码等脉冲码型格式的脉冲码型序列。

1 可调脉宽脉冲生成电路总体方案

如图 1 所示可调脉宽脉冲生成电路由嵌入式主机、高频低噪声脉冲生成模块、脉冲码型生成模块及供电模块组成。其中脉冲码型生成模块由 FPGA 控制模块、数据存储模块、并串转换模块组成。其中,高频低噪声脉冲生成模块产生需要被分频的 1.6~3.2 GHz 信号,该信号范围取决于并串转换芯片的工作频率范围,本电路采用安森美公司的 MC10EP446,其工作频率为 1.6~3.2 GHz;嵌入式主机通过串口发送控制及数据指令;FPGA 接收嵌入式主机传来的数据和指令,根据指令进行码型数据存储,控制高频脉冲生成模块产生高频脉冲信号及将并行数据送入并串转换模块等操作。并串转换模块收到来自 FPGA 的并行数据以高频脉冲信号作为输出频率按位输出并行数据,通过并行数据内容实现对最高频率为 3.2 GHz 的高频脉冲信号的分频,产生脉宽的最小步进为 312.5 ps 可调脉冲信号或自定义的脉冲码型信号。

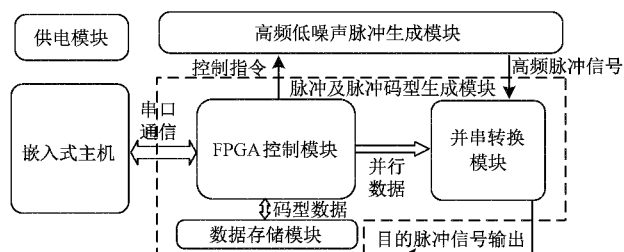


图 1 电路整体结构

2 可调脉宽脉冲生成电路设计

2.1 嵌入式主机模块设计

嵌入式主机模块有两种工作模式:脉冲模式和数据模式。当电路工作在脉冲模式,嵌入式主机向脉冲及脉冲码型生成模块发送脉冲模式指令及向高频脉冲生成模块发送

相应的控制指令,脉冲码型生成模块对高频信号进行分频产生相应的脉冲信号。

对高频脉冲信号进行分频,需要求出输出目标脉冲信号高、低电平持续时间各由 n_1 、 n_0 个高频脉冲信号周期构成,对 n_1 、 n_0 按主机指令格式进行处理并生成指令。 n_1 、 n_0 的求法如式(1)、(2)所示;输出目标脉冲信号与高频脉冲信号关系如图 2 所示;嵌入式主机指令格式及内容如表 1 所示。

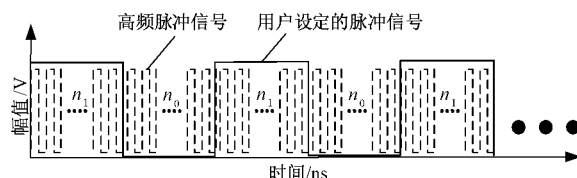


图 2 用户设定脉冲信号与高频脉冲信号关系图

$$n_1 = \frac{f_T \times D}{f_0} \quad (1)$$

$$n_0 = \frac{f_T \times (1 - D)}{f_0} \quad (2)$$

式中: f_T 为高速脉冲生成模块产生的脉冲信号频率; f_0 为用户设定的脉冲信号的频率; D 为用户设定的脉冲信号占空比。

表 1 脉冲模式指令及控制指令表

帧头	指令	内容	校验位	帧尾
AA	3B	N_1 N_{10} N_0	XX	55
AA	3C	F	XX	55

表中:3B 表示电路工作在脉冲模式; N_1 、 N_0 为对 n_1 、 n_0 除以 8,商 N_1 、 N_0 作为高、低电平字节个数;对其余数 R_1 、 R_0 ,将 R_1 个 '1' 与 R_0 个 '0' 拼接成八位过度字节 N_{10} ;3C 表示电路改变高频脉冲频率;F 为高频脉冲频率设定值。

当电路工作在数据模式下,允许的用户自定义数据位为 1~2 048 位。信号码型可选择归零码、不归零码、归一码、伪随机码等脉冲码型格式的脉冲码型信号。与脉冲模式相似,同样需要嵌入式主机向脉冲及脉冲码型生成模块发送脉冲模式数据指令及向高频脉冲生成模块发送相应的控制指令,脉冲码型生成模块对高频信号按用户设定的脉冲码型信号进行分频产生相应的脉冲码型信号。

按脉冲码型信号的顺序依次求出高、低电平持续时间各由 $n_1, n_2, n_3, \dots, n_m$ 个高频脉冲信号周期构成。每一个高频脉冲周期内,都对应一个高或低电平,用 0 或 1 对其进行表示,得到 $n_1 + n_2 + n_3 + \dots + n_m$ 位 0、1 组成的数据,对其按顺序以 8 位数据为间隔进行分割,得到 $M_1, M_2, M_3, \dots, M_n$, n_m 与 M_n 关系如图 3 所示。嵌入式主机指令格式及内容如表 2 所示。

表 2 数据模式指令及控制指令表

帧头	指令	内容	校验位	帧尾
AA	3A	$M_1 M_2 M_3 \dots M_4$	XX	55
AA	3C	F	XX	55

表中:3A 表示该指令为数据模式指令; $M_1, M_2 \dots M_{16}$ 为 8 位波形数据;3C 表示电路改变高频脉冲频率;F 为高频脉冲频率设定值。

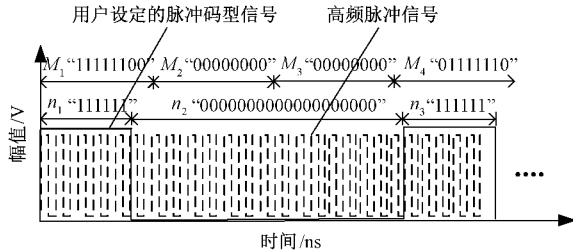


图 3 用户设定脉冲码型信号与高频脉冲信号关系图

2.2 高频低噪声脉冲生成模块设计

1) 高频脉冲生成原理

为了实现高分辨率的脉冲频率,高速低噪声脉冲生成电路采用小数分频锁相环,如图 4 所示。

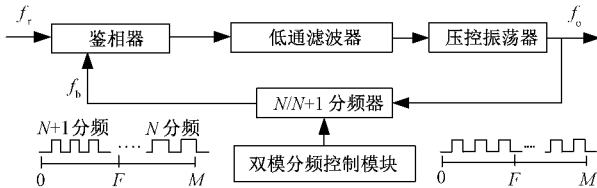


图 4 小数分频锁相环原理框图

利用双模分频器对 M 个选定参考周期中 F 个周期进行 $N+1$ 倍分频,剩余周期进行 N 分频,使输出的脉冲信号能够以非常小的步进在 N 和 $N+1$ 之间进行变化^[7-11],在不降低鉴相器频率的情况下,增加输出分辨率。本电路采用 ADI 公司的 ADF4351 小数分频锁相环产生高频脉冲信号 RF_{OUT} ,其值由式(3)可知。FPGA 对其产生的 RF_{OUT} 进行分频,输出信号分辨率 R_s 由式(4)计算得 1.776×10^{-9} Hz。

$$RF_{OUT} = \left[INT + \left(\frac{FRAC}{MOD} \right) \right] \times \left(\frac{f_{PFD}}{RFDIV} \right) \quad (3)$$

$$R_s = \left(\frac{FRAC}{MOD} \right) \times \left(\frac{f_{PFD}}{RFDIV \times FPGADIV} \right) \quad (4)$$

式中: RF_{OUT} 为小数分频锁相环频率输出; $FRAC$ 为小数分频的分子(0~MOD-1); MOD 为预设的小数模数(2~4 095); $RFDIV$ 是细分 VCO 频率的输出分频器; $FPGADIV$ 为 FPGA 通过并行数据对高频脉冲信号的分频数。其分频数的范围、频率范围及占空比步进关系如表 3 所示。

2) 脉冲噪声分析及抑制方法

由于小数分频器的分频比在 N 和 $N+1$ 之间进行

表 3 分频数、频率及步进关系表

分频数	最小频/Hz	最大频/Hz	占空比步进/%
8	200 000 000	400 000 000	12.5
...
2^{40}	1.46×10^3	2.91×10^3	9.09×10^{-13}
2^{41}	7.28×10^4	1.46×10^4	4.54×10^{-13}

变化,即使输出频率为锁定状态鉴相器输出还是有一定的相位误差,降低了输出脉冲信号的噪声特性。为了获得高分辨、低噪声的脉冲信号,必须对脉冲信号的噪声进行有效抑制。

$N/N+1$ 分频器分频比为 N 时,每经过一个 N 分频的周期,参考信号与反馈信号之间会产生一个相位差 $\Delta\varphi_-$:

$$\Delta\varphi_- = 2\pi \frac{T_r - T_n}{T_r} \quad (5)$$

式中: T_r 为参考信号周期时间; T_n 为 N 分频周期时间。

分频比为 $N+1$ 时,每经过一个 $N+1$ 分频的周期 T_{n+1} ,参考信号与反馈信号之间会产生一个相位差 $\Delta\varphi_+$:

$$\Delta\varphi_+ = 2\pi \frac{T_{n+1} - T_r}{T_r} \quad (6)$$

式中: T_{n+1} 为 $N+1$ 分频周期时间。

总相位量误差量 $\Delta\varphi_s$:

$$\Delta\varphi_s = \begin{cases} n \times \Delta\varphi_+, & n \leq F \\ F \times \Delta\varphi_+ - (n - F) \times \Delta\varphi_-, & F < n \leq M \end{cases} \quad (7)$$

式中: M 为选定参考周期的个数; F 为 $N+1$ 分频的周期个数。

图 5 给出了分频比为 0.4 时鉴相器输出相位误差累积量 $\Delta\varphi_s$ 随时间的累积量变化过程。

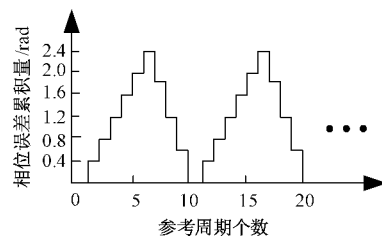


图 5 相位误差累积量-时间图

对式(7)进行傅里叶级数展开得到式(8)。

$$\Delta\varphi_s(t) = \sum_{k=-\infty}^{\infty} a_k \times e^{jk\omega_r t/M} \quad (8)$$

式中: a_k 为傅里叶级数的系数; ω_r 为基波频率; M 为选定参考周期的个数。

由式(8)可以看出 $\Delta\varphi_s(t)$ 可以分解成基波频率 ω_r 为参考信号角频率的各次谐波的线性组合,等效为在输入端叠加该噪声信号,导致小数分频锁相环的相位噪声曲线在特定频点上会出现高相噪的现象,相位噪声曲线如图 6 所示,其中 f_1, f_2 为高噪声点。

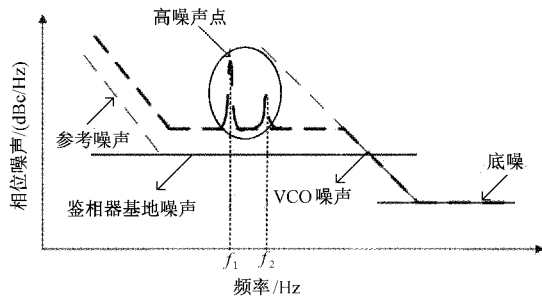


图 6 不同频偏下小数分频锁相环的噪声谱图

为了降低系统的噪声,可适当改变参考周期 M 的个数,即小数分频分母部分,来将特定频点由低频向高频搬移,然后再由锁相环内部环路滤波器对其进行抑制。鉴相器参考频率 f_{pd} 为 32 M,当输出脉冲信号的频率 f_0 为 1.7 GHz 时, f_{pd} 除以输出脉冲信号的频率 f_0 , 整数部分记 N 为 53,小数部分记 F 为 0.125。表 4 列出小数分频分子部分、小数分频分母部分及对应的频率步进值。

表 4 小数分频分子、分母及最小频率步进值对应表

F	M	锁相环最小频率步进值
125	1 000	32 kHz
25	200	160 kHz
5	40	800 kHz
1	8	4 MHz

表中: F 为小数分频分子部分; M 为小数分频分母部分。

通过 ADISIMPLL 仿真软件对输出频率脉冲频率 1.7 GHz、不同分频比下小数分频锁相环输出信号相位噪声进行仿真,仿真结果如图 7~10 所示,可以看出随着分频比的改变高噪声点由低频段向高频段移动,并通过环路滤波器被衰减。但随着分频比的减小,锁相环最小频率步进值增大,频率分辨率降低。如果只要求在一段时间内输出固定频率的脉冲信号,则对频率分辨率的要求不是很高,故本设计选用频率分辨率低的分频比来达到降噪最佳效果。对于输出脉冲频率 1.7 GHz 的情况下,选择小数分频分子部分为 1、小数分频分母部分为 8,达到积分带宽内相位噪声功率最小,对应的脉冲信号噪声最小的效果^[12]。

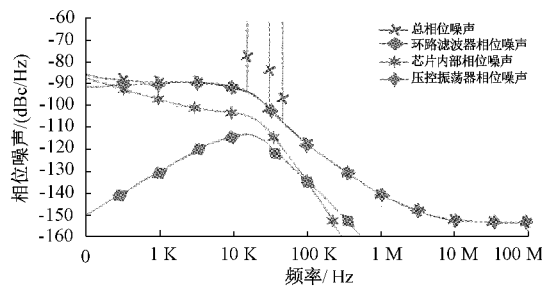


图 7 分频比为 125 : 1 000 时的相位噪声图

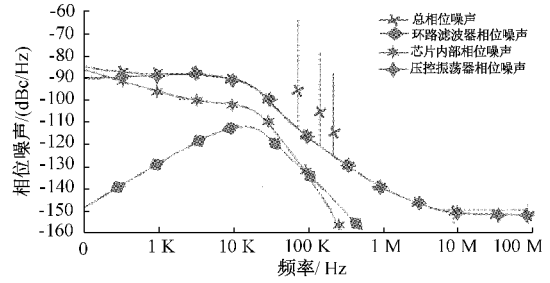


图 8 分频比为 25 : 200 时的相位噪声图

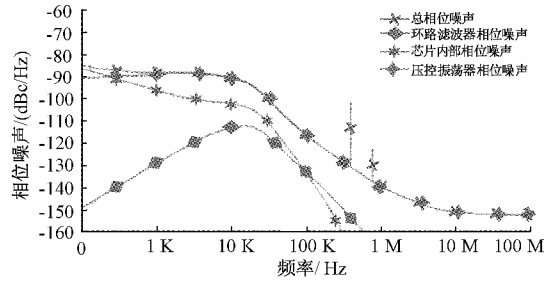


图 9 分频比为 5 : 40 时的相位噪声图

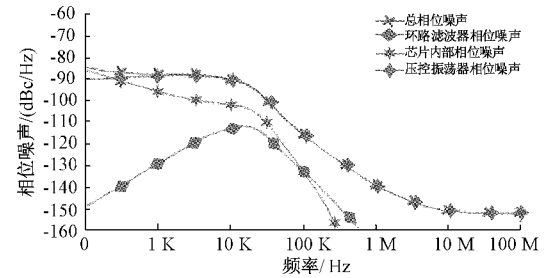


图 10 分频比为 1 : 8 时的相位噪声图

分析鉴相器产生相位误差信号的原因,通过 FPGA 控制小数分频锁相环的分频比抑制相位误差信号带来的噪声,达到降低脉冲信号噪声的目的,其电路如图 11 所示。

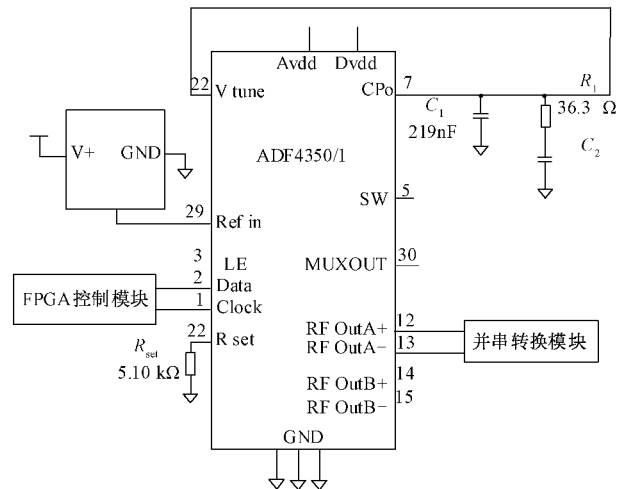


图 11 脉冲生成模块电路原理图

FPGA 控制模块通过数据和时钟线控制小数分频锁相

环电路的分频比;两级点三阶环路滤波器截至滤波频率为 16 kHz,具有锁定时间快,低噪声的优点,通过该电路产生需要分频的高频脉冲差分信号^[15]。

2.3 脉冲码型生成模块设计

脉冲码型生成模块结构框图如图 12 所示,由 FPGA 和并串转换电路共同构成,其中 FPGA 主要负责指令处理、不同数据模式数据处理、高频脉冲信号模块控制、数据存储、8 位并行数据传输等功能^[14-16]。

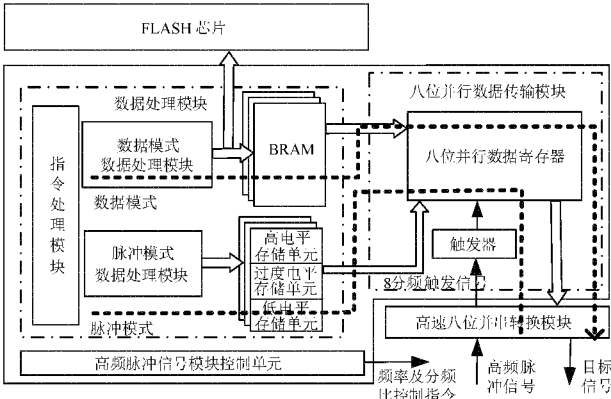


图 12 脉冲码型生成模块结构框图

FPGA 收到嵌入式主机的指令后,通过指令处理模块处理后选择工作模式及控制高频脉冲信号模块的分频比及频率等参数。当工作在数据模式下时,FPGA 对接收的数据进行处理并以片内 BRAM、片外 FLASH 的存储顺序对数据进行存储,存储后的数据按顺序存入八位并行数据寄存器中,当触发信号到来后,输出数据,产生用户需要的脉冲码型信号。当电路工作在脉冲模式时,FPGA 处理流程与数据模式相似,但在存储方面上略有不同,因为脉冲模式信号是周期重复占用的内存较少,只使用片内 BRAM 对其高电平字节、过度电平字节、低电平字节进行存储即可,不需要外接 FLASH 等存储设备。

当电路工作在脉冲模式,目标信号为频率 31.25 MHz,占空比 50%的脉冲信号,此时待分频的高频脉冲信号频率为 2 GHz,由嵌入式主机传来的脉冲数据在寄存器中存储示意图如图 13 所示。产生的脉冲信号波形如图 14 所示。

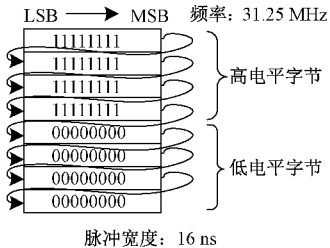


图 13 寄存器数据存储图

当脉冲信号为 31.25 MHz(周期为 32 ns),脉冲宽度为 26.5 ns 的脉冲信号,数据在寄存器中的存储示意图如图 15 所示。产生的脉冲信号波形如图 16 所示。

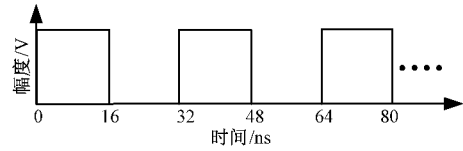


图 14 频率 31.25 MHz、占空比 50%波形示意图

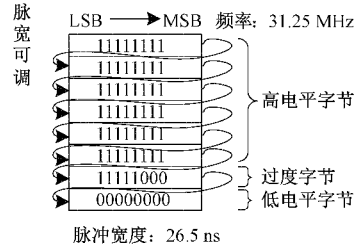


图 15 占空比调节后寄存器数据存储图

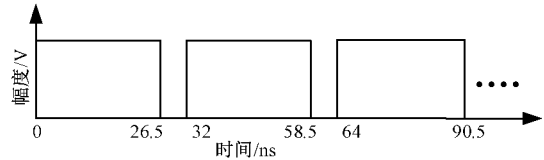


图 16 频率为 31.25 MHz、占空比为 82.8125%波形示意图

当电路工作在数据模式,需生成可自定义的码型脉冲,该模式下,允许的数据位为 1~2 048 位。数据经上位机通过串口通信发送给 FPGA,由 FPGA 接收并储存在 FPGA 的 BRAM 中。本项目使用 XILINX 的 Artix-7 系列的 XC7A100T 芯片,最大分布式 RAM 的存储空间为 4 860 Kb,块 RAM 的总计数目为 135,每一块的大小为 36 Kb。要存入 2 048 位的归零码的数据,若产生最小频率即 1 mHz 的脉冲码型信号,需要的存储空间大约为 1 GB,FPGA 内部集成的 BRAM 不足以满足要求,需要外接 FLASH 芯片进行数据的存储。

图 17 所示频率为 62.5 MHz、数据内容为“1001”的归零码的脉冲波形图,图中可以看出其对应存储在 BRAM 及 FLASH 中存储的数据内容。

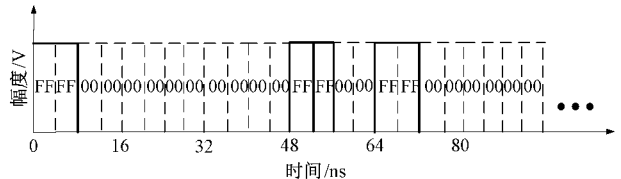


图 17 62.5 MHz 归零码的脉冲波形图

3 FPGA 仿真及实验结果分析

3.1 FPGA 仿真

使用 ISE 自带的仿真软件分别对系统进行脉冲模式及数据模式的仿真。

脉冲模式以脉冲频率为 31.25 MHz,脉冲宽度为 26.5 ns 的脉冲波形对应的指令为仿真实验验证对象。仿真图如图 18

所示,各个波形代表的信号已在图片左方标出,FPGA 系统时钟为 200 MHz,该时钟信号使用 FPGA 内部时钟信号,只是用来处理一些数据及数据的存储,精度要求低。并串转换芯片触发信号 250 MHz 则是由脉冲生成模块产生的高精度低噪声脉冲信号通过 8 分频得到。从仿真图中可以看出上位机通过串口接收端发送数据,FPGA 其中“00 00

00 00 00 06”7 个字节代表需要发送的高电平字节的个数;“00 00 00 00 00 00 01”7 个字节代表需要发送的低电平字节的个数;字节“F8”代表脉宽调整后过度电平字节。其中高电平字节,低电平字节,过度脉冲字节在图 15 中标出。在并串转换芯片触发信号的上升沿依次将对应的脉冲数据输出至并串转换芯片。

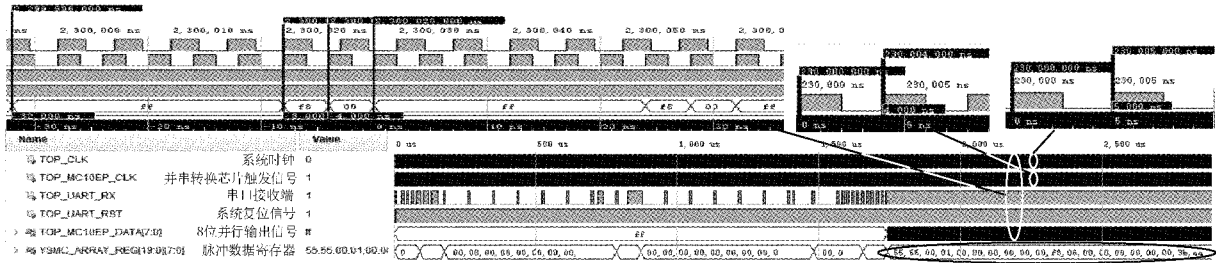


图 18 脉冲模式仿真波形图

数据模式仿真验证对象为图 17 所示的自定义脉冲码型。上位机通过串口向 FPGA 的 RAM 写入用户自定义的码型数据,其 FPGA 仿真波形如图 19 所示。FPGA 将

上位机通过串口发送的码型数据存入脉冲码型寄存器,与脉冲模式相同,在并串转换芯片触发信号的上升沿依次将对应的脉冲数据输出至并串转换芯片。

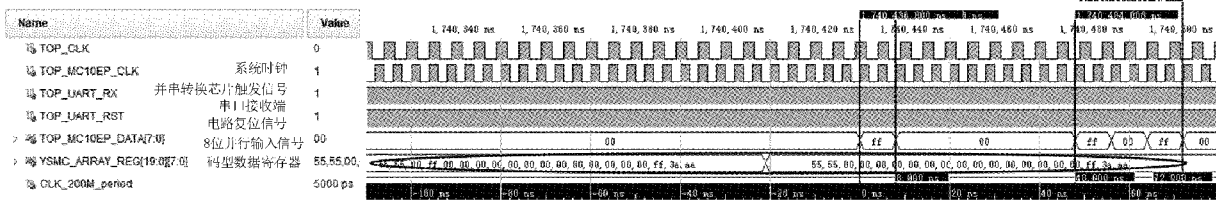


图 19 自定义脉冲码型仿真波形图

3.2 实验结果分析

本文所设计的脉冲码型发生电路应用在雷达、通信、电子计量与测量等高性能电子系统的设计和调试系统中,通过嵌入式主机分别设定输出信号为 400 MHz 占空比 50% 脉冲信号、400 MHz 占空比 62.5% 脉冲信号、31.25 MHz 占空比 50% 脉冲信号、31.25 MHz 占空比 82.8125% 脉冲信号、归一码自定义数据脉冲信号、归零码自定义数据脉冲信号及 200 MHz 周期序列为 $2^{15}-1$ 伪随机码脉冲信号。用 KEYSIGHT 的 DSOX6004A 示波器测量设计电路所产生的脉冲信号及脉冲码型信号。图 20 与 21 为示波器测量的频率为 400 MHz、占空比不同的脉冲信号,从图中可以看到脉宽由原来的 1.252 8 ns 变化为 1.561 8 ns,实现皮秒级的脉冲宽度调节;图 22 与 23 为

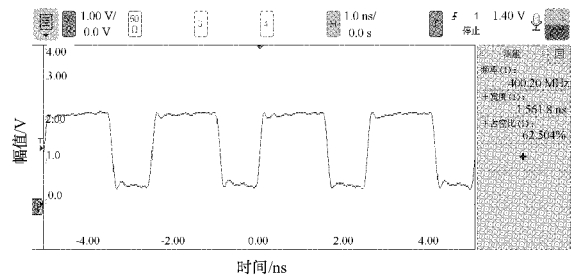


图 21 400 MHz 占空比 62.5% 脉冲波形

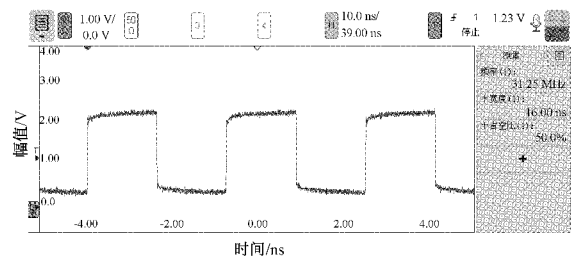


图 22 31.25 MHz 占空比 50% 脉冲波形

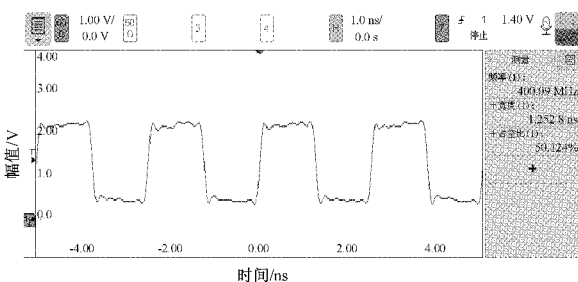


图 20 400 MHz 占空比 50% 脉冲波形

示波器测量的频率为 31.25 MHz、占空比不同的脉冲信号,实现占空比可调;图 24 与 25 为自定义数据为“1001”的归一码、归零码脉冲信号、图 26 为 200 MHz 周期序列为 $2^{15}-1$ 伪随机码脉冲波形,实现输出信号码型可选择。

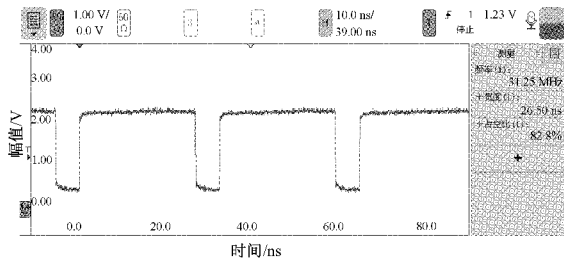


图 23 31.25 MHz 占空比 82.8125% 脉冲波形

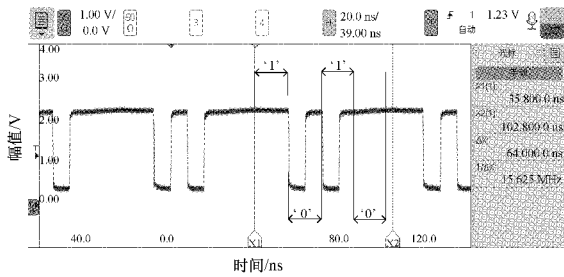


图 24 归一码自定义数据脉冲波形

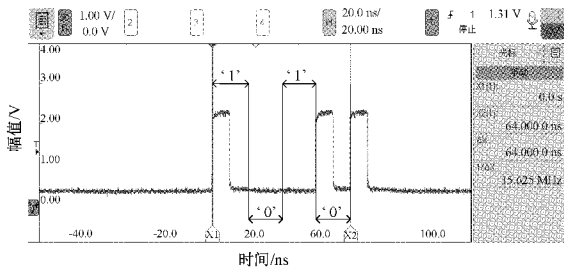


图 25 归零码自定义数据脉冲波形

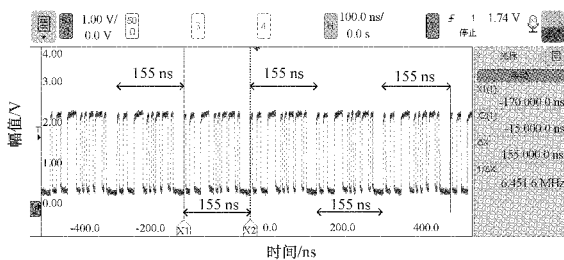


图 26 伪随机码脉冲波形

通过以上实验数据可以看出该脉冲码型发生电路满足系统设计及调试的工作要求。

4 结 论

为了产生皮秒级可调脉宽脉冲信号及可自定的脉冲码型信号,分析了影响脉冲信号及脉冲码型信号质量的因素,设计了一种皮秒级可调脉宽脉冲生成电路。通过 ADISIMPLL 对小数分频锁相环的相位噪声特性进行了分析,通过改变分频比将高噪声点向高频段搬移,通过环路滤波器滤除,达到减小相位噪声的目的;使用 FPGA 作为主控模块控制芯片降低系统的设计成本;采用并串转换芯片为 FPGA 提供触发时钟信号,规避 FPGA 内部时钟精度

低,频率上限低的缺点,提高系统的带宽。实验表明:皮秒级可调脉宽脉冲生成电路可产生步进为皮秒级的可调脉宽脉冲信号及可自定义的脉冲码型信号。

参 考 文 献

- [1] 赵虹兵. 脉冲发生器信号合成模块设计[D]. 成都:电子科技大学,2016.
- [2] 迟晨,伍伟,方盛江,等. 高精度小抖动脉冲延时发生器的研制[J]. 光电子技术,2020,40(2):108-113, DOI: 10.19453/j.cnki.1005-488x.2020.02.007.
- [3] 朱寅非. 超高速分幅相机中高精度脉冲延时发生器的研究和设计[D]. 成都:电子科技大学,2013.
- [4] 田宇,施赛烽,郑子贤,等. 基于 FPGA 的高分辨率数字脉冲信号发生器的设计与实现[J]. 合肥工业大学学报(自然科学版),2020,43(2):224-226,258.
- [5] 杜冬,尹学峰,吉小军. 基于 FPGA 的脉冲信号发生/测试仪一体化设计[J]. 电子测量技术,2015,38(1):64-68,94, DOI:10.19651/j.cnki.cmt.2015.01.015.
- [6] 施赛烽,叶润川,林雪,等. 基于 FPGA 和 DDR3 SDRAM 的高精度脉冲发生器设计与实现[J]. 合肥工业大学学报(自然科学版),2021,44(2):206-209,283.
- [7] 胡治国,李向前,艾永乐. 基于 DSOGI-PLL 的指定次谐波检测研究[J]. 电子测量技术,2017,40(3):98-102,137, DOI:10.19651/j.cnki.emt.2017.03.021.
- [8] 冯成林,苏淑靖. 一种低相噪频率综合器设计[J]. 电子器件,2020,43(4):903-908.
- [9] 袁庆庆,蔡继宽,宋斌,等. 一种可实现分级调试的新型锁相环技术[J]. 电子测量技术,2018,41(2):10-14, DOI:10.19651/j.cnki.emt.1701024.
- [10] 黄海宏,张庭茂,魏亚坤,等. 电压不平衡时单同步坐标系锁相环的改进算法[J]. 电子测量与仪器学报,2016,30(6):937-944, DOI:10.13382/j.jemi.2016.06.015.
- [11] 孙吉良,何颀,申江江,等. 基于 DDS 和 PLL 的 LFM CW 雷达频率源设计与分析[J]. 国外电子测量技术,2021,40(1):106-110, DOI:10.19652/j.cnki.femt.2002245.
- [12] 宋翔宇. 低杂散小数分频频率综合器研究[D]. 成都:电子科技大学,2011.
- [13] 谢锐,裴东兴,姚琴琴. 高频信号动态测试中的信号完整性分析[J]. 仪器仪表学报,2017,38(3):773-779, DOI:10.19650/j.cnki.cjsi.2017.03.033.
- [14] 彭宇,姬森展,于希明,等. 语义分割网络的 FPGA 加速计算方法综述[J]. 仪器仪表学报,2021,42(9):1-12, DOI:10.19650/j.cnki.cjsi.J2107921.
- [15] 王飞. 基于 FPGA 的多通道高分辨率时间数字转换系统设计[J]. 电子测量与仪器学报,2014,28(6):664-669, DOI:10.13382/j.jemi.2014.06.014.
- [16] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报,2014,28(5):560-565, DOI:10.13382/j.jemi.2014.05.015.

作 者 简 介

郭杨盛,硕士研究生,主要研究方向为锁相环、电路与系统、信号处理。

E-mail:632210983@qq.com

苏淑靖(通信作者),博士,教授,主要研究方向为感知与探测、信号处理。

E-mail:1658629841@qq.com