

DOI:10.19651/j.cnki.emt.2107542

# 基于FPGA的双FLASH数据记录器设计与实现\*

孙晓磊 王红亮 陈航

(中北大学电子测试技术国家重点实验室太原030051)

**摘要:**在导弹、火箭等武器装备的研发试验过程中,需要对试验过程中产生的数据进行采集、存储与事后回读分析,针对传统技术无法对速率差较大的两种数据源的数据同时进行高速数据存储的问题,设计了一种基于FPGA的双FLASH数据记录器。采用两块8GB NAND FLASH并行存储方案同时存储400 Mbit/s速率的千兆以太网数据和10 Mbit/s的PCM数据,FLASH采用Multi-Plane方法进行数据读写,由于FLASH固有特性会使存储数据产生误码,设计汉明码校验码纠错方案对误码进行纠错。试验测试与数据分析结果表明,综合数据写数据速率可达410 Mbit/s,回读数据速率可达310 Mbit/s,数据记录器的读写测试误码率为0,满足武器装备的数据存储测试要求,可稳定保存武器装备在高温、高冲击等恶劣环境下试验过程中产生的数据。

**关键词:** FLASH;千兆以太网;纠错;Multi-Plane;数据存储

**中图分类号:** TN914.3 **文献标识码:** A **国家标准学科分类代码:** 510.99

## Design and implementation of double FLASH data recorder based on FPGA

Sun Xiaolei Wang Hongliang Chen Hang

(National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

**Abstract:** In the research and development test process of missiles, rockets and other weapons and equipment, it is necessary to collect, store, and read back and analyze the data generated during the test. For traditional technology, it is impossible to simultaneously perform high-speed data from two data sources with large speed differences. For the problem of data storage, a dual FLASH data logger based on FPGA is designed. Two 8 GB NAND FLASH parallel storage solutions are used to store 400 Mbit/s Gigabit Ethernet data and 10 Mbit/s PCM data at the same time. FLASH adopts the Multi-Plane method for data reading and writing. Due to the inherent characteristics of FLASH, the stored data will cause errors. Design Hamming code check code error correction scheme corrects the error code. Test and data analysis results show that the comprehensive data write data rate can reach 410 Mbit/s, the readback data rate can reach 310 Mbit/s, and the data logger's read and write test error rate is 0, which meets the data storage test requirements of weapons and equipment, and can be stored stably data generated during the test of weapons and equipment in harsh environments such as high temperature and high impact.

**Keywords:** FLASH; Gigabit Ethernet; error correction; Multi-Plane; data storage

## 0 引言

近年来,我国的航天发射活动越来越频繁,尤其在今年计划安排40次左右的高密度发射活动<sup>[1]</sup>,在火箭发射或导弹飞行试验中,经常需要对关键部位工作状态信息进行存储,在试验结束后,回收记录器并读出数据,可以对飞行参数和故障情况进行研判,便于下次发射活动时对相关部位的技术状态优化和改进<sup>[2]</sup>。因此,能记录更多、更详细的试验参数成为了武器装备设计研发的刚需<sup>[3]</sup>。和国外数据采

集记录产品相比,国内起步较晚,在技术上整体处于追赶地位,但在一些相关技术上已经达到国际先进水平<sup>[4]</sup>。西安电子科技大学宋陆涛<sup>[5]</sup>对存储器在太空中受到辐射产生的数据错误问题进行了编码技术研究,针对SDRAM存储器提出了NHVD编码方式,相对本方案中的编码方式实现起来较复杂,且对存储速率影响较大。电子科技大学何雪瑞<sup>[6]</sup>通过DDR3缓存实现高速模拟信号采集后的存储,虽然可以存储高速模拟数字转换器(analog to digital converter, ADC)数据,但是无法对多路ADC数据同步接

收稿日期:2021-08-10

\* 基金项目:山西省“1331工程”重点学科建设计划(1331KSC)项目资助

收。俄罗斯的 Puryga 等<sup>[7]</sup>研发的汤姆逊散射诊断数据采集系统,它允许以 5 Gbps 采样率采集八通道数据,但是该系统不适用于两种速率不同的数字信号的采集于存储。由此可见,国内外不少研究机构均在致力于提高存储器的可靠性、存储速度和并行采集通道数量。本文介绍的基于 FPGA 的双 FLASH 数据记录器为了解决同时存储速率差较大的两种数据源数据的问题,采用了双 FLASH 并行存储的方案,同时采用汉明码校验码纠错方案用来减小误码率,最终可以实现高速混合数据采集、存储与事后数据回读<sup>[8]</sup>,显著增加了数据记录器的应用场景,现对基于 FPGA 的双 FLASH 数据记录器方案进行深入研究。

## 1 系统方案设计

为了同时存储 400 Mbit/s 的千兆以太网数据和 10 Mbit/s 脉冲编码调制(pulse code modulation, PCM)数据这两种速率差较大的数据,采用标准化和模块化设计思路对高速数据记录器系统进行方案设计<sup>[9]</sup>。数据记录器主要包含电源板和主控板,用来完成武器装备试验过程中数据的采集、存储与事后数据回读<sup>[10]</sup>,系统连接关系如图 1 所示。

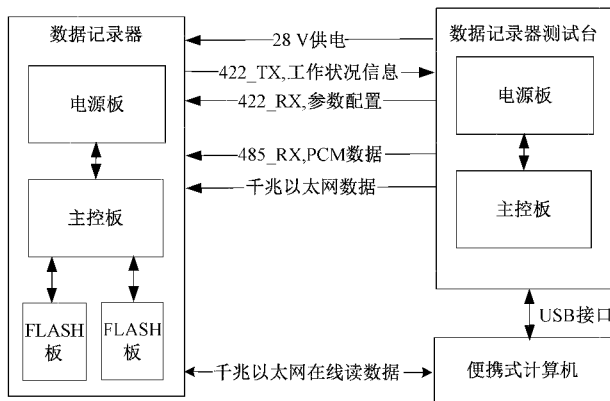


图1 系统连接关系

数据记录器测试台内部包含 AC/DC 电源转换板、DC/DC 电源转换板、主控板。AC/DC 电源板的作用是将 220 V 交流电压转变为 28 V 直流电压,供测试台和记录器使用。DC/DC 电源板的作用是将 28 V 电压进行滤波并转换为 5 V 电压。数据记录器测试台和数据记录器相比,在 主控板上只多了 USB 接口电路,千兆以太网接口电路、RS-422 接口电路、RS-485 接口电路的设计都和 数据记录器的主控板相似,只是在电路板大小和器件位置进行了微小调整。USB 接口电路模块主要作用是数据记录器测试台与上位机进行数据通信,在进行在线测试时,下发配置命令、上传数据记录器的工作状态信息<sup>[11]</sup>。数据记录器测试台用于模拟数据记录器实际工作环境下各接口信号,数据记录器将模拟数据存储完成后由便携式计算机通过千兆以太网接口完成存储器内部数据的在线读取<sup>[12]</sup>。

## 2 数据记录器硬件设计

数据记录器内部包含电源板和主控板。电源板的主要功能是对外部电源进行滤波和完成 28 V 到 5 V 的电压转换,为主控板提供稳定的工作电压。主控板的功能有接收配置监测接口的配置参数,根据要求擦除记录器内部 FLASH 存储的数据或者改变记录器的以太网 IP 地址、端口号、PCM 数据接收码率并存储到 EEPROM 中等;返回记录器的工作状态给数据记录器测试台,如记录器的 IP 地址、端口号、PCM 数据码率、记录器自检正常信息、记录器数据擦除是否成功、以太网数据和 PCM 数据存储状态等;接收一路千兆以太网数字信号和一路异步 RS-485 数字信号,对这两路数据采集和打包,存入两片 FLASH 中;在测试或者飞行试验结束后,将存储的数据通过千兆以太网传输到计算机,由计算机中的上位机软件完成对测试或试验数据的解包和分析工作<sup>[13]</sup>。主控板中采用两块 FLASH 来同时存储两种速率差较大的数据,数据记录器内部结构如图 2 所示。

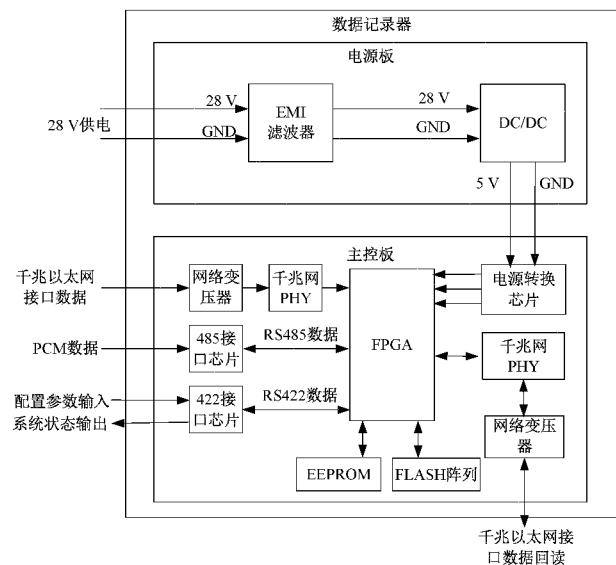


图2 数据记录器内部结构

### 2.1 接口单元硬件设计

接口单元为数据记录器提供和外部设备的互联接口,数据的输入和回读都需要依赖接口硬件来实现。接口单元类型包含千兆以太网、RS-422 和 RS-485,千兆以太网接口接收 400 Mbit/s 的高速信号,RS-485 接口接收 10 Mbit/s 的异步 PCM 数据,RS-422 接口用作配置监测接口数据传输通道。

选用 ADI 公司生产的 LTM2881 芯片作为 RS-485/RS-422 模块收发器的通信芯片,硬件接口电路原理如图 3 所示。

内部集成的隔离式 DC/DC 产生接口侧的供电电压。内部耦合电感和隔离电源变压器在接口侧和逻辑侧提供了

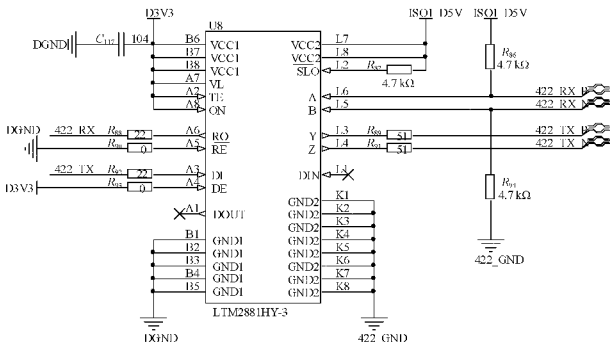


图 3 RS-422/485 接口电路原理

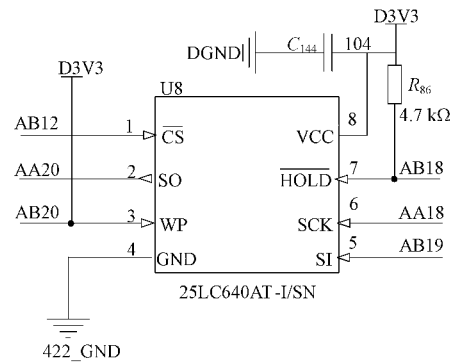


图 5 EEPROM 硬件接口电路原理

2 500 VRMS 的电压隔离,极大地减少了接收错误数据的风险。

千兆以太网 PHY 芯片具有比较多的选择空间,中国台湾 REALTEK 公司生产的 RTL8211 系列芯片和美满 (Marvell) 公司生产的 88EXXXX 系列芯片比较常用。88E1111 芯片支持更多的接口,但其 IO 供电电压为 2.5 V,需要外部电源芯片产生。为了提高数据记录器的器件的国产化率,选用中电 32 所生产的 JEM88E1111HV 作为千兆以太网收发器,它可以对美满公司生产的 88E1111 实现原位替换,区别仅是内核供电电压变为 1.4 V。如图 4 所示为 PHY 芯片接口设计示意图。

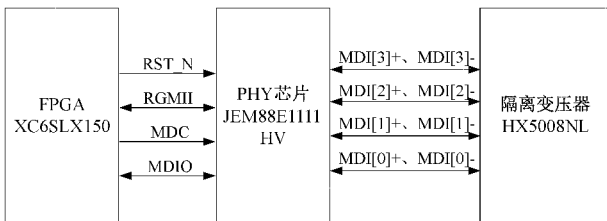


图 4 PHY 芯片接口设计示意图

### 2.2 存储单元硬件设计

存储单元为数据记录器的核心器件,由于需要同时接收 400 Mbit/s 的千兆以太网接口数据和 10 Mbit/s 的异步 RS-485 接口数据,需要选合适的数据存储芯片来存储数据,选择镁光公司生产的 MT29F64G08AFAAA 型号的 NAND FLASH 来存储数据,该款存储芯片采用 48 引脚的 TSOP 封装形式,理论最快存储速度为 50 MByte/s,而为了达到高速数据记录器要求的 51.25 MByte/s 的速率,故需采用两片 NAND FLASH 并行存储速率差较大的两种数据源的数据<sup>[14]</sup>。

为了存储修改后的千兆以太网接口的 IP 地址和端口号,选择了一款型号为 25LC640AT 的 EEPROM 来存储数据,这款 EEPROM 的数据存储量为 8 KByte,采用 SPI 接口协议进行数据传输,由于需要存储的数据量较小,故该款 EEPROM 满足实际应用需求,其硬件接口电路原理如图 5 所示。

### 3 数据记录器程序设计

数据记录器的核心部分为 FPGA 控制程序,FPGA 作为整个记录器的核心控制器件,负责接收指令信息,提取有效指令,将指令转发至相应的功能单元;负责接收各接口数据,将不同数据信息按照一定规则编帧打包处理,并将打包后的数据送入存储单元;负责读取数据,将数据从 FLASH 中读出,并通过千兆以太网接口送至电脑端的上位机。

在系统上电后,整个数据记录器处于复位状态不进行任何操作,当 RS-422 接口模块接收到测试台发送的配置命令,FPGA 会对电路板端 IP 地址、端口号、PCM 码率等信息进行重新配置,同时写入 EEPROM 中;当 RS-422 接口模块接收到擦除指令后,将两片 FLASH 全部擦除,擦除完成后,FPGA 将完成信息通过 RS-422 发送反馈给数据记录器测试台。随后进入等待记录状态,在存满 16 GByte 空间或者系统断电后,FPGA 控制逻辑进入命令等待状态,当接收上位机通过千兆以太网接口发来的读数指令后,将数据传给计算机。如图 6 所示为 FPGA 程序整体示意框图。

#### 3.1 千兆以太网接口逻辑设计

本次设计选用 UDP 协议作为千兆以太网数据接收和数据发送的通信协议。千兆以太网 UDP 协议逻辑设计包含发送数据单元、接收数据单元、CRC32 校验单元。

千兆以太网 UDP 协议的接收和发送过程类似,区别在于发送过程需要将数据严格按照以太网协议逐层封包,而接收过程是按照协议规范逐层解包,将有效数据从协议中分离出来的过程。在 UDP 数据发送单元中,在判断前端数据缓存 FIFO 中有 1 KByte 数据时,开始使能 TX\_EN 信号,同时开始发送 7 Byte 的前导码 0x55、1 Byte 的帧开始标识符 0xD5,接下来发送以太网帧头,包含 6 Byte 的目的 MAC 地址、6 Byte 的源 MAC 地址、2 Byte 的协议类型,随后发送 IP 协议首部、UDP 协议数据、需要发送的有效数据,最后发送 4 Byte 的校验码,UDP 模块发送数据流程如图 7 所示。

#### 3.2 混合编帧逻辑设计

数据记录器需要将接收的千兆以太网接口数据和 RS-485

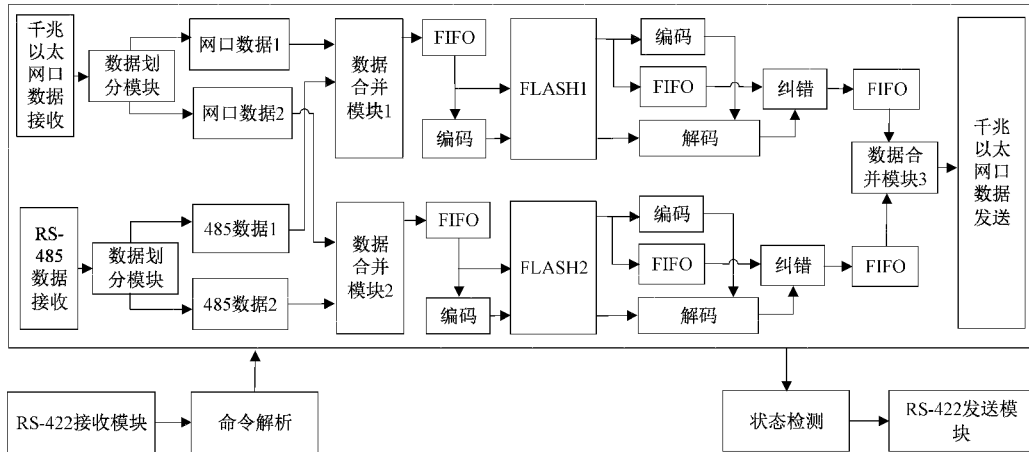


图6 FPGA程序整体示意框图

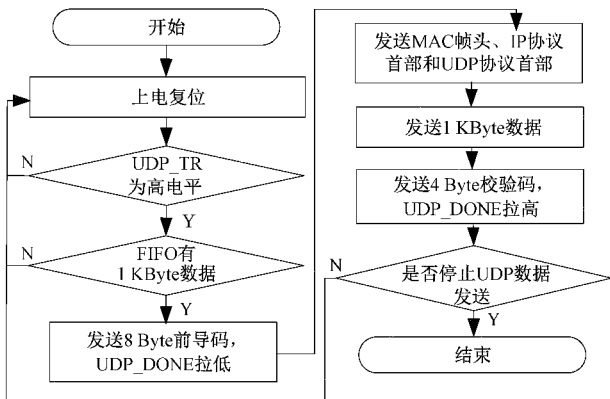


图7 UDP模块发送数据流程

数据进行存储,为方便试验完成后快速分析相关参数,需要考虑信息如何规律有序地存储,因此在每一类数据前加入标识信息,按照顺序将数据放置存储单元。数据编帧模块在对数据加入帧标记和帧计数后,需要考虑如何将两种速率相差极大的数据流分配到两片FLASH的读数据FIFO中。千兆以太网逻辑运行的参考时钟为125 MHz,PCM数据接收逻辑的参考时钟为10 MHz,两者的参考时钟相差较大,需要考虑数据不同时钟域传输的问题。XC6SLX150内提供了嵌入式块RAM供用户使用,本设计选择将FPGA内部块RAM配置成异步FIFO,有效解决了不同时钟域和不同数据速率的问题。

在本设计中选择了3级缓存结构,接收数据FIFO缓存结构如图8所示。第1级FIFO共2个,均为16 KByte, FIFO1\_1缓存千兆以太网数据,接收数据侧参考时钟为125 MHz, FIFO1\_2缓存PCM数据,接收数据侧参考时钟为10 MHz。在一级缓存FIFO和二级缓存FIFO之间有编帧和选择逻辑,负责对两种数据打入帧标识并分配至二级缓存FIFO,对一级缓存FIFO采用有数即读的方式,每次读数1 016 Byte打包,存入二级缓存FIFO,数据前面加入8 Byte标识组成1 024 Byte,前4 Byte为帧标志,后

4 Byte为帧计数。二级缓存FIFO共4个,2个用于乒乓方式缓存以太网数据,其余2个用于乒乓方式缓存PCM数据。在二级缓存FIFO和三级缓存FIFO之间是数据选择逻辑,这部分逻辑的功能是对前面4个FIFO的读数进行控制,满1 024 Byte读一次,数据选择逻辑1控制FIFO2\_1和FIFO2\_3,数据选择逻辑2控制FIFO2\_2和FIFO2\_4,从二级缓存FIFO中读出数据后直接写入三级缓存FIFO。三级缓存FIFO共2个,分别对应两个8 GByte的FLASH写入数据逻辑,采用有数即读出并存入FLASH的方式。这样的混合编帧逻辑便实现了对速率差较大的不同数据源的高速数据存储。

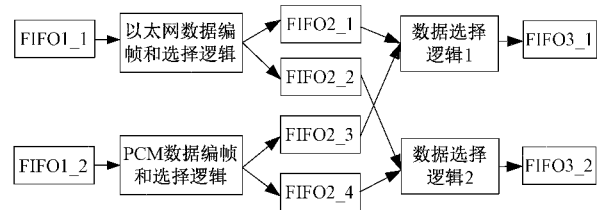


图8 接收数据FIFO缓存结构

### 3.3 FLASH存储逻辑设计

FLASH数据读写过程中采用两块8 GByte NAND FLASH并行存储数据,如图9所示为FLASH数据读写流程。

数据写入过程千兆以太网接口数据或者RS-485接口数据以1 KByte为单位交替向两片FLASH写入数据,两块NAND FLASH逻辑相互独立运行,故研究FLASH数据读写逻辑时只需研究一个FLASH就行了。单片FLASH中两个Target采用流水线方式读写数据,单个Target中的LUN采用Multi-Plane的方法进行数据读写。数据写入之前需要进行FLASH擦除,然后进行坏块检查,数据写入过程中为防止写入干扰和读取干扰带来的误差<sup>[15]</sup>,需在写入数据的过程中生成汉明码,并且将生成的汉明码写入到FLASH中,以用来纠正数据写入过程中发生的单bit误码;数据读取的过程中读取数据和汉明码

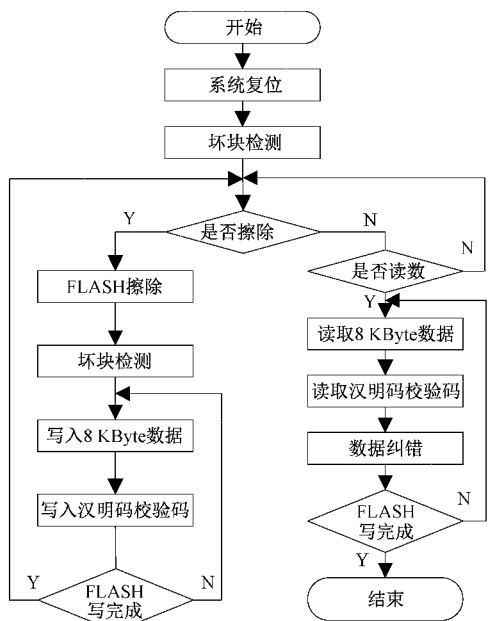


图 9 FLASH 数据读写流程

校验码, 然后对数据进行纠错<sup>[14]</sup>。

#### 4 测试结果与分析

##### 4.1 测试系统搭建

为了测试数据记录器的数据存储的准确度, 需要搭建一套数据记录器测试与调试系统, 测试系统包含计算机、数据记录器、综合数据记录器测试台、交换机、测试电缆。测试电缆包含 4 种: 1 根电缆用于测试台为记录器供电和 RS422 配置监测数据传输; 1 根电缆用于测试台向记录器传输模拟的千兆以太网存储数据和 PCM 数据; 2 根网线用于记录器、交换机、计算机之间的网络连通; 1 根 USB 线用于计算机和数据记录器测试台进行指令发送和状态信息回传; 搭建完成后的数据记录器功能测试系统如图 10 所示。

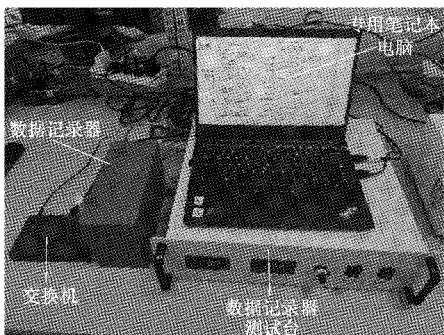


图 10 数据记录器功能测试系统

##### 4.2 数据读取与分析

为了验证数据记录器是否可以同时存储 400 Mbit/s 的千兆以太网数据和 10 Mbit/s 的 PCM 数据, 并且读取出来没有丢包和误码问题。测试采用综合数据记录器测试台向数据记录器同时发送 400 Mbit/s 的千兆以太网数据

和 10 Mbit/s 的 PCM 数据。在数据记录器被数据记录器测试台使用模 PCM 数据和千兆以太网数据将记录器写满后, 打开上位机读数功能界面, 开始读取记录器内部数据, 整个过程持续约 7 分 2 秒, 读取约 16 353 MByte 的数据, 读取速度大约为 38.75 MByte/s (即 310 Mbit/s), 数据读取完成的界面如图 11 所示。

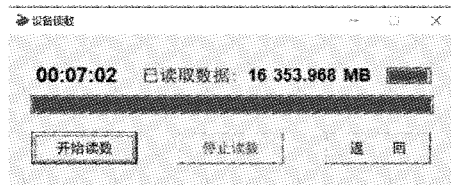


图 11 上位机读数完成界面

在读数完成后, 打开上位机中的数据界面, 点击拆分原始数据, 上位机会依据 PCM 数据和千兆以太网数据帧标志不同将种不同的数据分离, 然后根据帧计数将两类数据重新排序, 完成后点击分离 485 数据, 是为了将 PCM 数据中的帧同步码去掉并为下一步 00-F9-EB 90 数据分析做准备, PCM 数据分离完成后显示数据分离正确。点击 00-F9-EB 90 按钮, 上位机对以太网数据和 PCM 数据进行分析, 分析结果显示正确, 如图 12 所示。

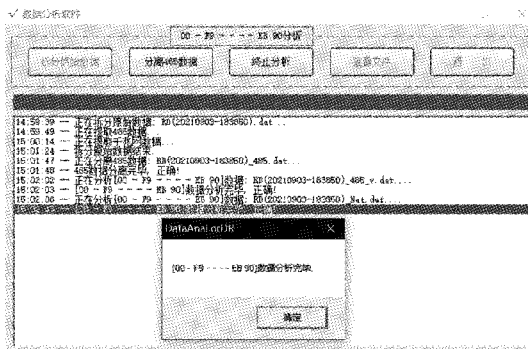


图 12 上位机分析数据界面

用 HEX 软件打开收到的原始数据, 如图 13 所示。方框中的 0xEB9AF AF2 为 PCM 数据帧头标志, 后面的 4 Byte 是帧计数, 帧计数后是有效数据, 即测试时发送的模拟数据, 模拟数据为 00-F9 共 250 个递增数, 后接 4 Byte 帧计数和 2 Byte 的帧结束标志, 模拟递增数据如图 14 所示; 0xEB9AF9F1 为以太网数据帧头, 后面的 4 Byte 为帧计数, 随后的数据也为模拟数据, 符合测试时发送的数据源, 同时以太网帧头的数据明显比 PCM 帧头的数据多, 验证了千兆以太网的数据发送速率明显大于 PCM 数据速率。

为了测试数据记录器在恶劣环境下的环境适应性, 分别测试了数据记录器在 -40 °C、20 °C 和 60 °C 下的误码率, 测试结果如表 1 所示。

数据读取试验结果表明, 基于 FPGA 的双 FLASH 数据记录器可以实现同时对千兆以太网和 PCM 速率相差较大的不同数据源数据的存储, 将 PCM 数据和千兆以太网

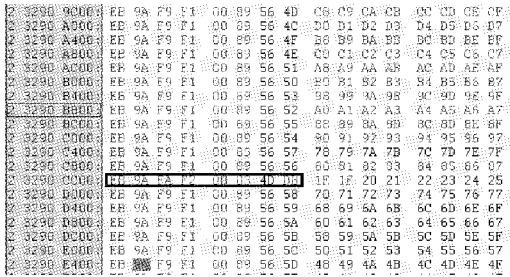


图13 读出的原始数据

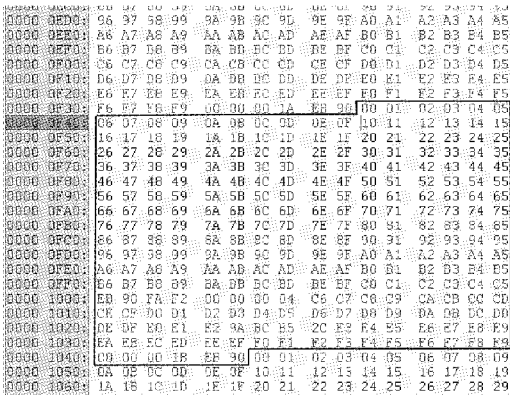


图14 模拟递增数据

表1 数据记录器不同温度下的误码测试

温度/ ℃	测试次数											
	1	2	3	4	5	6	7	8	9	10	11	12
60	0	0	0	0	0	0	0	0	0	0	0	0
20	0	0	0	0	0	0	0	0	0	0	0	0
-40	0	0	0	0	0	0	0	0	0	0	0	0

数据每 1 016 Byte 分别加上不同的标志存储到 FLASH 中。为了将 PCM 数据和千兆以太网数据分离出来,上位机软件将带有不同帧头的数据分离开,然后将帧头去掉,并按照帧计数进行排序。数据分离和数据分析结果表明,16 GByte PCM 和千兆以太网数据混合进行存储可以将其分离出来,上位机软件分析得出数据分离正确,且存储进去的 PCM 和千兆以太网数据在 -40℃、20℃ 和 60℃ 环境温度下均无误码现象。相比于其他数据存储方案,本方案可以准确无误地同时存储两种速率较大的数据源数据,且数据读取速度可达 310 Mbit/s,适用于复杂恶劣的应用环境,该数据记录器的使用可有效助力于航天发射任务。

### 5 结 论

针对某型号飞行任务的实际应用需求,设计了基于FPGA的双FLASH数据记录器,该记录器可以接收一路速率为 400 Mbit/s 千兆以太网数据和一路速率为 10 Mbit/s 的 RS-485 数据,将接收到的两路数据编帧后存储。采用双 FLASH 并行存储数据的方案可以存储综合速

率达 410 Mbit/s 速率的数据;采用汉明码校验码方案,可以有效降低数据读写过程中产生的误码,试验结束后读取出来的数据经过分析无误帧和丢包现象。数据记录器综合写数据速率为 410 Mbit/s,读取数据的速度约为 310 Mbit/s,可以实现混合数据的高速存储和回读。

设计的基于FPGA的高速数据记录器各功能已经实现,但在设计中还存在一定的优化空间;本设计中存储芯片选用 2 片 NAND FLASH 来实现存储容量和存储速度要求,可以考虑采用其他存储介质,如 EMMC 和 UFS,它们不仅存储空间大,存储数据速率也更快;在存储时考虑使用加密数据算法,保证飞行试验数据的安全性。

### 参考文献

- [1] 陈航.基于千兆以太网的高速数据记录器设计与实现[D].太原:中北大学,2021.
- [2] 文斗,王雨婷,薛志超,等.某记录器存储模块关键技术的研究[J].电子测量技术,2020,43(22):137-141.
- [3] 汤振坤.基于 ECC 和 BISR 的嵌入式存储器在线自愈研究[D].成都:电子科技大学,2020.
- [4] 李海虎,张超.基于FPGA的GHz宽带中频数字采集系统的设计[J].国外电子测量技术,2016(4):55-58,63.
- [5] 宋陆涛.存储器抗辐射编码技术研究[D].西安:西安电子科技大学,2019.
- [6] 何雪瑞.12bit 高速数据采集系统的大容量存储模块设计[D].成都:电子科技大学,2020.
- [7] PURYGA E A, LIZUNOV L A, IVANENKO S V, et al. Data acquisition system for thomson scattering diagnostics on GDT[J]. IEEE Transactions on Plasma Science, 2019, 47(6):2883-2889.
- [8] 肖佳.基于 NAND FLASH 的大数据高速存储系统的设计与实现[D].西安:西安电子科技大学,2014.
- [9] 张泽芳.多接口采编存储技术的研究与实现[D].太原:中北大学,2020.
- [10] 王子懿,沈三民,杨峰,等.基于FPGA的高速大容量存储于传输系统[J].电子测量技术,2021,44(13):150-155.
- [11] 郭杰.嵌入式高速存储器中数据质量控制方法分析[J].电子测量技术,2019,42(18):118-122.
- [12] 甄国涌,王琦,焦新泉,等.基于千兆以太网高速数据记录器传输接口 IP 核设计[J].仪表技术与传感器,2019(10):39-44.
- [13] 陈航,严帅,刘胜,等.基于 RS485 总线的分布式高精度数据记录采集系统[J].仪表技术与传感器,2021(2):71-74,79.
- [14] 李菲,辛海华,张会新.基于 eMMC 的高速固态存储系统设计与实现[J].电测与仪表,2020,57(14):124-128.
- [15] 陈佳楠,马永涛,李松,等.嵌入式存储器动态故障诊断数据压缩设计[J].电子测量与仪器学报,2020,34(7):203-209.
- [16] 孙晓磊,王红亮.基于FPGA的NAND FLASH 纠错编码方案与实现[J].电子测量技术,2021,44(15):149-154.

### 作者简介

孙晓磊,硕士生,主要研究方向为高速数据采集与存储。E-mail:1484696352@qq.com  
 王红亮(通信作者),教授,博士生导师,主要研究方向为测试系统集成、微纳器件与系统、超声换能器及系统等。E-mail:wanghongliang@nuc.edu.cn  
 陈航,硕士,主要研究方向为嵌入式智能仪器。E-mail:614441509@qq.com