

DOI:10.19651/j.cnki.emt.2107521

基于LVDS的光电转换式长线数据传输链路设计

赵晓阳¹ 张会新¹ 薛伟钊¹ 庆雨豪¹ 彭晴晴²

(1. 中北大学 仪器科学与动态测试教育部重点实验室 太原 030051; 2. 北方自动控制技术研究所 太原 030006)

摘要: 为了满足长线高速信号传输,零误码率的性能需求,利用LVDS接口技术和光电转换方式设计了一种长距离数据传输系统。硬件设计采用MLH系列串行电缆均衡器和驱动器配合使用,增强了同轴电缆差分信号的驱动能力,并进行自适应性补偿;通过光电信号相结合的传输方式,延伸了长线传输距离;逻辑设计通过优化有效和无效数的判断标志,解决了高速数据传输失锁现象。在各种实验环境下,经过多次大容量数据接收测试,表明LVDS信号以300 Mbit/s的速度在百米双绞线和2 km光纤传输链路上可以实现无误码传输,并且已经投入工程应用。

关键词: 远距离;高速;零误码率;LVDS;光电转换;失锁

中图分类号: TP274 **文献标识码:** B **国家标准学科分类代码:** 510.40

Design of LVDS-based optical conversion long-line data transmission link

Zhao Xiaoyang¹ Zhang Huixin¹ Xue Weizhao¹ Qing Yuhao¹ Peng Qingqing²

(1. Key Laboratory of Instrument Science and Dynamic Measurement, Ministry of Education, North University of China, Taiyuan 030051, China; 2. North Automatic Control Technology Institute, Taiyuan 030006, China)

Abstract: In order to meet the performance requirements of long line high speed signal transmission with zero BER, a long distance data transmission system is designed using LVDS interface technology and optical conversion method. Hardware design uses MLH series serial cable equalizer and driver to work together to enhance the coaxial cable differential signal driving capability with adaptive compensation. Extension of the long-line transmission distance by means of combined photoelectric signal transmission. The logic design solves the high-speed data transmission out-of-lock phenomenon by optimizing the judgment flags for valid and invalid numbers. After several high-capacity data reception tests in various experimental environments, it has been demonstrated that LVDS signals can be transmitted without error codes at 300 Mbit/s over 100 m twisted pair and 2 km fiber optic transmission links, and has been put into engineering applications.

Keywords: long-range; high-speed; zero BER; LVDS; optical conversion; loss-of-lock

0 引言

近年来,航天发射活动频繁,对于航空航天弹上设备的遥测地面测试,大多数需要在强电磁、电缆和连接器复杂的环境下^[1],对多种多通道弹载传感器模数信号、高分辨率图像信息等工作参数进行实时、高速、准确采集和传输^[2],由于信息量庞大,不仅对大容量数据记录装置提出了更高要求,对于高带宽、可靠性高速总线传输方式提出了巨大的挑战^[3]。一般的并行总线由于占用资源较多,码间串扰严重,线路复杂,成本较高,因此不适用于远距离数据测试^[4]。传统的RS422/RS485、CAN串行总线虽然和低压差分信号(low voltage differential signaling, LVDS)都是通过差分双绞形式传输,但是由于传输速率和距离呈反比,导致达不到高速且远程的传输性能要求。

LVDS在短线传输表现良好,并且具有终端适配简易、低功耗、低成本、抗共模干扰的特点^[5],通过软硬件优化设计,使LVDS成为高速长线数据传输主流解决方案^[6]。

国内对于LVDS收发技术理论和应用展开研究技术较为成熟,比如袁焱等^[7]对影响高速差分信号的电平特性和硬件设计对信号进行仿真分析;刘成明^[8]应用和研究TI公司LVDS串化/解串芯片实现了数据记录装置与综控计算机间480 Mbit/s可以高速传输50 m;黄慧^[9]通过嵌入式RS纠错码技术配合光模块研究了一套100 Mbit/s可传输2 km的光电传输系统。国外研究侧重于对匹配各种类型和不同速率高速差分信号的接口芯片进行研发,LVDS单通道芯片传输速率已经从600 Mbit/s提升到Gbit/s级别。

在已有技术基础上,本着易实现、通用性强、高可靠性

收稿日期:2021-08-08

原则进行系统设计。本文通过改进信号驱动和均衡设计保证LVDS信号完整性传输,使用光模块实现电-光-电信号转换,优化LVDS有效和无效信道编码,通过远程监控台网口回读,实现了在一段同轴电缆和千米光纤上的300 Mbit/s无误码数据接收。该系统稳定可靠,可以适用于各类工业远程数据监测和通信场景。

1 总体方案设计

系统总体设计如图1所示,包括上位机、近端地面测

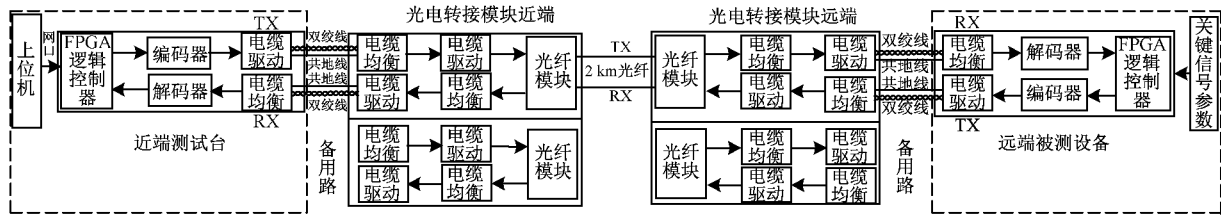


图1 系统设计框图

2 硬件电路设计

2.1 双绞线接口收发模块设计

基于传输系统需达到300 Mbit/s速率和长线传输指标要求,考虑已掌握较成熟的LVDS应用技术和各类器件选型对比,选用Spartan-6系FPGA作为控制LVDS收发的控制单元;LVDS编码器DS92LV1023和解码器DS92LV1224均选自美国NI公司生产的10位低压差分信号高速串并转换器,最高转换速率可达660 Mbit/s;由于NS公司生产的CLC系列均衡器CLC014停产,此次采用TI公司生产的均衡器LMH0034和驱动器LMH0002,这两款芯片支持数据传输速率可达1.485 Gbit/s。介于这几款芯片成本较低、性能可靠被广泛应用在差分信号传输链路中。

1) 近端双绞线发送接口电路

如图2所示为LVDS信号发送电路,设备开始工作时,输入端为10 bit并口TTL/COMS数据,DS92LV1023内部将TCLK数据时钟通过内部PLL进行锁定,输出带有内嵌时钟周期的低压差分信号^[10]。

由于双绞线信号传输随着距离的延长信号衰减严重^[11],在发送接口需要使用驱动器LMH0002对信号预加重。由 L_1 、 R_{81} 、 R_{72} 和 L_3 、 R_{83} 、 R_{71} 分别构成两个回波网络^[12],作用是降低信号经过插件处的信号回波损失; R_{77} 、 R_{78} 是两个 $50\ \Omega$ 的差分终端匹配电阻,防止信号在线路中由于阻抗不匹配发生发射,导致丢数; C_{12} 和 C_{16} 为隔直电容,滤除多余的直流干扰,其中 R_{EF} 终端电阻可以调整电压输出摆幅最大可达1 V,尽量在布局时将终端电阻靠近 R_{EF} 引脚。

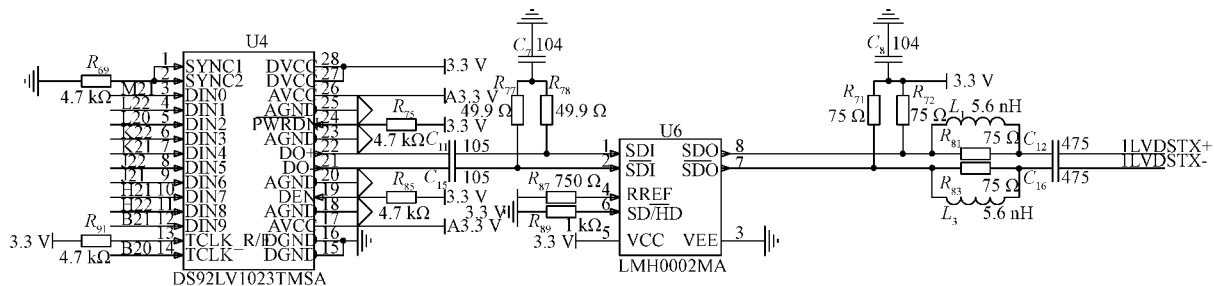


图2 LVDS双绞线发送端

2) 远端双绞线接收接口电路

LVDS信号经过2 km光缆和百米双绞线传输后,会出现较大程度的畸变和失真,需要对其完整准确地进行恢复^[13]。LVDS接收电路如图3所示,均衡器LMH0034可以驱动差分 $50\ \Omega$ 负载阻抗传输线,能够对不同线长的同轴或双绞电缆进行自适应信号补偿,当检测到有数据接收时,双向引脚 $\overline{CD/MUTE}$ 输出为低,控制

MUTEREF可以使信号达到最大均衡输出,自动锁存输出数据DO和 \overline{DO} 进入DS92LV1224;AEC+和AEC-中间通过 $1\ \mu\text{F}$ 外接电容来反馈调节内部均衡滤波器的带宽和增益,两端差分电压可以判断传输线路是否能进一步延长。 R_{96} 、 R_{95} 为终端阻抗匹配电阻, C_{19} 、 C_{23} 、 C_{20} 、 C_{21} 为隔直电容,PCB布局时考虑将电容尽量摆放在信号接收器附近。

解串器 DS92LV1224 在进行串并转换时, FPGA 输入到 DS92LV1224 的 REFCLK 需要和串化时钟 TCLK 一致, 其内部的 PLL 必须和 DS92LV1023 内嵌串化时钟进行

同步之后, 开始对串行差分数据进行接收和并且按照 RCLK 时钟频率进行解串操作。串转并过程中 LOCK 信号低有效, 表明数据锁存正常, 转换完成信号拉高^[14]。

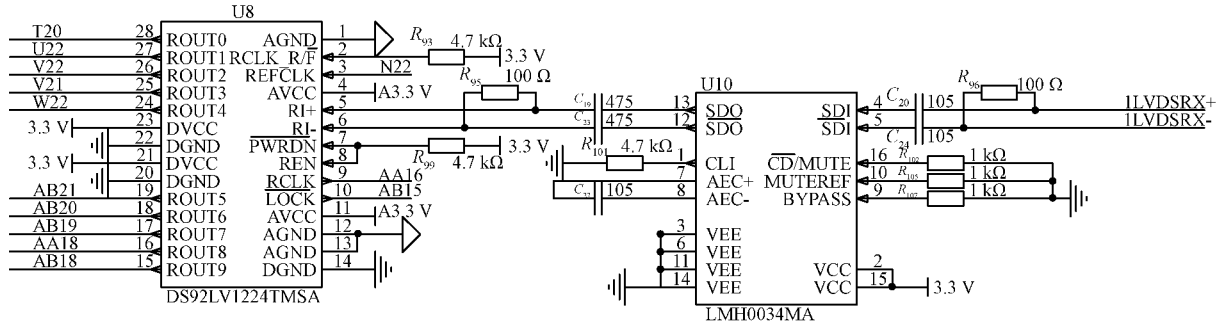


图 3 LVDS 双绞线接收端

2.2 光电转接模块设计

1) 前端信号调理电路

为了实现 LVDS 信号的中转, 在光模块接收电路前端, 通过先均衡后驱动顺序对 LVDS 信号进行调理恢复。需要注意电阻

$R_{31} = 24.9 \Omega$ 为终端阻抗匹配电阻, LVDS 进行完整信号传输需要上一级的电平输出落入下一级电平输入范围^[15], 故 LMH0002 终端匹配电阻 R_{35} 选择精度为 1%, 阻值为 750 Ω 电阻, 其输出电平阈值在 1.5~2.3 V 之间。前端电路设计如图 4 所示。

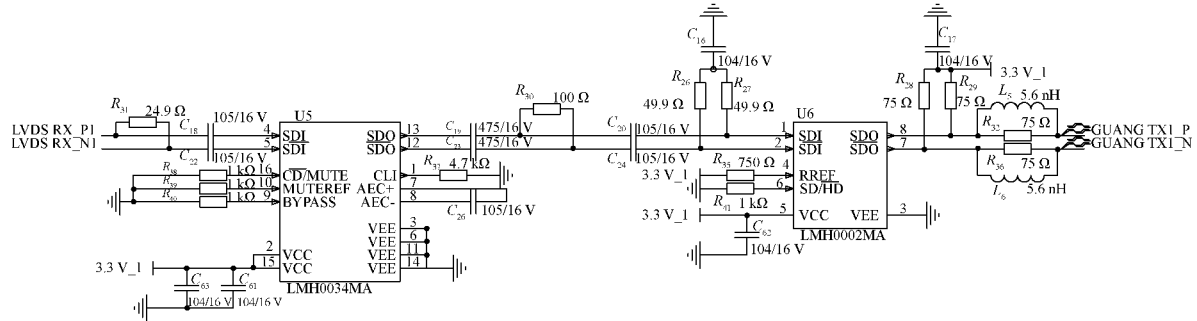


图 4 前端信号调理电路

2) 光纤收发模块电路

为了实现远距离信号传输, 并且提高传输速度和信号质量, 光纤收发一体模块采用武汉元创生产的 OCM3823-41-I 产品型号, 接口电平可以通过改变供电电压来兼容 PECL 和 LVPECL 电平标准, 电路采用 3.3 V 供电, 其输出 LVPECL 电平范围为 1.5~2.3 V, 共模电压 1.9 V, 最远可与 20 km 处的设备实现通信, 数据传输比特率最快可达 1.25 Gbit/s, 电路设计如图 5 所示。

由于驱动器 MLH0002 输出的电平为 PECL 电平, 光纤接收电平为 LVPECL, 中间需要通过交流或者直流耦合方式进行电平转换^[16], 经过试验验证光模块采用直流耦合方式进行连接, 系统传输稳定性高。耦合时 PECL 电平需要通过 50ohm 和 $V_{cc} - 2V$ 电源相连, 可以建立电阻分压等效网络实现, 如图 6 所示。图中各个器件参数应该满足如式(1)和(2)所示, 经过计算其结果如式(3)和(4)所示。

$$\begin{cases} V_{cc} - 2V = V_{cc} \frac{R_2}{R_1 + R_2} & (1) \\ \frac{R_1 * R_2}{R_1 + R_2} = 50 \Omega & (2) \end{cases}$$

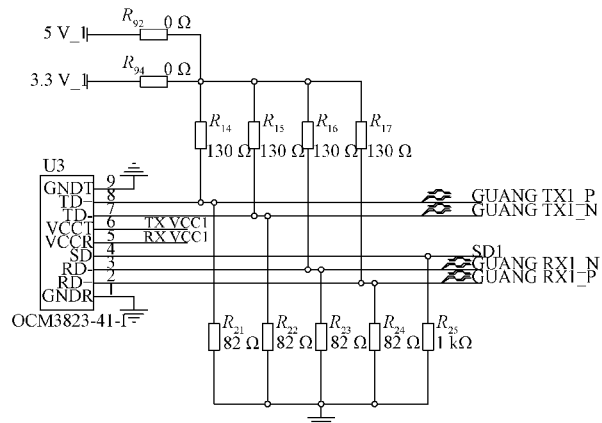


图 5 光模块配置电路

可得:

$$\begin{cases} R_1 = \frac{50V_{cc}}{V_{cc} - 2V} & (3) \\ R_2 = 25V_{cc} & (4) \end{cases}$$

当 $V_{cc} = 3.3 V$ 时, $R_1 = 130 \Omega$, $R_2 = 82 \Omega$, 电阻精度要求需要 5% 以上。

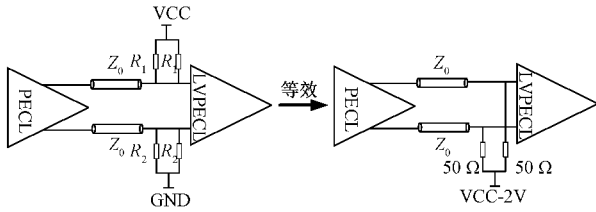


图6 电路等效连接图

3 逻辑优化设计

在实际进行远距离通信测试时,发送端LVDS数据码率为30 MHz,接收速率根据需求可控。当发送端为大量随机数据时,为了保证LVDS链路信号传输“0”和“1”的比例均衡,防止链路中出现数据传输空白,需要通过发送同步码(无效数)保持链路正常传输,逻辑设计将8 bit二进制数转换为10 bit进行传输,通过新增高2 bit对有效数和无效数进行区分。

LVDS实现同步串行通信的方式是通过监测LVDS单个字节的起始位“1”和停止位“0”周期性变化来锁定差分数据流的内嵌时钟^[17]。如果在一次数据传输中出现多次上升沿或者下降沿的跳变,数据接收端对时钟的恢复就会出错。如图7所示,当发送固定指令码或者同步码为“01XXXXXXXX”时,解串器DS92LV1224无法锁定数据流中内嵌的时钟信号,导致链路处于失锁状态。所以高两位如果是4种编码类型“00”,“01”,“10”,“11”中的“01”必然会导致数据解码出错^[18],故将其他3种编码作为判断标识,本系统将无效数格式“0000011111”作为同步码,有效数标志位为“10”,可以保证信道传输一直处于稳态。



图7 指令码/同步码解码示意图

LVDS数据发送模式如图8所示。设备通电以后,FPGA对80 MHz晶振通过内部PLL和计数分频输出30M TCLK,对DS92LV1023进行电平和使能配置,发送无效数等待链路同步完成。网口上位机发送回读数据指令后,通过判断内部FIFO缓冲字节容量,交替发送有效数和无效数。FPGA接收端通过判断标志位对有效数完成解码和接收^[19]。

4 实验验证与分析

硬件链路设计在光模块接收前端和发送后端分别采用电缆驱动→均衡→驱动、均衡→驱动→均衡对LVDS信

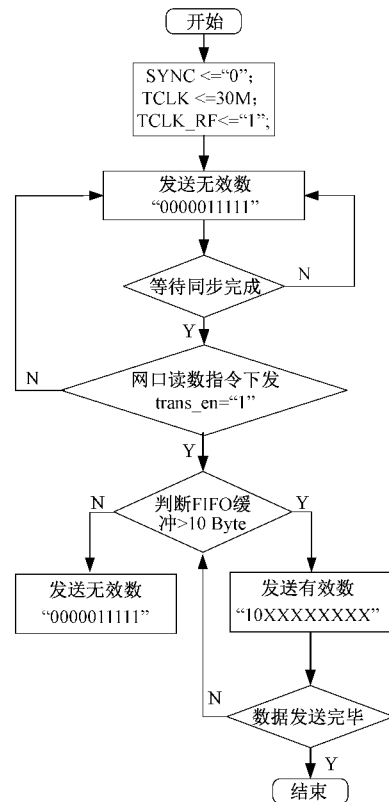


图8 软件设计流程

号进行双重恢复和预加重,使用信号示波器对编码器输出和译码器输入进行信号捕获,波形如图9所示。可以发现,数据传输过程中信号衰减在可识别范围内,且波形无失真与畸变。通过主控和光电转接模块化功能设计,该光电转接模块可以适应多种LVDS应用场景。

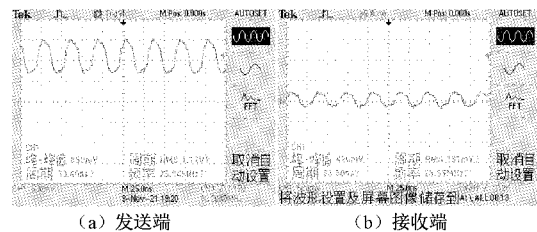


图9 LVDS数据收发端波形采集对比

为了验证此次系统设计是否可以达到预期测试要求,如图10所示为搭建的系统实测现场。地面测试台发送100 M/200 M/300 Mbit有效数据,经过50 m双绞线+2 km光纤+50 m双绞线远距离传输,FPGA对数据进行解码接收和网口回读。为了便于回读数据分析,如图11所示为上位机发送的具有一定帧结构的测试数据,“00~F9”为白加数,“EB 90”是帧结束标记,“00 00 00 29~00 00 00 33”是帧计数,经过多次温循试验(-40°~+60°)和随机震动试验,大容量数据(≥10 G)接收无误码和丢数,实验数据分析结果如图12示。

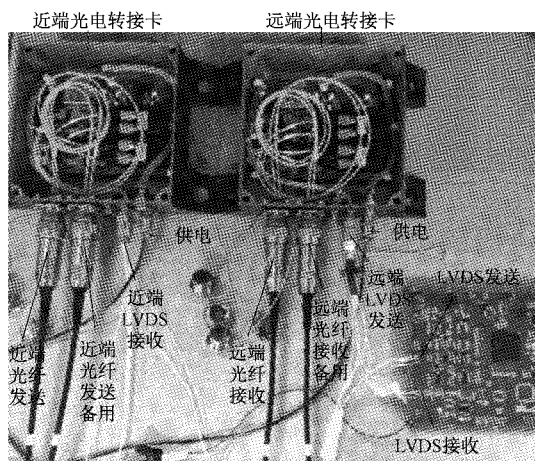


图 10 实验测试系统搭建

F8 F9	00 00	00 2A	EB 90	00 01	02 03
F8 F9	00 00	00 2B	EB 90	00 01	02 03
F8 F9	00 00	00 2C	EB 90	00 01	02 03
F8 F9	00 00	00 2D	EB 90	00 01	02 03
F8 F9	00 00	00 2E	EB 90	00 01	02 03
F8 F9	00 00	00 2F	EB 90	00 01	02 03
F8 F9	00 00	00 30	EB 90	00 01	02 03
F8 F9	00 00	00 31	EB 90	00 01	02 03
F8 F9	00 00	00 32	EB 90	00 01	02 03
F8 F9	00 00	00 33	EB 90	00 01	02 03
自加数	帧计数	帧结束标记	自加数		

图 11 数据帧结构



图 12 数据分析结果

5 结 论

本系统中使用信道均衡和预加重技术提升了高速信号传输质量,光电转换模块延长了传输距离,冗余设计增强了硬件系统可靠性,软件通过优化逻辑设计解决了数据传输失锁问题,保证了链路稳定运行和准确接收,为航空航天、工业网络控制等领域的远距离地面测试任务提供了重要参考价值。此次设计仅局限于满足当前任务指标需求,之后可以尝试进一步提速,在 LVDS 信道编码中加入监督码元和反馈握手重传机制,通过加强检错能力进一步防止高速信号链路出现误码和丢数。

参考文献

[1] 刘佳宁,文丰,王淑琴,等.基于 LVDS 的高可靠性长线传输设计[J].电子器件,2017,40(5):1209-1213.
 [2] 张小军,廖凤强,王录涛,等.多通道高速串行 LVDS

信号解串器设计[J].电子测量技术,2013,36(4):63-67,83.
 [3] 李北国,杨圣龙,李辉景.基于 FPGA 的 LVDS 高可靠性传输优化设计[J].电子技术应用,2018,44(8):78-81,85.
 [4] 蒋红阳.高速 LVDS 信号接收及基于 FPGA 的串并转换的设计[J].电子技术与软件工程,2016(23):99-100.
 [5] 周弟伟.基于 LVDS 的长距离高速串行数据传输系统设计[J].信息通信,2019(6):55-56.
 [6] 刘喜梅,陈亚斐,覃庆良.基于 DSP 和 FPGA 的 LVDS 高速串行通信方案设计[J].电子测量技术,2016,39(7):178-182.
 [7] 袁焱,李晋文,曹跃胜,等.PCIE2.0 的超远距离传输实现[J].计算机技术与发展,2011,21(10):150-153.
 [8] 刘成明.基于 LVDS 的高速远程数据传输系统的设计[D].太原:中北大学,2012.
 [9] 黄慧.固态存储器高速远距离数据传输系统的设计[D].太原:中北大学,2015.
 [10] 陈晓敏,薛志超,张志龙,等.低电压差分信号长线传输的优化设计[J].电子技术应用,2020,46(11):104-108.
 [11] 杜志美.高速数据记录器研究及实现[D].太原:中北大学,2020.
 [12] 甄国涌,瞿林,刘东海.基于 LVDS 技术的远程数据传输延展卡的设计[J].电子技术应用,2014,40(8):44-47.
 [13] 雷武伟,文丰,刘东海,等.基于 LVDS 的高可靠性远距离数据传输设计[J].电子技术应用,2019,45(6):130-134.
 [14] 李金,焦新泉,王淑琴,等.一种基于 LVDS 长线传输的高可靠性优化设计[J].测试技术学报,2019,33(4):351-355.
 [15] 张宇.基于 FPGA 的光电转换式高速长距离可靠传输技术的研究与实现[D].太原:中北大学,2019.
 [16] 刘利生,苏淑靖,张凯琳,等.基于 LVDS 的远程数据传输系统[J].仪表技术与传感器,2011(12):38-39,42.
 [17] 张晓雷.基于 8B/10B+CRC 的高速数据长距离可靠传输设计[D].太原:中北大学,2020.
 [18] 张波,李杰,张海鹏,等.基于 FPGA 的 LVDS 传输链路的可靠性设计[J].电子器件,2018,41(5):1237-1241.
 [19] 朱泽珏,任勇峰,贾兴中.基于 LVDS 长距离高可靠性传输的优化设计[J].电子测量技术,2020,43(20):150-154.

作者简介

赵晓阳,硕士研究生,主要研究方向为电路与系统设计。
 E-mail:1120295829@qq.com
 张会新(通信作者),副教授,硕士生导师,主要研究方向为动态测试技术与仪器方面。
 E-mail:zhanghx@nuc.edu.cn