

DOI:10.19651/j.cnki.emt.2005567

# 基于可纠错 BCH 码的 HOTLink 的数据传输方案设计

杨舒天 任勇峰 刘东海

(中北大学 电子测试技术国家重点实验室 太原 030051)

**摘要:** 针对恶劣测试环境中,数据高速远距离传输出现误码和丢数的情况,采用了一种可自纠错 BCH 编码和一种可以实现传输过程中直流平衡的 8B/10B 编码相结合传输方案。该方案通过使用高速串行 HOTLink 发送接收芯片 CY7B923/933 实现数据的远距离传输,通过设计数据接收和发送的硬件电路和使用带有纠错技术的软件逻辑设计,提高了传输过程的可靠性。经过带有外部信号激励干扰的高温环境试验的验证,可以实现 HOTLink 数据在 100 m 的同轴电缆上,以 400 Mbit/s 的速率无误码正确传输。

**关键词:** 高速传输;远距离;HOTLink;BCH 编解码;无误码

**中图分类号:** TP274 **文献标识码:** A **国家标准学科分类代码:** 510.50

## Design of HOTLink data transmission scheme based on error correctable BCH code

Yang Shutian Ren Yongfeng Liu Donghai

(National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

**Abstract:** In view of the situation of data error and number loss in high-speed long-distance transmission in bad test environment, adopts a BCH code which can self-correct error and a 8B/10B code which can realize the DC balance in the transmission process. In this scheme, the long-distance data transmission is realized by using the high-speed serial HOTLink transmission and receiving chip CY7B923/933, and the reliability of the transmission process is improved by designing the hardware circuit of data receiving and sending and using the software logic design with error correction technology. After the high temperature test with external signal excitation and interference, it can realize the correct transmission of HOTLink data on the 100 m coaxial cable at the rate of 400 Mbit/s without error code.

**Keywords:** high-speed transmission; long distance; HOTLink; BCH codec; no error code

## 0 引言

高速数据采集以及数据监测广泛应用于航空、航天等重要领域,随着通信技术与视频图像采集的快速发展,对数据采集的要求也越来越高。在航空器的研究过程中,需要对航空器的各种状态进行采集,以便进行航空器的改进,但是由于其所处环境的复杂性,就需要采用数据采集存储装置进行有效的传输。

在某些恶劣环境如高低温、强电磁等条件下,测试人员无法近距离完成测试工作时,就需要进行远距离传输,主要的方式为将系统的测试结果高速的回传到地面测试装置后,再进行数据处理与数据的监测。在传统的测试系统中,传输方式可以分为并行总线传输和串行总线传输。并行线传输的方式由于数据线接口过多,在电磁干扰较大的环境中,数据传输的可靠性下降严重;PECL 的接口电平逻辑不

兼容标准逻辑<sup>[1]</sup>;传统的串行通信如 RS232、RS422 和 RS485 的传输速率太低,只适用于低速链路,不能满足远距离实时监测的需求<sup>[2]</sup>;现代测试系统的信号传输特点为距离远、信号所处环境变化大、速率快等特点。CYPRESS 公司提供了一种高速串行传输技术, HOTLink 系列产品满足本次设计要求。该通信协议可以让用户在定义物理层的同时还可以很方便的通过需求定义应用层与链路层的协议。因此面对恶劣的测试环境,采编设备和地面测控台的通信协议选为 CYPRESS 公司的 HOTLink 协议。

HOTLink 通信协议的传输码率是 160~330 Mbit/s,最大速率可以达到 400 Mbit/s,在没有任何补偿电路的情况下,50  $\Omega$  同轴电缆的传输距离不超过 40 m,75  $\Omega$  同轴电缆的传输距离不超过 150 m<sup>[3]</sup>。通过结合可自纠错 BCH 编解码,可有效提高传输过程中数据的可靠性,实现长线传输。

收稿日期:2020-12-19

### 1 系统总体方案设计

整个系统主要由采编器、地面测控台、同轴电缆和上位机组成。如图 1 所示,采编器主要负责采集待测信号并将

采集后的信号进行编码打包后上传到上位机中进行显示以及处理;地面测控台负责传输采编器的数据和转发上位机给采编器的指令;上位机控制采编器和测控台完成数据采集和传输的全过程。

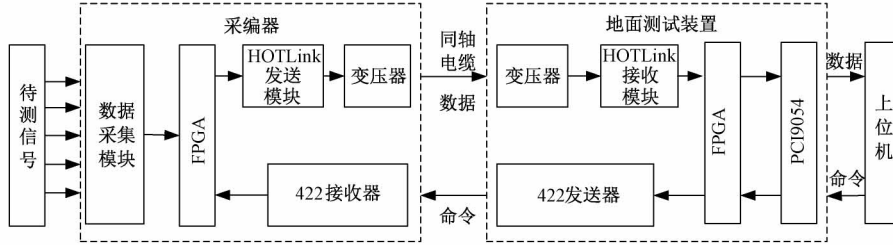


图 1 系统总体设计原理

### 2 硬件电路设计

由于多径效应和频带受限,高速信号在电路的传输过程中会产生码间干扰<sup>[4]</sup>,频带受限主要是指由于信道频带被挤压,造成码元扩散到后来的码元中。多径效应则是指脉冲信号在经过傅氏变换后,频域分量会充满整个频域,经过低通滤波后,码元向周围频率扩散。针对上述干扰,现行的主要解决方案是采用均衡编码方式来平均传输信号中连续的高低电平,以此来降低码间干扰。本设计选用了自带 8B/10B 编码的 CY7B923/933 芯片,降低了设计难度。

#### 2.1 HOTLink 发送模块设计

HOTLink 发送模块电路如图 2 所示,CY7B923 由时钟发生器、测试逻辑、移位寄存器、编码器、输入寄存器以及三路差分输出通道等部分组成,时钟发生器把输入的 CWK 时钟放大 10 倍后发送到移位寄存器,配合移位寄存器实现高速串行通信;测试逻辑用于实现芯片的自检功能;移位寄存器将编码后的数据转化为串行数据后,发送到输出通道;编码器用来实现对输入寄存器接收数据的编码;输入寄存器用来接收缓存输入的有效数据<sup>[5]</sup>。

送数据;BISTEN 引脚和 RP 引脚为芯片自测引脚,正常使用时配置为无效模式。ENA 引脚和 ENN 引脚配合 CWK 时钟信号实现输入接口 D0~D7 的数据接收,当 ENA 引脚和 ENN 引脚均为高电平时,会发送用于实现同步的无效码。电容 C<sub>33</sub>、C<sub>34</sub> 靠近 VCCQ 和 VCCN 放置,用于消除电源耦合,电阻 R<sub>43</sub> 和 R<sub>47</sub> 串接于 OUTA 和 GND 之间,为输出信号提供驱动电流,变压器 TC1-1T 用于滤除输出信号的直流分流,输出差分信号,很好地抑制信号传输过程中的共模干扰,增加数据传输的距离。防静电保护芯片 SMDA05LCC 接入输出通道可以很好的抑制脉冲噪声,保证输出信号的完整性<sup>[6]</sup>;未被使用的输出通道 OUTB± 和 OUTC± 接入 +5 V 电压,降低 CY7B923 的功耗。

#### 2.2 HOTLink 接收接口设计

HOTLink 接收模块电路如图 3 所示,CY7B933 由串行输入接口、电平转换器、时钟同步器、成帧器、移位器、译码器、译码寄存器、输出寄存器以及测试逻辑等组成,串行输入接口在 A/B 引脚的控制下实现对串行数据的接收;电平转换器用于 OUTB± 通道工作模式的选择;时钟同步器通过内部锁相环来与输入芯片的时钟保持一致,同时配合译码器和移位寄存器实现解码功能;测试逻辑用于实现芯片的自检功能;移位器在时钟同步器的配合下将接收到的串行数据送至成帧器,存满一帧后发送到译码寄存器;译码器按照协议将译码寄存器中数据译为原始数据,再送到输出寄存器;输出寄存器用来接收译码器输入的原始数据<sup>[7]</sup>。

与 CY7B923 相同,MODE 引脚、SC/D 引脚和 RVS 引脚均接地,控制 CY7B933 通过通道 A 以 8B/10B 译码方式接收数据;BISTEN 引脚为芯片自测引脚,正常使用时置为高电平。RDY 引脚和 OUTA± 引脚配合实现数据解码后的转发;CKR 引脚、RF 引脚和 D0~D7 共同实现串行数据的读入。电容 C<sub>102</sub>、C<sub>103</sub> 和 C<sub>110</sub> 为接受芯片 CY7B933 的耦合电容,高速串行信号经过变压器和防静电芯片后进入 CY7B933。电阻 R<sub>145</sub> 和 R<sub>146</sub> 为阻抗匹配电阻,用于消除电缆中的信号反射,电阻 R<sub>144</sub> 和 R<sub>147</sub> 组成分压电路,为输入

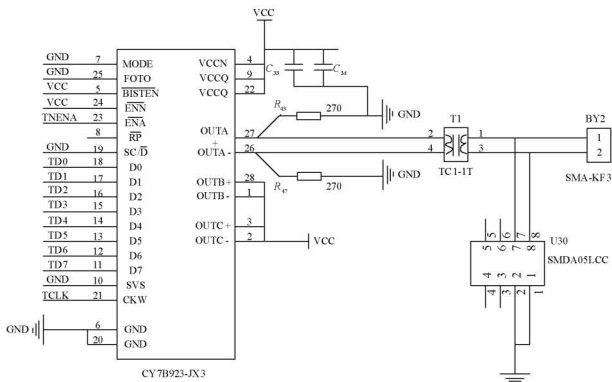


图 2 HOTLink 发送模块电路

MODE 引脚、FOTO 引脚、SC/D 引脚和 SVS 引脚均接地,控制 CY7B923 选用 A、B 通道以 8B/10B 编码方式发

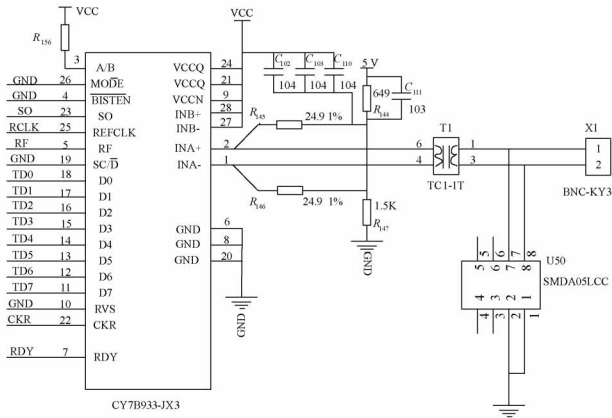


图 3 HOTLink 接收模块电路

信号提供 3.5 V 的偏置电压;同时  $R_{144}$  又与  $C_{111}$  组成电容滤波电路,滤除高频干扰,使输入信号平滑, $R_{156}$  为上拉电阻,把 A/B 引脚置为高电平<sup>[8]</sup>,从而选通道 A 接受串行数据,同时未被使用的通道 OUTB± 则应接入 +5 V 电压,降低 CY7B933 的功耗。

### 3 软件逻辑设计

对于本次设计来说,衡量数据传输是否成功的主要依据是数据传输过程中的可靠性,选用功耗低、驱动能力强的 6 系 FPGA—XC6SLX150-3FGG484I,本次设计选用了自带 8B/10B 编解码的 CY7B923/933 芯片,基于直流平衡思想的 8B/10B 编解码虽然一定程度上提高了传输过程中的可靠性,但是在恶劣环境下的高速远距离传输中,仍然会出现了很多误码,基于上述情况,对于传输数据增加具有随机自纠错能力的 BCH 码,该编码方式具有延时短、实时性好和编解码简单等优点<sup>[9]</sup>。在进行 8B/10B 编解码前,先对数据进行 BCH 编码,两次编码后经过 HOTLink 发送接口发送到接收接口,再进行两次解码后得到原始数据。通过 8B/10B 编解码和 BCH 编解码的结合,极大地提高了数据传输过程中的可靠性,实现了高速长线传输。

#### 3.1 BCH 编码逻辑设计

BCH 码码长过长时,由于查找、匹配比较费时,会造成很大的延时,影响传输效果<sup>[10]</sup>,所以本设计采用码长较短的 BCH(7,4),把传输的每字节数据都分成高 4 bit、低 4 bit,然后依次放入 BCH(7,4) 编码模块进行编码,BCH(7,4) 码由数据位和校验位共同组成,其中有 4 个数数据位以及 3 个校验位。数据位的多项式为:

$$d(x) = c_0 + c_1x + c_2x^2 + c_3x^3 \quad (1)$$

根据汉明不等式可以得知在根的有限域  $GF(2^3)$  上,根据有限域可以求出最小多项式为:

$$m(x) = x^3 + x + 1 \quad (2)$$

假设经过 BCH(7,4) 编码后,发送的码字多项式为:

$$s(x) = d(x)x^3 + q(d(x)x^3)_{m(x)} \quad (3)$$

式中:  $q(d(x)x^3)_{m(x)}$  表示  $d(x)x^3$  除以  $m(x)$  后的余数多

项式。所以校验多项式可表示为:

$$r(x) = x^3d(x) \bmod m(x) = r_0 + r_1x + r_2x^2 \quad (4)$$

把式(4)代入式(3),可以得到发送的码字多项式为:

$$c(x) = x^3d(x) + r(x) = x^3d(x) + x^3d(x) \bmod m(x) \quad (5)$$

根据式(5)得到的发送码字多项式可知,把输入的 4 位数据左移 3 位后,再除去  $m(x)$  所得到的 3 位余项,就是该数据的校验位。根据 BCH 码的循环特性<sup>[11]</sup>,它的编码电路如图 4 所示。

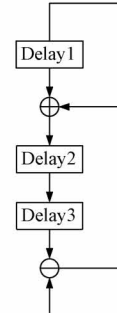


图 4 BCH(7,4) 延迟编码电路

4 位有效数据按顺序通过 BCH(7,4) 编码电路,在该电路的作用下延时 3 周期,先后输出有效数据的 3 个校验位,由于数据传输过程中按字节发送,所以在末位补 0 后构成一个完整的传输字节。如图 5 所示为编码流程<sup>[12]</sup>。

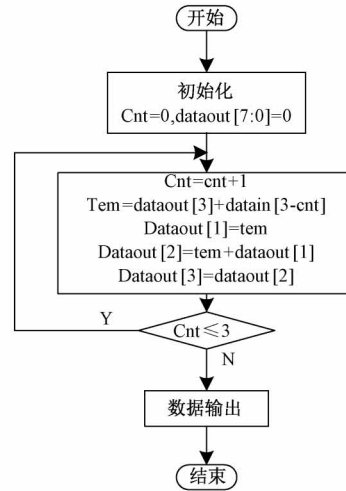


图 5 BCH(7,4) 编码流程

编码完成后,在 FPGA 的控制下,将该字节的编码数据发送到 CY7B923 的输入接口,经过 8B/10B 编解码后,变为 10 位数据发送给 CY7B933。

#### 3.2 BCH 译码逻辑设计

FPGA 接收到 CY7B933 接收到发送来的数据后,按照协议从 10 位数据中解码出 8 位后,发送给 FPGA, FPGA 再对接收的数据进行 BCH(7,4) 译码,译码按照以下步骤进行。

1) 求接收的码字多项式的余码,把接收的码字多项式

除以式(2)中的最小多项式,得到的余式就是接收多项式的余码,也被称为“部分校正子”<sup>[13]</sup>。

2)把步骤 1)得到的部分校正子按照式(5)建立方程,求解方程式,就可得到错误位置。

3)纠错。假设接收的码字多项式是  $b(x)$ ,错误图样多项式是  $e(x)$ ,校正子是  $j(x)$ ,译码后多项式是  $y(x)$ <sup>[14]</sup>,就会有以下关系式:

$$b(x) = y(x) + e(x) \tag{6}$$

$$y(x) \bmod m(x) = 0 \tag{7}$$

$$j(x) = b(x) \bmod m(x) = e(x) \bmod m(x) \tag{8}$$

根据上述公式可得 BCH(7,4)译码电路如图 6 所示。

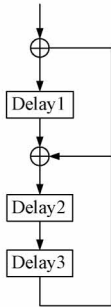


图 6 BCH(7,4)译码电路

接收的一字节 BCH 码剔除末位的 0 后,按照从高到低的顺序经过 BCH(7,4)的译码电路,在该电路的作用下延时 3 个周期,先后输出有效数据的 3 个校验位,然后对照检验码进行校验和纠错,检验码如表 1 所示。由于是二进制数,只要对错误位置取反就可以完成纠错<sup>[15]</sup>。

表 1 检验码

错误信息位置	校验码
无错误	000
d1	011
d2	110
d3	111
d4	101
无法校验	其他

#### 4 可靠性验证

通过搭建试验平台,可以验证数据传输过程中的可靠性,以此来验证本次设计是否成功。测试平台由地面测控台、电缆网、采编器和显示器组成。地面测控台和采编器由 100 m 的同轴电缆连接,传输数据。实验过程中,把采编器和电缆置于带有外部脉冲激励高低温箱中,设置高低温循环来模拟工作环境,试验完成后,通过上位机处理数据,分析是否存在误码、丢数等情况。通过程序控制传输速率分别为 40、120、200、280、400 Mbit/s 分别对 BCH(7,4)

编解码的误码率和速率进行测试。为了使后期分析数据更加方便,加入自减数作为有效数据进行发送,分别对自减数和帧计数的连续性进行分析,观察上位机丢数及误码情况,在实验过程中加入外部脉冲激励作为干扰,使整个系统处于不稳定状态中,上位机重传指令通过观察命令数据检查是否成功,同时观察下位机是否正确完成重传指令实现制定数据帧的重新传送。上位机接收的数据如图 7 所示,其中“EB 90”为数据帧尾,“00 0F 9F EA~00 0F 9F F9”是帧计数,数据是 F9~00 的自减数。

自减数				帧计数				帧尾				自减数					
09 08 07 06	05 04 03 02	01 00	00 0F 9F EA	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EA	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EA	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F EB	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EB	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EB	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F EC	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EC	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EC	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F ED	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F ED	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F ED	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F EE	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EE	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EE	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F EF	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EF	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F EF	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F0	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F0	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F0	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F1	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F1	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F1	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F2	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F2	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F2	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F3	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F3	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F3	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F4	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F4	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F4	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F5	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F5	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F5	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F6	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F6	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F6	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F7	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F7	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F7	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F8	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F8	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F8	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0
09 08 07 06	05 04 03 02	01 00	00 0F 9F F9	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F9	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0	00 0F 9F F9	EB 90	F9 F8 F7 F6	F5 F4 F3 F2	F1 F0

图 7 上位机接收原始数据

通过修改 FPGA 程序,使 HOTLink 的传输速率按表 2 依次变化,对每种码率分别进行误码率测试,各个码率均进行 100 次测试且每次测试的数据量均大于 5 GB,结果如表 2 所示。

表 2 BCH 码测试结果

传输速率/ (Mbit/s)	加入 BCH 编码前 平均误码率/%	加入 BCH 编码后 平均误码率/%
40	0	0
120	0.000 21	0
200	0.001 72	0
280	0.012 69	0
400	>0.2	0

通过表 2 可知,CY7B923/933 和相关硬件设计,在 100 m 的同轴电缆里当传输速率大于 400 Mbit/s 时就会出现误码,且误码率会随着传输速率的增长而变大。当添加 BCH(7,4)编解码后,随着传输速率的不断增长均未出现误码,对比未增加 BCH(7,4)编解码的试验数据,可以看出 BCH(7,4)编解码明显降低了数据传输的误码率,提高可靠性。

#### 5 结 论

本次设计针对恶劣环境中数据远距离传输出现误码和丢数的情况,在基于 HOTlink 的特点基础上提出了一种基于 CY7B923/933 的长线传输方案,硬件电路上通过变压器、防静电芯片等抗干扰措施以及外围电路,软件逻辑上通过 8B/10B 编码和 BCH 编解码相结合的方案,提高了数据传输的稳定性。且经过多次的测试实验,验证了数据在

高温以及外部信号干扰的环境下可以实现在 100 m 的同轴电缆以 400 Mbit/s 的稳定传输。本设计极大地提高了数据传输过程中的可靠性,对类似的长线传输有借鉴作用。

### 参考文献

- [1] 朱泽琿,任勇峰,贾兴中. 基于 LVDS 长距离高可靠性传输的优化设计与实现[J]. 电子测量技术, 2020, 43(20):150-154.
- [2] 郑家宁,张宁,咸竞天. 基于 1553B 与 RS-422 总线的时间同步系统设计与实现[J]. 电子测量技术, 2018, 41(10):86-90.
- [3] 张天文,刘文怡. 基于 LVDS 和 PCI 接口的高速图像传输系统设计[J]. 电子技术应用, 2014, 40(7): 51-53,60.
- [4] 刘佳宁,文丰,王淑琴,等. 基于 LVDS 的高可靠性长线传输设计[J]. 电子器件, 2017, 40(5):1209-1213.
- [5] 毕锦栋,郑丽香,周军连,等. 电子元器件国产化替代工作讨论[J]. 质量与可靠性, 2015(3):35-40.
- [6] 李永梅,李先亚,周传祥. 军用进口电子元器件的国产化替代验证典型案例分析[J]. 质量与可靠性, 2017(5): 30-33.
- [7] 郭佳欣. 基于 LVDS 的图像采集存储装置的设计与实现[D]. 太原:中北大学, 2017.
- [8] 李治华,赵冬青,甄国勇,等. 高可靠性远程数据传输系统设计[J]. 电子器件, 2017, 40(2):490-494.
- [9] 李宏儒,刘亮. 并行转串行 LVDS 长线接口设计[J]. 实验室研究与探索, 2010, 29(6):62-65.
- [10] 赵阳刚,郭涛,黄玉岗. 基于 FPGA 和 LVDS 的弹载数据回读系统设计[J]. 电子器件, 2017, 40(1):113-117.
- [11] 张平. 基于 FPGA 的高速 8B/10B 编解码电路设计[D]. 合肥:安徽大学, 2016.
- [12] 刘泳锐,张彦军,刘龙飞,等. 8B/10B 编码实现 LVDS 交流耦合传输中的直流平衡[J]. 科学技术与工程, 2012, 12(35):9693-9696,9701.
- [13] 李长庆,程军,李梁,等. 采用并行 8B/10B 编码的 JESD204B 接口发送端电路设计[J]. 微电子学与计算机, 2017, 34(8):70-75.
- [14] 常红,柯导明,孟坚,等. 新型 8B/10B 编码方案的设计与实现[J]. 计算机工程与应用, 2018, 54(2): 87-90,106.
- [15] 王方,周璐,张正璠. 8B/10B 编码器新型算法结构的设计与实现[J]. 微电子学与计算机, 2016, 33(10):151-154,158.

### 作者简介

杨舒天,在读硕士,主要研究方向为数据采集。

E-mail:584467884@qq.com

任勇峰(通信作者),博士,教授,主要研究方向为动态测试、高速数据采集等。

E-mail:renyongfeng@nuc.edu.cn